ESD 보호를 위한 SOI 구조에서의 SCR의 제작 및 그 전기적 특성 분석

Design and Analysis of SCR on the SOI structure for ESD Protection

배영석, 전대환, 권오성, 성안영
Young-seok Bae, Dae Hwan Chun, Ohsung Kwon, and Man Young Sung
고려대학교,
Korea University

Abstract : ESD (Electrostatic Discharge) phenomenon occurs in everywhere and especially it damages to semiconductor devices. For ESD protection, there are some devices such as diode, GGNMOS (Gate-Grounded NMOS), SCR (Silicon-Controlled Rectifier), etc. Among them, diode and GGNMOS are usually chosen because of their small size, even though SCR has greater current capability than GGNMOS. In this paper, a novel SCR is proposed on the SOI (Silicon-On-Insulator) structure which has 1μm film thickness. In order to design and confirm the proposed SCR, TSUPREMM4 and MEDI CI simulators are used, respectively. According to the simulation result, although the proposed SCR has more compact size, its electrical performance is better than electrical characteristics of conventional GGNMOS.

Key Words : Silicon-on Insulator, SCR, ESD protection device, GGNMOS

1. 서 론

반도체 공정 기술의 발전으로 인해 소자의 크기가 매우 급격하게 감소하였다. 하지만 소자의 크기가 점점 작아질수록 누설 전류의 증가와 가산 캐패시턴스 성본으로 인한 주파수 특성의 저해, 기생 디바이스의 톱-온으로 인한 레치-업 현상을 많은 문제점이 발생되어서 최근에는 SOI 구조를 이용하여 소자를 제작한다. 하지만 이러한 SOI 구조는 전력적으로 레치-업이 있어 나지 않는 구조이므로 서지 전압이 인가되었을 때 레치-업 현상을 이용해서 핵심 회로 및 소자를 보호하는 ESD 보호용 소자

1. 서 론

반도체 공정 기술의 발전으로 인해 소자의 크기가 매우 급격하게 감소하였다. 하지만 소자의 크기가 점점 작아질수록 누설 전류의 증가와 가산 캐패시턴스 성본으로 인한 주파수 특성의 저해, 기생 디바이스의 톱-온으로 인한 레치-업 현상을 많은 문제점이 발생되어서 최근에는 SOI 구조를 이용하여 소자를 제작한다. 하지만 이러한 SOI 구조는 전력적으로 레치-업이 있어 나지 않는 구조이므로 서지 전압이 인가되었을 때 레치-업 현상을 이용해서 핵심 회로 및 소자를 보호하는 ESD 보호용 소자

1. 서 론

반도체 공정 기술의 발전으로 인해 소자의 크기가 매우 급격하게 감소하였다. 하지만 소자의 크기가 점점 작아질수록 누설 전류의 증가와 가산 캐패시턴스 성본으로 인한 주파수 특성의 저해, 기생 디바이스의 톱-온으로 인한 레치-업 현상을 많은 문제점이 발생되어서 최근에는 SOI 구조를 이용하여 소자를 제작한다. 하지만 이러한 SOI 구조는 전력적으로 레치-업이 있어 나지 않는 구조이므로 서지 전압이 인가되었을 때 레치-업 현상을 이용해서 핵심 회로 및 소자를 보호하는 ESD 보호용 소자

1. 서 론

반도체 공정 기술의 발전으로 인해 소자의 크기가 매우 급격하게 감소하였다. 하지만 소자의 크기가 점점 작아질수록 누설 전류의 증가와 가산 캐패시턴스 성본으로 인한 주파수 특성의 저해, 기생 디바이스의 톱-온으로 인한 레치-업 현상을 많은 문제점이 발생되어서 최근에는 SOI 구조를 이용하여 소자를 제작한다. 하지만 이러한 SOI 구조는 전력적으로 레치-업이 있어 나지 않는 구조이므로 서지 전압이 인가되었을 때 레치-업 현상을 이용해서 핵심 회로 및 소자를 보호하는 ESD 보호용 소자

1. 서 론

반도체 공정 기술의 발전으로 인해 소자의 크기가 매우 급격하게 감소하였다. 하지만 소자의 크기가 점점 작아질수록 누설 전류의 증가와 가산 캐패시턴스 성본으로 인한 주파수 특성의 저해, 기생 디바이스의 톱-온으로 인한 레치-업 현상을 많은 문제점이 발생되어서 최근에는 SOI 구조를 이용하여 소자를 제작한다. 하지만 이러한 SOI 구조는 전력적으로 레치-업이 있어 나지 않는 구조이므로 서지 전압이 인가었

2. 결과 및 토의

SOI 구조에서 SCR 구조를 형성하기 위해서 이중 확산 구조를 적용하였다. n-well 과 p-well 내부에 각각 p+ pillar 층과 n+ 영역, n+ pillar 층과 p+ 영역을 가진다. pillar 층과 고도로 볼록함이 주입된 영역은 같은 전위가 되도록 같은 전극을 공유한다. 이러한 구조를 형성함에 있어서 가장 중요한 것은 내부에서 레치-업 구조가 터-온 될 수 있도록 적절한 볼록도 및 포인트를 결정하는 것이다.

여러 자료의 시뮬레이션을 통해서 n+ 영역의 경우 5e20 cm⁻³, p+ pillar 층의 경우 5.7e19 cm⁻³, n-well의 경우 3e14 cm⁻³, p-well의 경우 1.5e14 cm⁻³, p+ 영역의 경우 9e19 cm⁻³, n+ pillar 층의 경우 1.4e20 cm⁻³인 값을 확인할 수 있었고 이때의 전기적 특성은 7.6 V 에서 SCR이 터-온되며 6.8 V 에서 인장 조건을 가지게 된다. 이때 1 mA의 ESD 전류를 흘릴 때 SCR 암단의 전압은 약 12.8 V 로서 기존 GGNMOS, SCR 의 높은 트리거 전압을 조금 낮춘되었으나 그와 비슷하거나 더욱 높은 전류 특성을 보여준다. 또한 제한한 SCR의 크기는 두께 1μm의 film 위에 전체 너비가 4μm 를 가지는 구조이므로 기존 ESD 보호 소자는 큰 면적을 차지하는 단점을 없을 수 있었다.

참고 문헌


† 교신저자) 성안영, e-mail: semicad@korea.ac.kr, Tel: 02-3290-3221
주소: 서울시 성동구 안양동3가 1 고려대학교 전기공학과