

## 고속 ATE 시스템을 위한 임피던스 정합회로 구현

김종원<sup>†</sup> · 서용배\* · 이용성\*\*

<sup>†</sup>한국기술교육대학교 전기전자공학과

\*한국 폴리텍 제 4 대학, \*\*한국 폴리텍 제 2 대학

## Implementation of Impedance Matching Circuit for ATE

Jong Won Kim<sup>†</sup>, Yong Bae Seo\* and Yong Sung Lee\*\*

<sup>†</sup>Department of Electric and Electronics Eng, Korea University of Technology and Education

\*Department of Electronic Communication, Korea Polytechnic VI Collage

\*\*Department of Electronic Communication, Korea Polytechnic II Collage

### ABSTRACT

In the manufacturing processes of semiconductor, test process is important for quality of products. In the manufacturing process of dynamic memory, memory test is more important. So, automatic test equipment(ATE) is used necessarily. But, according to increase of speed of dynamic memory operation, the rapid test equipment is needed. Impedance matching between ATE and dynamic memory is expected to be an important problem for making a rapid test equipment over 1Gbps. According to increase of speed, inner impedance of ATE also works on important parameter for test. This paper is about the method that is for impedance matching of inner impedance and coaxial cable occurring in manufacturing of ATE. We proved effects of inner impedance by electric theory and verified the method of impedance matching using computer simulation.

**Key Words :** ATE, Inner Impedance, DTL, DUT

### 1. 서 론

반도체 제조공정 중 제조된 반도체 칩의 패스/페일(Pass/Fail) 여부를 판정하는 공정을 검사(Test)공정이라고 한다. 이 공정은 제조된 칩의 전기적 특성검사를 위한 공정으로 ATE(Automatic Test Equipment)를 이용하여 두 단계의 검사과정을 수행한다[1].

첫 번째 방법은 제조된 칩의 전기적 특성(DC-Parametric test)을 검사하고 다음단계로 칩의 기능적 동작 검사(Functional test)를 수행한다. 두 단계의 검사과정 중 기능적 동작 검사는 패턴발생기에서 검사대상의 칩을 위한 적절한 검사패턴을 핀 드라이버(Pin driver)를 통해 DUT(Device Under Test)에 인가하고 DUT로부터 출력되는 신호를 비교기(Comparator)를 사용하여

예상결과(Expect data)와 비교하여 칩의 패스/페일을 최종 판정하게 된다. 핀 드라이버에서 DUT로 전송되는 신호는 커넥터, 케이블, 소켓으로 구성되는 신호 전송 장치 즉, HI-FIX(High Fixture)를 통해 이루어진다[2].

최근 반도체 기술의 발달로 인하여 반도체 칩의 동작 주파수가 Gbps 이상으로 증가함으로써 제조된 각종 칩의 동작 검사에 사용하는 ATE는 고속 신호 전송 기술이 사용된다[3].

ATE와 DUT사이의 신호 전송 속도가 500Mbps 이하인 경우는 STL(Single Transmission Line)구조를 이용하는 신호 전송 방식이 사용되고 있으나 500Mbps 이상의 전송 속도를 요구하는 경우에는 DTL(Dual Transmission Line)구조가 더 적합한 구조로 알려져 있다[4]. DTL 구조를 이용한 신호의 전송에 있어서 고속 신호는 신호 전송장치를 구성하고 있는 부품의 영향을 무시 할 수 없다. DTL 구조를 이용한 550Mbps급 이

<sup>†</sup>E-mail : kamuiaj@kut.ac.kr

하의 ATE는 전송장치의 구성부품에 큰 영향을 받지 않으나 그 이상의 고속 신호에 대해서 구성부품의 영향에 의한 문제가 발생하여 더 이상의 고속 신호용 ATE제작에 어려움이 있다. 본 논문은 DTL구조에 사용되는 터미널 버퍼의 내부 용량성분 문제로 인한 비교기 회로의 신호전송 왜곡을 이론적으로 검증하여 해결 하고자 하는 논문이다.

### 2. DTL 구조

DTL구조는 읽기와 쓰기를 위한 신호 선을 각각 독립시켜 사용 함으로써 읽기와 쓰기를 번갈아 수행해도 왕복지연(Round trip delay)이 문제를 일으키지 않으므로 고속 신호 전송 시스템은 DTL 구조의 신호 전송 방식을 사용한다. 고속 신호 전송 방식인 DTL구조를 이용하여 DUT를 검사하기 위해서는 STL구조에서는 요구되지 않는 핀 드라이버 터미네이션 기능이 필요하다. 이러한 모드는 전용 핀 드라이버를 이용할 때 제공되지만 집적도가 낮고 발열량이 높으며 가격이 비싸고 수입에 의존하는 단점이 있다[5]. 하지만 550 Mbps 이상의 고속 전송시 DUT의 비교기 버퍼부품 고유의 내부 용량성분 (Capacitance)이 존재하고 있으며 부품 제조사에서 내부 용량성분에 대한 사양을 별도로 제공하고 있다. 하지만 이 내부 용량성분은 신호가 고속으로 전송될수록 무시 할 수 없는 파라미터로 작용하여 550Mbps 이상으로 신호의 전송속도가 빨라지면 검사에 오류를 발생시킨다.

DTL구조는 그림 1과 같이 핀 드라이버와 비교기 로 구성된 드라이버 블록과 신호 전송 선로인 케이블 그리고 DUT 장착을 위한 소켓으로 구성되어 있다. 핀 드라이버는 패턴 발생기에서 발생된 테스트 패턴 신호를 DUT로 보내고 비교기는 DUT로부터 전송된 신호

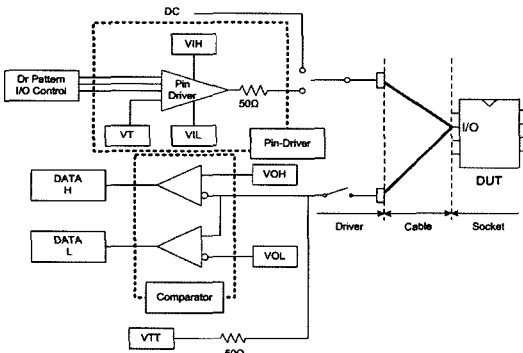


Fig. 1. DTL(Dual Transmission Line) System.

를 비교한다. 전송 선로 케이블은 임피던스가 50Ω 인 동축 케이블을 사용하고 DUT는 검사하고자 하는 칩에 맞는 소켓을 통해 연결되어 있다.

DTL시스템은 DUT로의 전송선로와 수신선로가 분리되어 있으므로 고속 전송 시 왕복지연에 의한 신호 중첩 문제를 없앨 수 있는 구조이다. 그림 1 Driver부분의 2개의 스위치는 동작 시 비교기와 핀 드라이버 쪽으로 전환된다. 쓰기 싸이클인 경우, 핀 드라이버는 DUT로 검사 패턴 신호를 전송하고 읽기 싸이클인 경우에는 DUT로부터 출력되는 신호가 핀 드라이버와 비교기로 출력된다. 따라서 DUT로부터 출력되는 신호는 핀 드라이버로부터 전송되어 오는 신호와 중첩이 되지 않아 정상적으로 DUT로부터의 신호를 검출할 수 있다 [4].

### 3. 내부 용량성분의 문제점

DTL구조의 장점은 STL구조에 비해 송신신호와 수신신호가 별도의 케이블을 이용하여 송수신 될 수 있다는 장점이 있다. 하지만 초 고속의 신호 전송시 비교기에 기생하는 내부 용량성분의 문제가 송신신호와 수신신호 사이에 반사파 현상을 발생시켜 그림 2와 같은 전기적 특징을 나타낸다.

그림 2는 기본적인 DTL회로가 초 고속 신호를 이용한 검사를 실시 하였을 때 비교기의 입력부에 DUT로부터 전송된 출력신호가 내부 용량성분에 의해 파형의 왜곡되어 전송됨을 전기적으로 나타낸 형태이다.

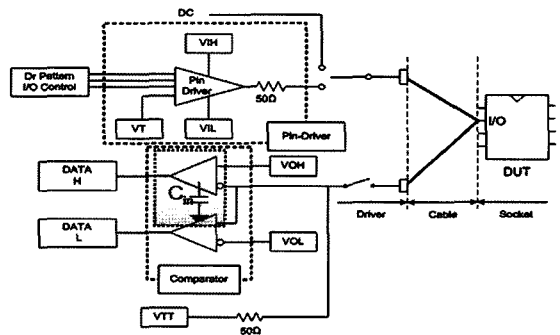


Fig. 2. The DTL circuit with Cin.

본 논문은 바로 Cin의 효과를 제거하여 좀더 빠른 초고속 ATE제작에 필요한 DTL회로를 설계하고자 하였다. 이 부분을 전기적으로 다시 해석 해 보면 그림 3과 같이 해석 할 수 있다.

그림 3과 같은 등가회로에서 전송선로와 DTL 구조의 비교기는 고정 파라미터이다. ATE제조시 전송선로

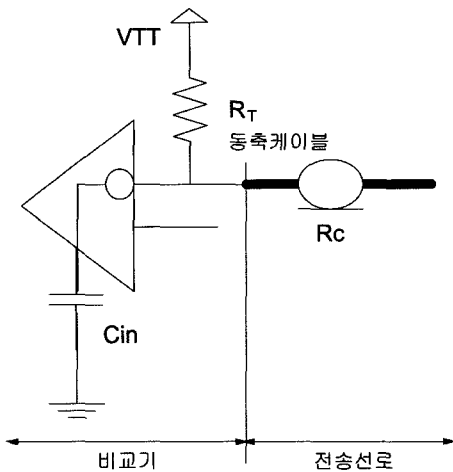


Fig. 3. Equivalent circuit.

를 포함한 구성 부품은 특별히 설계되지 않는 한 고정되어질 수 밖에 없기 때문이다[5].

비교기 버퍼에 존재하는 내부 저항은 부품을 만드는 회사의 고유 사양이기 때문에 ATE를 제조함에 있어서 근본적으로 제거할 수는 없다. 또한 내부 용량성분의 영향이 적은 부품으로 교체를 하고자 해도 고속모드를 제공하는 부품을 구하기가 어렵다. 따라서 그림 3과 같은 등가회로 모델을 해석하여 별도의 회로를 연결해 전기적으로 해결 하는 방법을 채택 할 수 밖에 없다.

ATE시스템은 검사하고자 하는 반도체 칩에 검사를 위한 임의의 고속 정형패턴을 인가 한 후 DUT를 통해 되돌아 오는 신호를 비교기에 입력하여 검사하는 것이다. 이때 중요시 되어야 할 사항은 칩으로 입력되는 신호의 파형이 전송선로상에서 왜곡이 없어야 하며 DUT로부터 비교기로 입력되는 신호도 왜곡이 없어야 한다. 또한 전송선로 상의 왜곡이 없어도 패턴 발생기로부터 발생된 신호와 비교기로 입력되는 신호의 차가 구분 되어져야 하며 왜곡이 심해 구분이 어려울 경우 정확한 반도체 칩의 성능평가가 이루어질 수 없다. 따라서 최소한의 부가회로를 사용해야 하는 문제점이 발생한다.

본 논문은 이런 문제를 해결하기 위해 보상회로의 해석방법을 선정하여 구현 하였다. 보상회로가 없는 비교기와 전송선로 사이의 임피던스 정합을 해석 해 보면 다음과 같다.

전송선로와 비교기의 임피던스를 정합시키기 위해 비교기 회로의 임피던스  $Z_{in}$ 을 해석하면 식 (1)과 같다.

$$Z_{in} = \frac{-j\frac{R_T}{\omega C}}{R_T - j\frac{1}{\omega C}} = \frac{R}{1 + j\omega CR_T} \tag{1}$$

이때 왜곡이 발생 되는 원인인  $C_{in}$ 을 제거하기위해  $1/j\omega C$ 를 이용해  $Z_{in}$ 을 사용하면 식(2)와 같다.

$$Z_{in} = \frac{\left(\frac{R}{\omega C}\right)^2 R - j\frac{R^2}{\omega C}}{R^2 + \left(\frac{1}{\omega C}\right)^2} \tag{2}$$

식(2)를 볼 때 동축 케이블의 임피던스를  $Z_0$ 라고 하면  $Z_{in}=Z_0$ 의 관계식은  $\omega$ 에 대한 함수로 고속신호에 대한 응답시간이 매우 커진다. 따라서 다른 파라미터에 대한 영향도 매우 커질 수 있는 가능성을 가지고 있다. 회로를 자세히 살펴보면  $R_T$ 저항이 동축 케이블에 대해 등가 보상 되어있다. 이는 등가적으로 비교기 내부에 존재하는  $C_{in}$ 성분을 상쇄 할 수 있는 의미를 내포하고 있다. 동축 전송선의 임피던스  $Z_0$ 는 식(3)과 같이 표현 할 수 있다.

$$Z_0 = R_c + 2j\left(\omega L - \frac{1}{\omega C}\right) \tag{3}$$

이때  $R_T$ 는 동축케이블의  $Z_0$ 와 같게 해야 하므로 동일한 값을 선정 할 수 있고 동축 케이블 특성에 따라 케이블 내부에서는 L과 C 성분에 의한 왜곡은 고려 대상이 아니다. 따라서  $Z_0$ 와  $R_T$ 값을 동일한 값으로 설정하고 그림과 같이 임피던스 정합을 위한  $R_i$ 와 인덕터 L을 삽입하여  $Z_{in}$ 을 다시 해석 해 보면 의외로 문제를 간단히 해결 할 수 있는 해법을 제공 한다.

$R_T$ 와  $R_i$  값을 동일한 값으로 설정 하여 R이라고 하면 비교기의 입력 임피던스  $Z_{in}$ 은 식(4)와 같다.

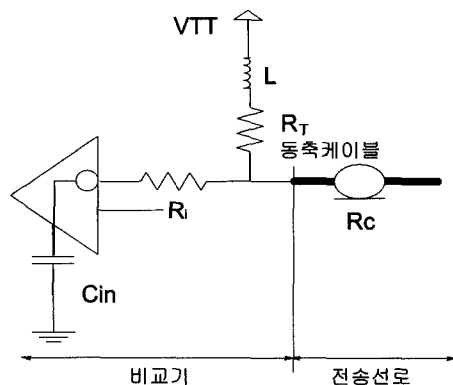


Fig. 4. Modified circuit of comparator.

$$Z_{in} = \frac{(R + j\omega L)\left(R - j\frac{1}{j\omega C}\right)}{(R + j\omega L)\left(R - j\frac{1}{j\omega C}\right)} \quad (4)$$

$$= \frac{R^2 + jR\left(\omega L - \frac{1}{\omega C}\right) + \frac{L}{C}}{2R + j\left(\omega L - \frac{1}{\omega C}\right)}$$

만약  $R^2=(L/C)$  조건을 만족하는 L 파라미터를 결정하면 입력 임피던스는 식(5)와 같이 정리 될 수 있다.

$$Z_{in} = \frac{R\left[2R + j\left(\omega L - \frac{1}{\omega C}\right)\right]}{2R + j\left(\omega L - \frac{1}{\omega C}\right)} \quad (5)$$

따라서 전송선로의  $Z_o=Z_{in}=R$ 의 형태로 정리 할 수 있다. 이론적으로 터미네이터 저항  $R_T$ 를 포함하는 비교기의 임피던스가 주파수에 무관한 형태의 수식으로 나타나고 전송선로의 특징을 최대한 이용하면 파수에 무관한 신호전송 품질을 갖는 임피던스 정합이 가능함을 이론적으로 설명하고 있다[6].

#### 4. 시뮬레이션 검증

이론적으로 검증한 사실을 기반으로 실제 회로를 전문 시뮬레이션 도구를 이용하여 작성하고 같은 조건의

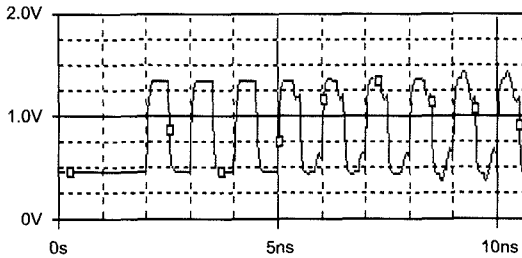


Fig. 5. Generator output voltage signal pattern 1.

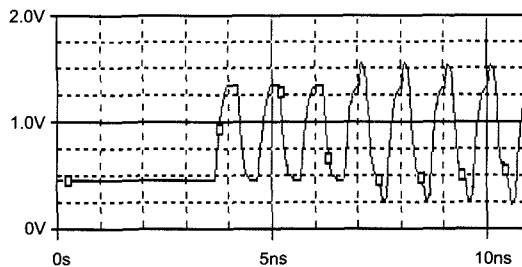


Fig. 6. Comparator input voltage signal pattern 1.

파라미터를 이용하여 검증 해 보았다. 이론을 검증하기 이전에 나타났던 문제점과 검증을 통한 시뮬레이션의 결과를 비교 해 보았다.

그림 5는 반도체 칩의 검사를 위한 2Gbps의 고속 입력 신호 패턴이다. 그림 5와 같은 입력 신호의 패턴에 대하여 기존의 DTL응답은 그림 6과 같은 특징을 나타 내었다.

그림 6, 7과 같이 입력 패턴에 대한 비교기의 입력신호를 비교 해 보면 전송선로와 비교기 사이의 임피던스 정합의 오류 즉 비교기 내부 임피던스의 영향으로 인하여 파형이 심하게 왜곡됨을 볼 수 있다. Cin의 영향으로 인해 발행한 반사파는 파형의 �지(Edge)부분에서 더 큰 영향을 발생하여 ATE의 검사특성을 더욱 나쁘게 한다. 그림 5와 같이 정형파가 5 ns 이상의 시간에서 많은 왜곡이 발생하는데 이것은 Cin에 의한 반사파의 영향으로 입력파형에까지 영향을 주는 것으로 고속신호 전송에 있어서 임피던스의 정합이 얼마나 중요한가를 보여주고 있다.

패턴발생기로부터 출력되는 전압 파형에 대한 전류 파형은 그림 7과 같다. 이것은 비교기에 전달되는 파워가 약하거나 DUT로부터의 파워전달이 정확하지 않으면 ATE는 반도체 칩의 특성 평가시 패일을 일으킬 수 있는 요인이므로 매우 중요하다. 그림 7의 전류 파형은 실제 입력된 패턴의 왜곡으로 전류특성도 심한 왜곡을 나타내고 있다. 입력전류의 특성이 반사파의 영향으로

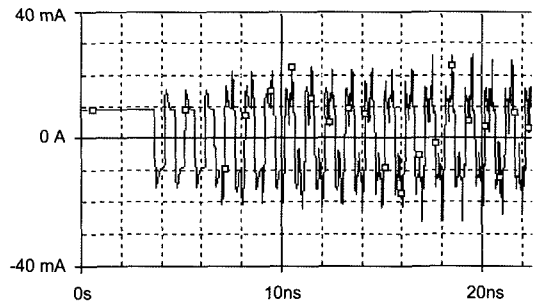


Fig. 7. Generator output current pattern 1.

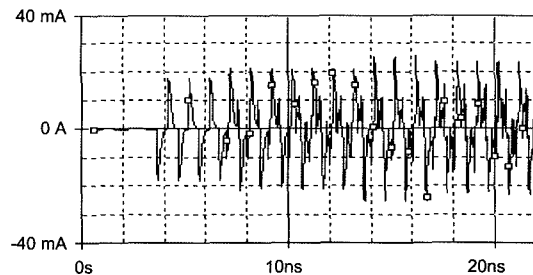


Fig. 8. Comparator input current pattern 1.

전류의 특성이 변화된 것이다.

Cin의 영향으로 그림 8과 같은 비교기 입력 전류파형의 변화가 발생한다. 전류의 파형은 전형적으로 내부 용량성분에 의해 발생 되는 특징을 나타내고 있으며 지속시간이 길어 질수록 파형의 왜곡은 점차 심해져 더 이상 정형화 할 수 없음을 보이고 있다.

그림 9는 L과 Ri를 비교기 회로에 추가시키고 고속의 검사패턴을 발생시킨 파형이다. 패턴 발생기에서 출력되는 고속의 검사 신호패턴은 그림 5의 파형과 비교했을 때 보다 매우 정형화 되어있으며 왜곡이 거의 나타나지 않는다.

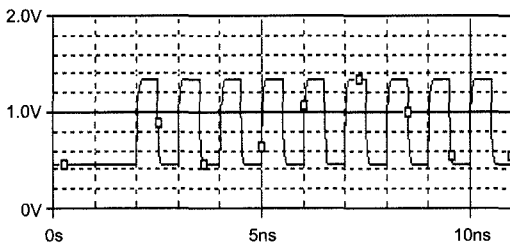


Fig. 9. Generator output voltage signal pattern 2.

그림 10은 L과 Ri가 삽입된 비교기의 입력 파형이다. 그림 6과 비교했을 때 왜곡이 없는 파형이 얻어짐을 볼 수 있다. 이는 해석된 결과를 바탕으로 R의 조건과 L값을 설정 하여 얻은 결과로 매우 만족스러운 결과로 볼 수 있다.

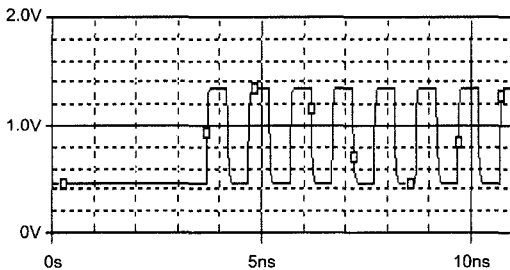


Fig. 10. Comparator input voltage signal pattern 2.

시뮬레이션에 사용한 파라미터는 동축전송선로와 같은 고정 저항 50 Ω을 RT, Ri와 함께 사용하였고 Cs는 DTL구조에서 사용하는 부품의 내부 정전용량 2pF을 이용하였으며, 임피던스 정합을 위한 L은 5nH를 사용하여 얻은 결과이다. 그림 11과 12의 전류파형은 비교기로 전달되는 파워에 해당 하는 부분으로 매우 만족스러운 결과로 볼 수 있다.

시뮬레이션은 Spice에서 제공된 범용 Component 를

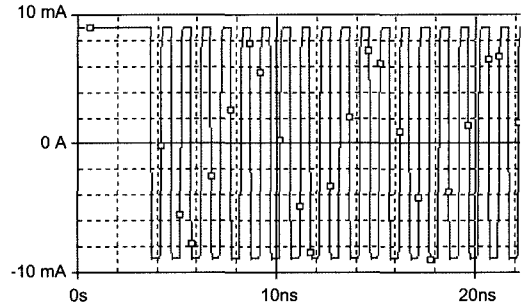


Fig. 11. Generator output current pattern 2.

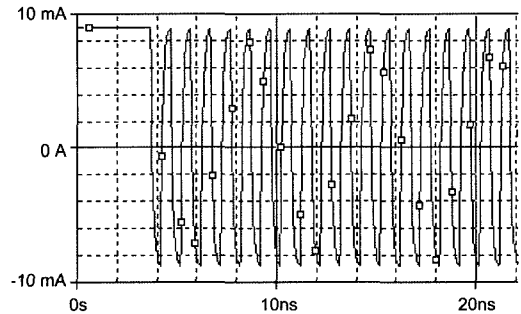


Fig. 12. Comparator input current pattern 2.

이용하여 시뮬레이션 되어있어 그 신뢰도가 매우 높으며 특별히 시뮬레이션 파라미터를 수정하거나 회로를 변경하지 않았으므로 시뮬레이션 결과는 믿을 수 있다.

## 5. 결 론

ATE는 비교적 저속시스템 요구에서 사용했던 STL 구조에서 고속시스템의 수요에 따라 DTL 구조로 바뀌었다. 반도체 장비의 고속화 정밀화 추세에 따라 검사 공정에 사용되는 검사장비도 고속화 정밀화 되어 질 수 밖에 없다. 차세대 DRAM은 다양한 패턴을 1Gbps 이상의 속도로 처리 할 수 있는 구조가 되어져야 한다.

차세대 검사장비로 사용하게 될 ATE시스템은 2Gbps 이상의 고속 신호전송을 요구하고 있다. 따라서 기존의 시스템에서 문제시 되지 않았던 부품의 내부 임피던스의 영향이 점차 중요시 되고 있다.

본 논문은 DTL구조를 갖는 ATE시스템에서 고속 신호 전송시 비교기 부품의 내부에 존재하는 용량성분으로 인한 입력파형의 왜곡에 따른 검사 품질의 저하 문제를 해결 하고자 하였다. ATE 시스템 제작에 있어서 발생 할 수 있는 여러 제약조건을 검토하여 이론적으로 간략화 할 수 있는 방법을 모색하여 최종 결론을 얻어 간단한 수동소자의 삽입으로 만족할 만한 결과를

얻었다. 이 결과를 차세대 고속 ATE 시스템에 적용하여 고속의 ATE 국산화 및 차세대 ATE 제작에 활용해 보고자 한다.

### 참고문헌

1. 최병선, 김준성, 김종원, 장영조, “범용로직 드라이버를 이용한 880Mbps ATE 핀 드라이버구현,” Journal of the Semiconductor & Display Equipment Technology, Vol. 5, No. 1, March 2006.
2. Advantest, “T5585 Memory Test System Tester Section Maintenance Manual,” Advantest, Manual Number 8350332-12, 2000.
3. Johnson H and Graham M, “High Speed Digital Design,” Prentice Hall, 1993.
4. Teradyne Korea, “Teradyne Korea WebZin 차세대메모리와 ATE,” Teradyne Korea, 1999.
5. Howard W. Johnson and Martin Graham, “High-Speed Signal Propagation,” Prentice Hall, 2003.
6. J. David Irwin, “Basic Engineering Circuit Analysis,” Prentice Hall, 2003.
7. John D. Kraus, “Electromagnetics,” McGraw-Hill Inc., pp.488-532, 1991.