

InP 식각정지층을 갖는 InAlAs/InGaAs/GaAs MHEMT 소자의 항복 특성 시뮬레이션에 관한 연구

손 명 식[†]

[†]순천대학교 전자공학과

Study on the Breakdown Simulation for InAlAs/InGaAs/GaAs MHEMTs with an InP-etchstop Layer

Myung Sik Son[†]

[†]Department of Electronic Engineering, Sunchon National University, KOREA

ABSTRACT

This paper is for accurately simulating the breakdown of MHEMTs with an InP-etchstop layer. 2D-Hydrodynamic simulation parameters are investigated and calibrated for the InP-epitaxy layer. With these calibrated parameters, simulations are performed and analyzed for the breakdown of devices with an InP-etchstop layer. In the paper, the impact-ionization coefficients, the mobility degradation due to doping concentration, and the saturation velocity for InP-epitaxy layer are newly calibrated for more accurate breakdown simulation.

Key Words : Millimeter wave, HEMT, Metamorphic HEMT (MHEMT), Device simulation, Hydrodynamic transport simulation, Design of Epitaxial layers, Cutoff frequency, Maximum oscillation frequency, Breakdown

1. 서 론

30 GHz에서 3 THz 이르는 밀리미터파 및 서브-밀리미터파 주파수 대역은 현재의 무선통신 및 미래의 광대역 무선 통신의 매체가 되는 소중한 주파수 자원이며, 새로운 융합 응용 가능성이 있는 주파수 대역이다. 차세대 밀리미터파 통신 분야 및 이동 통신 분야에서 기술 선진국과의 기술력 격차를 줄이고 도약을 이루기 위해서는 다양한 통신 시스템을 위한 핵심 소자개발이 필수적이다.

이러한 주파수 대역용 InP 기반 HEMT 소자는 우수한 주파수 특성을 보여 주고 있지만 몇 가지 문제점을 가지고 있다. 이 소자의 가장 큰 문제로 아직은 비용이 GaAs 기반 소자에 비해 비싸며, 4인치 이상의 에피 웨이퍼 생산이 어렵고, 제작 시 깨지기 쉬워 취급하기 어렵다는 문제점을 안고 있다. 이에 대한 대안으로 InP

에피구조를 GaAs기판 위에 성장시킨 MHEMT (Metamorphic HEMT)에 대한 연구들이 국내에서도 많이 시도되고 진행되어 왔으며 위에서 언급한 InP 기반 MIMIC제작시의 단점을 극복할 수 있는 뛰어난 주파수 특성을 갖는 HEMT 소자로 자리 매김하고 있다[1-2].

본 연구는 100GHz 이상에서 사용 가능한 전력증폭용 MHEMT 소자를 개발하기 위해 진행하였으며, 이미 제작된 InAlAs/InGaAs/GaAs MHEMT 소자의 DC/RF 특성에 대해 ISE사의 DESSIS 소자 시뮬레이터의 2차원 hydrodynamic 전송 모델을 이용한 파라미터 보정 시뮬레이션을 수행하여 실험 데이터와 잘 일치하는 파라미터 보정 결과를 얻었다[3-5]. 이러한 보정된 시뮬레이션 파라미터를 바탕으로 InP 식각정지층을 갖는 에피구조를 최적화 설계(수직 스케일링) 연구를 수행하였고, 새로이 설계한 에피구조에 대한 DC/RF 특성을 예측하여 에피구조 특성을 분석하였다[3].

본 논문에서는 100 GHz 이상의 RF 주파수에서 전력증폭용 전력 소자로서 MHEMT를 개발하기 위해 설계 제안된 에피구조에서 항복 특성을 파악 개선하기

[†]E-mail : sonms@sunchon.ac.kr

위하여 InP 에피층의 정확한 물성 파라미터 보정 작업을 수행하였으며, 발표된 문헌들을 참조하여 중요한 물질 파라미터들(충돌 이온화 계수, 도핑 농도에 따른 이동도 감소 파라미터, 표동 속도 포화 파라미터)을 재설정하였다[5-6].

이를 토대로 설계 제안된 MHEMT 소자에서 InP 식각정지층(Etch-stop layer)의 도핑 유무에 따른 DC/RF 특성과 항복 특성을 비교 분석하였다.

2. InP 식각정지층을 갖는 MHEMT 에피구조

일반적으로 HEMT 소자의 주파수 특성을 향상시키기 위한 게이트 폭 길이와 채널과 게이트 간 거리를 감소시키면 전달 전도도가 향상 되어 차단주파수(cutoff frequency: f_c)가 향상된다. f_c 가 향상되어 최대공진주파수(maximum oscillation frequency: f_{max})가 증가하는 것이 아니므로 전력증폭기용 전력소자로 사용하기 위해서는 가능한 최대공진주파수가 차단 주파수 보다 커야 전력 소자로 사용할 수 있다.

이전 연구 논문에서 이러한 100 nm 게이트의 전력 소자용 주파수 충족 조건을 만족하는 Fig. 1과 같은 에피구조를 설계하였다[3]. 그림 1의 에피구조에서 보는 바와 같이 DC/RF 특성을 개선시키기 위해 7 nm InAlAs 장벽층 및 10 nm InGaAs 채널층 감소에 따른 양자화 효과 고려 및 그에 따른 표면 효과 개선을 위해 6 nm InP 식각정지층 삽입을 통해 에피구조를 최적화 설계하였다[3]. InGaAs 채널층 두께에 따른 에너지 갭 양자화 효과 및 InP 식각정지층 삽입에 의한 표면 효과가 개선됨을 보였다. 설계된 에피구조에서는 전달 전도도 g_m 향상으로 인해 항복 특성은 그대로 유지하면서 차단 주파수는 222.5 GHz, 최대 공진 주파수 849.6

Cap	In _{0.53} Ga _{0.47} As	1 x 10 ¹⁹ /cm ³	10nm
Etch Stopper	InP	1 x 10 ¹⁹ /cm ³	6 nm
Barrier	In _{0.52} Al _{0.48} As	undoped	7 nm
	Top δ -doping	5 x 10 ¹² /cm ²	
Spacer	In _{0.52} Al _{0.48} As	undoped	3nm
Channel	In _{0.53} Ga _{0.47} As	undoped	10nm
Spacer	In _{0.52} Al _{0.48} As	undoped	3nm
	Bottom δ -doping	1.0x10 ¹² /cm ²	
Buffer	In _{0.52} Al _{0.48} As	undoped	400nm
Metamorphic Buffer	In _x Al _{1-x} As (x = 0 ~ 0.5)	undoped	1000nm
	S.I. GaAs substrate		

Fig. 1. Designed epitaxial structure of MHEMT.

GHz로 향상된 시뮬레이션 결과를 보였으며 중심 주파수 100 GHz 대역의 전력증폭기용 전력 소자로 사용할 수 있을 것이다[3].

본 연구에서는 정확한 항복 특성 예측하기 위해 InP 에피층의 도핑에 따른 이동도 감소 모델 파라미터 및 충돌 이온화 모델 계수, 그리고 표동 속도 포화 모델 파라미터에 대한 파라미터 보정 작업을 수행하였다. 또한 전력 소자로서 높은 전력 출력을 보이기 위해서는 소자의 출력 전력을 제한하는 낮은 항복 전압을 높이는 것이 필수적이다. 이를 신뢰성 있게 예측 적용하기 위해서는 InP 에피층 시뮬레이션 디폴트 값의 타당성 검증 및 참고 문헌을 토대로 충돌 이온화 모델 파라미터를 보정하였다[6]. 이러한 파라미터 보정 작업 후 InP 도핑 유무에 따른 항복 전압 특성 변화 및 DC/RF 특성을 비교 분석하였다.

2.1. 항복 특성 시뮬레이션 파라미터 보정

2차원 hydrodynamic 전송 시뮬레이션에서 애벌런치(avalanche) 생성에 의한 전류 증가를 통해 항복 특성을 분석하기 위해 DESSIS 시뮬레이터의 충돌 이온화 모델 중 van Overstraeten-de Man 모델을 사용하였다[4].

애벌런치 생성에 의한 전류 증가를 표현하기 위한 애벌런치 생성률 G^{\parallel} 는 아래 식 (1)로 표현되며, 여기서 α_n 는 전자의 충돌이온화 계수, α_p 는 정공의 충돌이온화 계수이며, n 은 전자의 농도, p 는 정공의 농도, v_n 및 v_p 는 각각 전자 및 정공의 표동 속도를 나타낸다.

$$G^{\parallel} = \alpha_n n v_n + \alpha_p p v_p \quad (1)$$

충돌 이온화 계수 α 은 구동 전계력 F 에 의해 식 (2)와 같이 표현된다.

$$\alpha(F) = \gamma a e^{\frac{\gamma b}{F}}, \quad \gamma = \frac{\tanh(h\omega_{op}/2kT_0)}{\tanh(h\omega_{op}/2kT)} \quad (2)$$

여기서, γ , a 및 b 는 보정 계수이며, $h\omega_{op}$ 는 광학 포논 에너지, T 는 기판 온도, $T_0 = 300$ K를 나타낸다.

Hydrodynamic 전송 모델에서 캐리어 온도를 유효 구동 전계로 바꾸어서 구동 전계력을 구하게 되는데, 이는 식 (3)으로 표현된다.

$$\alpha_n = \alpha_n(F) = \alpha_n(E_n^{eff}) \quad (3)$$

여기서, E_n^{eff} 는 전자의 유효 전계력이며 아래 식 (4)로 표현된다.

$$n\mu_n(E_n^{eff})^2 = n \left(\frac{3k_B}{2q} \right) \left(\frac{T_n - T_L}{\lambda_n \tau_{en}} \right) \quad (4)$$

여기서, μ_n 은 전자 이동도, T_n 은 전자 캐리어 온도, T_L 은 격자 온도, τ_{en} 은 전자의 충돌 에너지 완화 시간이다.

식 (4)에서 다른 열 싱크(heat sink)를 고려하여 몬테 카를로 시뮬레이션과의 차이점을 보정한 식은 식 (5)로 표현된다.

$$n\mu_n(E_n^{eff})^2 = n \left(\frac{3k_B}{2q} \right) \left(\frac{T_n - T_L}{\lambda_n \tau_{en}} \right) + \gamma_n \frac{E_{g,c}}{q} G_n \quad (5)$$

여기서, $E_{g,c} = E_g + \delta_n k_B T_n$ 이고 $G_n = a_n n v_{sat,n}$ 이다. 및 γ_n 은 보정 δ_n 계수이고, $v_{sat,n}$ 은 전자의 포화 표동 속도를 나타낸다. 식 (5)에서 $\gamma_n = 0$ 으로 두면 식 (4)와 같게 된다.

시뮬레이션에서는 $\gamma_n = 0$ 으로 설정하여 다른 열 싱크 모델을 고려하지 않았으며 식 (4)를 사용하여 전자의 충돌 이온화 계수를 α_n 을 결정하였다. 위 식들에서 아래 첨자 n 을 p 로 바꾸면 정공의 충돌 이온화 계수 관련 식들이 된다. 위 충돌이온화 계수 결정 식들에서 알 수 있듯이 이중접합 전계효과 트랜지스터에서 애벌런치 항복은 이동도 μ_n 및 캐리어 농도 n , 표동 포화 속도 $v_{sat,n}$ 및 충돌 에너지 완화 시간 τ_{en} , 캐리어 온도 T_n 와 격자 온도 T_L 과의 차이에 따라 유효 전계의 크기가 결정되며 이러한 유효 전계로 인해 전자 및 정공의 충돌이온화 계수가 결정된다. 전자 및 정공의 충돌이온화 계수는 식 (1)을 통해 충돌 이온화 생성률을 결정하게 된다.

이렇게 생성된 애벌런치 전류가 자기과열(self heating) 과정을 통해서 기판의 온도를 상승시켜 멜트다운시켜 항복에 이르는 과정으로 이해할 수 있다. 기판 온도가 상승하더라도 열전도도가 좋은 물질 및 소자 구조라면 높은 전압에서도 빠르게 자체 열을 해소시켜 멜트다운에 견디거나 지연시킬 수 있으므로 이것은 소자 레이아웃 구조 및 에피층들과 기판 구조에 사용된 각 물질의 열전도도 특성에 따라 결정되는 것으로 이해할 수 있다.

결론적으로HEMT 소자 구조에서 캐리어 증가에 의해 전류를 증가시키는 요인과 게이트 리세스 구조에 따른 게이트와 드레인간 유효 전계 증가에 기인한 충돌이온화 생성 전류의 급격한 증가 요인의 중첩이 On-상태 및 Off-상태의 항복 전압을 결정하는 요인이라고 정리할 수 있다.

InGaAs 및 InAlAs 에피 층의 물질 파라미터는 관련 이전 연구 논문에서 보정되어 설정된 파라미터들을 그

Table 1. Simulation parameters of InP.

Carrier	e	h
Energy Relaxation Time (ps)	0.45	0.25
Saturation Velocity (cm/sec)	1.0×10^7	6.6×10^6
Doping-dependent Masetti Model Parameters		
μ_{const} (cm ² /Vsec)	4917	151
μ_{min1} (cm ² /Vsec)	0	20
μ_{min2} (cm ² /Vsec)	0	0
P_c (/cm ³)	6.4×10^{17}	0
C_r (/cm ³)	6.4×10^{17}	7.4×10^{17}
C_s (/cm ³)	3.34×10^{20}	6.10×10^{20}
α	0.46	0.96
β	2.0	2.0

Table 2. Impact ionization parameters for InP.

Carrier	e	h
a(low)	7.03×10^5	1.582×10^5
a(high)	7.03×10^5	6.710×10^6
b(low)	1.231×10^6	2.036×10^6
b(high)	1.231×10^6	1.693×10^6
λ_n	0.80	
λ_p	0.80	

대로 사용하였고 InP 에피층에 대한 파라미터 보정 설정된 값들만을 Table 1 및 2에 정리하여 나타내었다[3-6].

3. 시뮬레이션 결과 및 분석

Fig. 1에서 보인 에피구조에 대하여 InGaAs채널층 두께 감소에 따른 양자화 효과를 고려하여 InGaAs 10nm채널층 및 도핑된10 nm 캡층에 대하여 에너지 갭이 증가하는 양자화 효과를 동시에 고려하였고, 또한, InGaAs 에피층의 이동도 감소 현상을 동시에 고려하였다[3].

시뮬레이션에서는 게이트 부분만 InGaAs/InP 캡층을 식각한 좁게 리세스된 게이트 구조를 고려하였고, 이에 따라서InP 식각정지층에서의 도핑 유무에 따라서 소스 및 드레인 측의 옴 저항이 변해 전압-전류 특성이 다르게 나타나게 될 것이다. 도핑을 한 InP 식각정지층인 경우 도너가 이온화 된 후 생성되는 양의 고정 전하는 넓게Si₃N₄/InGaAs 계면에서 표면 효과로 인해

생성되는 전자-트랩 음의 고정전하를 상쇄시키게 될 것이다. 또한 이들 고정전하 이외에 큰 게이트 헤드 전계에 의한 역전압은 $\text{Si}_3\text{N}_4/\text{InGaAs}$ 계면 아래를 공핍(전자공핍, 정공축적)시키게 될 것이다. 이러한 소스 및 드레인측 $\text{Si}_3\text{N}_4/\text{InGaAs}$ 계면 아래 영역의 표면 전위 변화는 채널 층의 전위를 변화시켜 채널층을 공핍시켜 전류를 제한하는 성분으로 작용하게 될 것이다[3]. 또한, 도핑된 InP 식각정지층은 도핑된 불순물에 의해 이동도가 감소하여 전류가 감소될 것으로 예상된다.

InP 식각정지층에 $1 \times 10^{19}/\text{cm}^3$ 으로 도핑을 한 경우와 도핑을 하지 않은 경우에 좁게 리세스된 게이트 구조에서 DC/RF 및 항복 특성을 시뮬레이션하여 비교하였다.

Fig. 2에서는 Table 1 및 Table 2에서 정리한 보정된 시뮬레이션 파라미터를 사용하여 Fig. 1의 에피구조에 대해 Narrow-recess 게이트 구조로 소자를 제작한 경우에 충돌 이온화 생성 전류를 고려한 경우와 고려되지 않은 경우의 항복 전류 특성을 시뮬레이션 한 결과를 비교하여 보였다. On-상태 항복 전압을 보면 $I_{\text{dss}}@V_{\text{gs}} = 0 \text{ V}$ 에서 보면 $V_{\text{ds}} = 1.8 \text{ V}$ 에서 충돌이온화 생성 전류가 증가하기 시작함을 보여주고 있다. 이러한 결과는 참고 문헌에서 보여 준 InGaAs/InP 항복 전압 2V 측정 결과와 아주 근접한 결과를 보여 주고 있음을 알 수 있다[7].

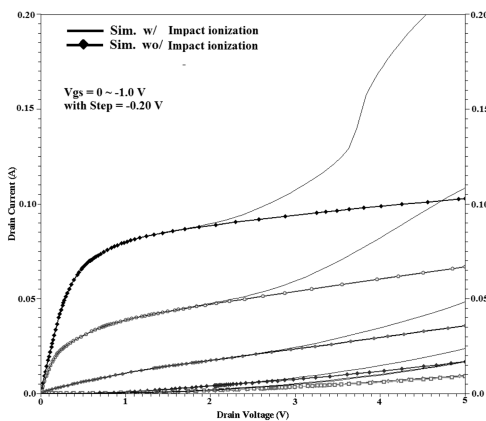


Fig. 2. Simulations with and without impact ionization.

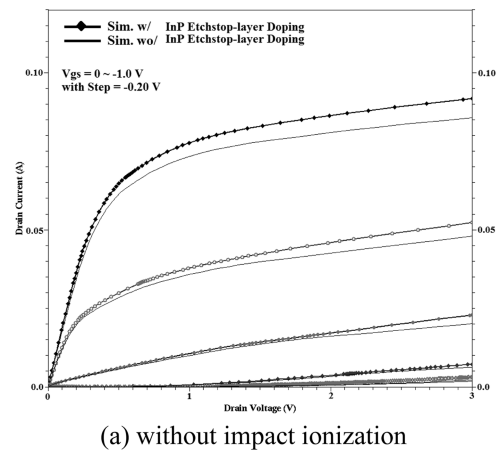
이전 분석 연구에서 InGaAs 캡층과 InAlAs 장벽층 사이에 6 nm의 InP 식각정지층을 삽입하고 Narrow-recess 게이트 구조로 소자를 제작하면 소스 및 드레인 층의 표면 및 채널 간 거리를 증가시켜 표면에 생성되는 전자 트랩 고정 전하에 의한 채널 공핍 효과를 감소시켜 전류가 증가하는 결과를 나타냄을 보였다. 물론 InP 층 삽입에 따라 InGaAs 캡층 바로 아래에서의 오

믹 접촉 저항은 증가하겠지만 이보다는 Al이 풍부한 InAlAs 표면 거칠기 및 전자 트랩에 의한 고정 전하 형성에 의한 채널 공핍 현상을 줄이는 표면 효과 감소에 기인한 채널 공핍 감소 효과가 전류를 증가시키는 결과를 야기함을 보였었다[3].

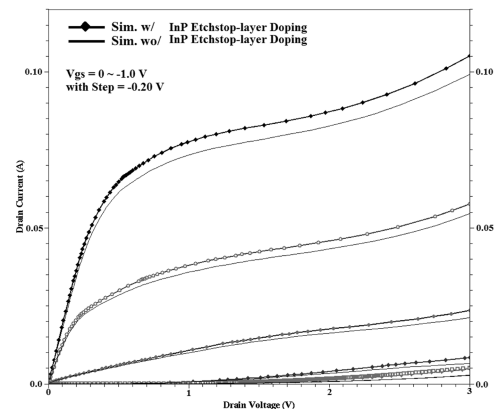
이에 더해 InP 식각정지층에 도핑을 하는 경우에는 InGaAs 캡층에 형성되는 표면 고정전하를 더욱 상쇄시킬 수 있어서 채널 공핍 현상을 감소시키고 내부 소스 및 드레인 오믹 저항을 개선시킬 수 있어 전류가 증가할 것으로 예상되는데 이를 Fig. 3(a)에 비교하여 나타내었다. 예상한 바대로 내부 소스 및 드레인 오믹 저항의 감소, 그리고 InGaAs 캡층의 표면 효과 감소로 인한 전류 증가를 보여주고 있다.

InP 도핑에 의한 이동도 감소로 충돌 이온화 생성 전류는 작아졌음을 Fig. 3(b)에 비교하여 나타내었다.

Table 3에서는 InP 캡층의 도핑 유무에 따라 나타나



(a) without impact ionization



(b) with impact ionization

Fig. 3. Simulations with and without InP cap doping.

는 DC/RF 특성을 비교하여 나타내었다. 위에서 언급한 대로 표면 효과 감소 및 오믹 저항 감소로 내부 채널층 및 오믹 접촉 저항 개선으로 I_{dss} 전류가 증가되었고, 이로 인해 f_T 및 f_{max} 가 증가하여 RF 주파수 특성이 개선되었음을 알 수 있다. 이는 전력소자로서의 주파수 성능이 더 개선되었음을 의미한다.

Table 3. DC/RF small-signal simulation results with and without InP cap doping.

Narrow-recess structure (SD-2/ μm)	wo/ InP Cap Doping	w/ InP Cap Doping
I_{dss} [mA] @ $V_g=0.0$, $V_d=2.0V$	81.2	86.8
$g_{m,max}$ [mS/mm] @ $V_d=1.0V$	1457.8 @ $V_g = -0.03V$	1556.2 @ $V_g = -0.03V$
$f_{T,max}$ [GHz] @ h21 /20dB	216.4 @ $V_g = -0.042V$, $V_d=1.0V$	222.5 @ $V_g = -0.03V$, $V_d=1.0V$
$f_{max,max}$ [GHz] @ MUG=1	502.9 @ $V_g = -0.02V$, $V_d=1.0V$	849.6 @ $V_g = -0.37V$, $V_d=1.0V$
BV_{on} [V] @ $V_g=0V$	≥ 2.0	≥ 2.0
BV_{off} [V] @ $V_g = -1V$	≥ 5.0	≥ 5.0

4. 결 론

RF 주파수 특성을 개선시키기 위하여 게이트길이를 100 nm로 고정하고 InAlAs 장벽층 및 InGaAs 채널층 감소에 따른 수직 스케일링 및 그에 따른 표면 효과 개선을 위해 InP 식각정지층 삽입을 통해 100 nm-게이트에서의 에피구조를 최적화 설계하였다. InP 식각정지층에서의 층돌이온화 생성 전류를 보다 정확하게 예측하기 위하여 파라미터 보정 작업을 수행하였고, 도핑이 된 경우와 도핑이 되지 않은 경우의 식각정지층에서의 DC/RF 및 항복 특성을 비교하였다. InP 식각정지층에 도핑을 한 경우가 오믹 저항 및 채널에 미치는 표면 효과 감소로 채널 저항을 줄여줌으로써 전류가 증가하고 RF 주파수 특성이 개선됨을 확인하였다. g_m 향상과 더불어 소스 및 드레인 내부저항을 줄임으로써

RF 주파수 특성이 향상됨을 알 수 있었다.

g_m 향상(수직 스케일링)과 C_g 를 줄이기 위해 게이트 폭 부분의 길이를 줄이는 수평 스케일링을 구현한다면 보다 향상된 RF 주파수 특성 및 항복 특성을 예측한 에피구조를 최적화 설계할 수 있을 것으로 기대된다.

향후에는 Sub-50nm 게이트 수평 스케일링에 따른 문제점 파악 및 수직 스케일링 연구를 진행하고, 더블-리세스 및 더블-게이트 구조를 고려한 연구를 진행하여 THz대역 무선 통신 나노 소자 설계 및 분석을 진행할 예정이다.

참고문헌

1. 김성찬, 안단, 임병옥, 백태중, 신동훈, 이진구, "70 nm MHEMT와 DAML 기술을 이용한 94GHz 단일 평형 혼합기", 대한전자공학회 논문지, 제43권 SD편, 제4호, pp.254-261, 2006년 4월.
2. Seong-Jin Yeon, Myunghwan Park, JeHyunk Choi, and Kwangseok Seo, "610 GHz InAlAs/In0.75GaAs Metamorphic HEMT with an Ultra-Short 15-nm-Gate," Proc. of IEDM 2007, pp.613-616, 2007.
3. 손명식, "InAlAs/InGaAs/GaAs 100 nm-게이트 MHEMT 소자의 에피 구조 최적화 설계에 관한 연구", 반도체 디스플레이 기술학회지, 제 10권, 4호, pp.107-112, 2011년 12월.
4. ISE-DESSIS manual, pp. 12-288, Ver. 9.5
5. Gaudenzio Meneghesso, Andrea Neviani, Rene Oesterholt, Mehran Matloubian, Takyiu Liu, Julia J. Brown, Claudio Canali, "On-state and Off-state Breakdown in GaInAs/InP Composite-Channel HEMT's with Variable GaInAs Channel Thickness," IEEE Trans. On Electron Devices, vol. 46, no. 1, pp.2-9, Jan. 1999.
6. Suman Datta, Shen Shi, Kenneth P. Roenker, Marc M. Cahay, and William E. Stanchina, "Simulation and Design of InAlAs/InGaAs pnp Heterojunction Bipolar," IEEE Trans. On Electron Devices, vol. 45, no. 8, pp.1634-1643, Aug. 1998.
7. 최석교, 백용현, 한민, 방석호, 윤진섭, "기존의 MHEMT와 InP 합성 채널 MHEMT 소자의 항복 특성 분석 및 비교연구", 대한전자공학회 논문지, 제44권 SD편, 제12호, pp.1-6, 2007년 12월.

접수일: 2012년 5월 23일, 심사일: 2012년 6월 8일,
게재확정일: 2012년 6월 15일