

조립형 박막 트랜지스터 모델링 프레임워크

정태호^{*†}

^{**†} 서울과학기술대학교 전자IT미디어 공학과

Assembly Modeling Framework for Thin-Film Transistors

Taeho Jung^{*†}

^{*†} Department of Electronic and IT Media Engineering, Seoul National University of Science and Technology, Seoul 01811, Korea

ABSTRACT

As the demand on displays increases, new thin-film transistors such as metal oxide transistor are continuously being invented. When designing a circuit consisting of such new transistors, a new transistor model based on proper charge transport mechanisms is needed for each of them. In this paper, a modeling framework which enables to choose charge transport mechanisms that are limited to certain operation regions and assemble them into a transistor model instead of making an integrated transistor model dedicated to each transistor. The framework consists of a graphic user interface to choose charge transport models and a current calculation part, which is also implemented in AIM-SPICE for circuit simulation.

Key Words : thin-film transistor, TFT model, assembly modeling

1. 서 론

모바일 기기의 대중화로 디스플레이에 대한 수요가 증가하고 있으며, 플렉시블 또는 투명 디스플레이 등과 같은 차세대 디스플레이에 대한 연구도 빠르게 진행되고 있다[1, 2]. 이 응용분야들에 기존의 실리콘 기반의 박막 트랜지스터(Thin-Film Transistor, TFT)를 사용하는데 제약이 있기 때문에 유기 반도체[3] 또는 금속산화물 반도체[4] 등을 사용하는 새로운 TFT에 대한 개발이 활발히 이루어지고 있다. 이러한 트랜지스터들은 기존의 실리콘 기반 트랜지스터와 비교하여 공정에서 다양한 장점을 가지고 있으며 유사한 동작 특성을 보이지만, 그 내부의 전하 전송 방법은 각 반도체 재료와 TFT의 구조, 동작 방식 등에 따라 다르다[3-5]. 이러한 TFT들을 사용하여 회로를 설계하기 위해서는 회로 시뮬레이션 툴인 SPICE에 소자의 모

델이 필요한데, SPICE에 구현된 TFT 모델은 Shur 등이 개발한 비정질과 다정질 실리콘 TFT들이 유일하다[6]. 현재까지는 다행히도 전하 전송 방법이 전혀 다른 새로운 TFT들에 대해서도 이 모델들을 적용하는데 큰 무리가 없기 때문에 새로운 TFT를 사용한 회로를 설계할 때도 이 모델들을 사용할 수 있었다[7]. 하지만, 기존의 모델들에 부합하는 TFT들만을 SPICE툴에서 사용할 수 있기 때문에 더 다양한 회로들을 설계할 수 있는지는 미지수이다.

현재 개발되는 TFT들의 재료나 구조가 매우 다양하고 개발 속도가 빠르기 때문에 새로운 모델을 만드는 과정이 절차나 소요 시간의 관점에서 효율적이지 않다. 하지만, TFT 응용분야를 확장하기 위해서는 TFT의 연구와 모델 개발, SPICE 소자 모델 코딩, 회로 설계 및 검증이 동시에 이루어질 필요가 있다. 즉, TFT의 개발 중에 SPICE 내에 전하 전송 모델들이 이미 구현된 것이 가장 좋은 상황이 된다. 여기서 비록 TFT의 재료나 구조가 새롭다 하더라도 발생할 수 있는 전하 전송 방법들은 미리 예측하거나 기존의 방법들 중 하나일 수 있다. 따라서 만약 SPICE

[†]E-mail: taeho.jung@seoultech.ac.kr

내에 확정된 TFT 모델이 아니라 선택 가능한 형태로 전하 전송 모델들이 구현되어 있고 이들 중 일부를 선택하여 TFT 모델을 조립할 수 있다면 TFT와 모델, 회로 개발을 거의 동시에 진행할 수 있게 된다.

본 논문에서는 TFT의 동작 영역별로 전하 전송 모델을 선택하여 TFT 전체의 동작 모델을 완성할 수 있는 조립형 모델링 프레임워크를 제시한다. 이 프레임워크는 측정된 특성 값을 대상으로 모델을 선택하고 매개 변수를 조율하는 피팅(fitting) 툴과 선택된 모델들을 사용하여 전류를 계산하는 계산 모듈로 구성된다. 이 계산 모듈은 AIM-SPICE의 라이브러리에 추가시켜 회로 시뮬레이션이 가능하도록 구현하였다.

2. 조립형 모델링 프레임워크

2.1 프레임워크 구조

Fig 1(a)와 같이 SPICE 툴은 회로를 기술한 파일을 입력받아 시뮬레이션을 수행하는데, 이 파일 내에는 TFT의 연

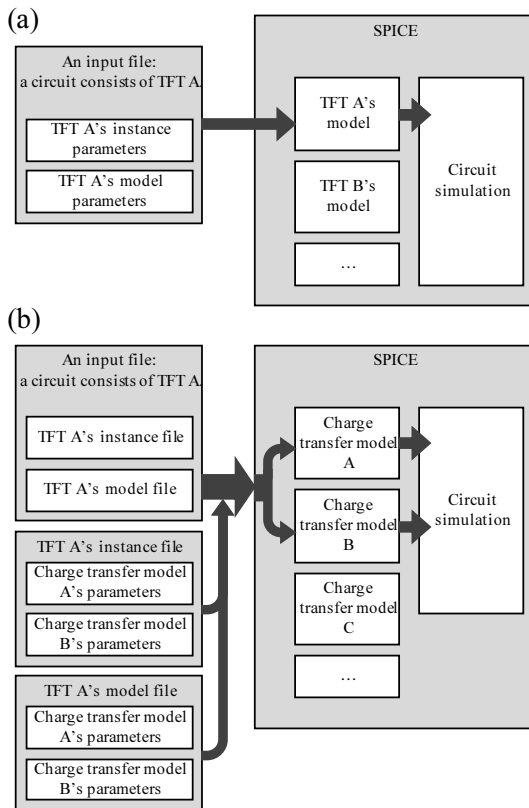


Fig. 1. (a) the SPICE and an input file (b) the proposed framework for assembly modeling.

결 상태와 특성을 매개 변수들에 기술하게 되어있다. SPICE 내부의 TFT 모델은 매개 변수 값을 받아서 전류 등을 계산하여 메인 시뮬레이션 모듈로 넘겨준다. 제안하는 방식은 Fig 1(b)와 같이 SPICE 내부에 전하 전송 모델들을 미리 구현한 후, 회로 입력 파일에서는 어떤 전송 모델들을 조립할 것인지를 지정하는 방식이다. 이러한 조립형 TFT 모델에 대해 시뮬레이션을 수행하기 위한 입력 파일의 예는 다음과 같다:

```
m1 1 2 3 0 TFTL target=GTM file=instance.txt
vg 2 0 dc 30
vd 1 0 dc 2
vs 3 0 dc 0
.model TFTL nmos level=44 model_file= model.txt
```

기존의 SPICE 입력 문법에 “target” 과 “file”, “model_file” 키워드들이 추가 되었다. Target와 file 키워드들은 TFT 인스턴스에서 사용할 전하 전송 모델과 파라미터들이 정의된 파일인 “instance.txt”를 입력하는데 사용되고, model_file 키워드는 TFT에 공통적인 모델이 정의된 파일인 “model.txt”를 입력하는데 사용된다.

제안하는 방식에서는 다양한 전하 전송 모델들을 미리 구현할 수 있기 때문에 새로운 TFT에 대한 모델을 빠르게

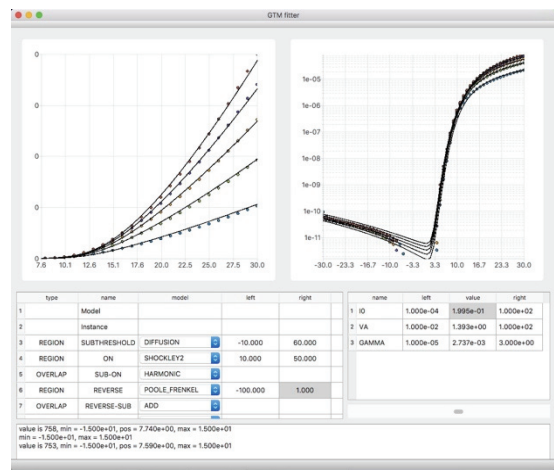


Fig. 2. Graphic user interface for making a TFT model for ZTO TFT. The dotted lines are measured characteristic data and the solid lines are characteristics from assembled charge transfer models indicated at the lower left. The parameters for the Poole-Frenkel model are shown at the lower right.

만들 수 있지만, 전하 전송 모델과 매개 변수의 수가 많아지기 때문에 사용상 어려움이 수반된다. 따라서 본 연구에서는 전하 전송 모델과 매개 변수의 선택이 용이하도록 그래픽 사용자 인터페이스(Graphic User Interface; GUI)를 구현하였다(Fig 2). 이 GUI를 사용하여 SPICE에 구현되는 전하 전송 모델과 매개 변수를 선택하면 TFT의 특성 곡선을 미리 계산하여 측정 데이터와 비교해 볼 수 있다.

2.2 동작 영역 (operation) Region

제안하는 모델링 프레임워크 내에서 TFT의 동작 영역들은 자유롭게 설정될 수 있다. 일반적으로 트랜지스터는 게이트 전압의 크기에 따라 역전압 영역과 하위 문턱 영역, 상위 문턱 영역으로 구분할 수 있다. TFT는 응용 분야에 따라 제조 방법과 구조가 다양해지기 때문에 기존의 트랜지스터보다 세밀한 동작 영역들을 가변적으로 구분할 필요가 있게 된다. Servati 등이 제시하듯이 디스플레이에 사용되는 TFT는 약한 역전압 구간에서 몸통 부분에 채널이 형성되어 전류가 흐르거나, 게이트와 드레인 전극 사이에 강한 역전압이 인가된 경우 전자-전공 쌍이 생성되어 전류가 흐르는 현상이 발생한다[8].

제안하는 모델링 프레임워크 내에서 동작 영역은 게이트 전압으로 결정되는 동작 구간과 이 구간 내에 적용되는 전하 전송 모델로 정의된다. 각 동작 구간에서 선택된 전하 전송 모델을 사용하여 부분적인 드레인 전류들을 계산하여 전체 전류를 조합하는 것이 기본 개념이지만, 특정 게이트 전압에 대하여 전류를 계산하는 영역과 그렇지 않은 영역이 존재하면 최종 전류에는 불연속 점이 존재하게 된다. 한편, 모든 게이트 전압에 대해 각 영역에서 전류를 계산할 수 있지만 전하 전송 모델에 따라서 계산이 수렴하지 않을 수도 있다. 이를 해결하기 위하여 본 연구에서는 모든 게이트 전압을 주어진 동작 구간에 선형으로 매핑시키는 방법을 제안한다. 게이트 전압의 연속적인 변환 값 V'_g 을 얻기 위하여 원래의 게이트 전압 V_g 에 다음과 같이 구간의 하위 값 V_{left} 과 상위 값 V_{right} 에 대한 변환 공식을 순차적으로 사용한다.

$$V'_g = \ln(\exp(V_g - V_{left}) + 1) + V_{left} \quad (1)$$

$$V'_g = \log_2 \left(\frac{2^{V'_g} \cdot 2^{V_{right}}}{2^{V'_g} + 2^{V_{right}}} \right) \quad (2)$$

동작 구간의 하위 값보다 작은 게이트 전압은 식 (1)에 의해 하위 값으로 변환되며, 상위 값보다 큰 게이트 전압은 식 (2)에 의해 상위 값으로 변환된다. 동작 구간이 -10과 20 V 사이에 정의된 경우에 대해서 위의 순차 변

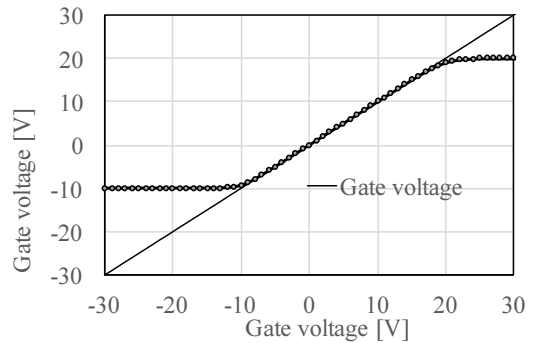


Fig. 3. Modified gate voltage for a region defined between -10 and 20 V. Gate voltages bigger and smaller than 20 V and -10 V are mapped into 20 V and -10 V respectively.

환을 거친 게이트 전압과 원래의 게이트 전압은 Fig. 3에 비교하였다. 이러한 동작 영역은 다음과 같이 정의된다:

```

Region name
Use model_name
    (Model name (, parameter)*)+
    Left = V_left
    Right = V_right
EndRegion
    
```

조립식 모델을 개발하기 위해 GUI에서 각 동작 영역에 하나 이상의 전하 전송 모델을 테스트할 수 있으므로, 어떤 전하 전송 모델을 사용할 것인가는 “use” 키워드를 사용하여 실제로 사용될 전하 전송 모델을 결정할 수 있도록 편의성을 높였다. 전하 전송 모델은 “model” 키워드를 사용하여 지정하고, 하나 이상의 모델을 포함하기 위해 정규 표현식(regular expression)에 따라 “+” 기호를 사용하였다[9]. 전하 전송 모델에는 매개 변수를 붙일 수 있으며, 매개 변수가 필요 없는 경우를 표현하기 위하여 정규 표현식에 의해 “*” 기호로 정의하였다. “left”와 “right” 키워드로 영역의 경계 전압을 정의할 수 있게 하였다. 문턱 전압을 넘어선 “On” 구간에서 Shockley 전하 전송 모델에 대한 동작 영역의 정의 예는 다음과 같다:

```

Region On
Use Shockley
Shockley
Left = 0
Right = 50
EndRegion
    
```

2.3 영역의 중첩 Overlap

이웃하는 동작영역들이 전환되는 영역에서는 두 종류의 전하 전송 메커니즘이 발생하기 때문에 해석이 용이하지 않다. 이 전환 영역의 모델링을 위하여 분석 모델링에서 사용하는 가장 일반적인 방법은 연속적인 유사 최대 또는 최소값 선택 방법을 사용하여 여러 영역의 식들을 하나로 결합하는 것이다[6]. 문턱 전압 이전과 이후의 전류들을 조합하는 유사 최소 선택 방법은 다음과 같다.

$$I_d = \frac{I_{sub} I_{above}}{I_{sub} + I_{above}} \quad (3)$$

여기서 I_{sub} 는 하위 문턱 전압 전류이고 I_{above} 는 상위 문턱 전압 전류이다. 일반적으로 하위 문턱 전압 전류는 확산 현상으로 게이트 전압에 대해서 지수적으로 증가하고 상위 문턱 전압 전류는 게이트 전압에 멱함수로 결정되므로 문턱 전압 분근의 전환 영역에서 드레인 전류는 이들 중에서 작은 값 또는 최소값을 가지게 된다.

다결정 실리콘 TFT의 높은 게이트 전압에서 kink 효과가 나타나는 등 동작 구간이 복잡해지는 경우에는 상위 문턱 전압 전류도 두 전류의 결합 형태가 된다.

$$I'_{above} = I_{above} + I_{kink} \quad (4)$$

식 (4)를 식 (3)에 대입하면 복잡하지만 단일 분석 모델을 얻을 수 있게 된다. 본 연구에서는 이러한 결합 방법들을 기반으로 단일 모델을 유도하지 않고서도 연속적인 드레인 전류를 계산할 수 있는 결합 방법을 제안한다. 최대 또는 최소 등의 결합 방법을 선택하는 중첩에 대한 문법은 다음과 같다.

```
Overlap name
  Use model_name
  (Model name (, parameter)*)+
EndOverlap
```

제안하는 조합 방법은 선택한 영역들과 중첩 방법들을 postfix notation 방식으로 기술하는 것이다[10]. 이를 사용하여 앞의 다결정 실리콘 TFT에 대한 조립 모델은 다음과 같은 순서로 기술할 수 있게 된다.

```
Region Above
Region Kink
Overlap AboveKink
Region Sub
Overlap AboveSub
```

이 방법을 사용하면 이웃하는 영역들의 전하 전송 모델에 영향을 받지 않고 각 영역의 전하 전송 모델을 선택할 수 있는 장점이 생긴다.

3. 시뮬레이션

3.1 피팅을 통한 TFT 모델 조립

Fig 2는 SiO₂ 절연체 위해 구현된 ZTO TFT의 측정 결과를 대상으로 조립형 모델을 선택하는 피팅 과정을 보여준다. 본 피팅 예에서는 게이트 전압의 크기에 따라 상위 문턱 전압과 하위 문턱전압, 역전압 영역으로 동작 영역을 구분하였다. 사용하고자 하는 동작 영역들은 GUI의 왼쪽 아래 테이블에 표시되고, 각 동작 영역에서 선택한 전하 전송 모델을 구성하는 매개 변수는 오른쪽 아래 테이블에 표시된다.

3.2 동작 영역의 선택

여기서는 ZTO TFT에 대한 모델을 조립하는 과정 및 제안하는 프레임워크에 구현된 전하 전송 모델들을 설명한다.

3.2.1 상위 문턱 전압 영역

이 구간은 통상적으로 트랜지스터가 켜진 영역이며, 선형과 포화 동작이 포함된다. 이 영역의 왼쪽 경계는 문턱 전압으로 정의되고, 오른쪽 경계는 의미가 없으므로 임의의 큰 값으로 설정하였다. 현재 이 영역에 적용할 수 있는 전하 모델은 Shockley 모델과 이를 기반으로 한 변형 모델들이 구현되었다. 변형된 Shockley 모델에서 드레인 전류는 다음의 식들을 순차적으로 사용하여 계산된다:

$$V_{DSE} = \frac{(V_{GS} - V_T) \cdot V_{DS}}{(V_{GS} - V_T) + V_{DS}} \quad (5)$$

$$I_D = \mu C \frac{W}{L} (V_{GS} - V_T)^\gamma \cdot V_{DSE} \quad (6)$$

여기서 V_{DSE} 는 선형 영역과 포화 영역을 연속적으로 연결해주며, γ 는 게이트 전압에 의존적인 전하 이동도를 포함한다. 그 외의 변수들은 트랜지스터 관련 문헌들에 사용되는 표기법을 따른다.

3.2.2 하위 문턱 전압 영역

하위 문턱 영역은 TFT에 사용된 반도체의 특성을 많이 받는 영역이다. 기존의 다결정 실리콘 TFT처럼 게이트 전압에 지수적으로 변하는 확산 전류가 흐를 수 있고, 비정질 실리콘 TFT처럼 게이트 전압의 멱함수 형태로 영향을 받는 전류가 흐를 수 있다. 이 영역에 대하여 제안하는

프레임워크에는 현재 확산을 근간으로 한 변형된 전하 전송 모델이 구현되어 있다.

$$I = I_0 \mu C \frac{W}{L} \exp\left(\frac{V_{GS}-V_T}{V_a}\right) \left[1 - \exp\left(-\frac{V_{DS}}{V_b}\right)\right] \quad (7)$$

여기서 I_0 와 V_a, V_b 는 피팅 매개 변수이다.

3.2.3 역전압 영역

게이트에 역전압이 인가되면 드레인 전류가 차단되어 야 하지만, Poole-Frenkel 효과에 의해 전자-정공 쌍의 생성 [8] 등으로 전류가 흐를 수 있다.

$$I = I_0 \mu C W \exp\left(\sqrt{\frac{V_{DG} + \gamma V_{DS}}{V_a}}\right) \quad (8)$$

여기서 I_0 와 V_a, γ 는 피팅 매개 변수이다.

3.3 AIM-SPICE 시뮬레이션

ZTO TFT에 대해 조립한 모델을 AIM-SPICE에서 수행한 시뮬레이션 결과는 Fig. 4에 표시하였다. 전류를 계산하는 코드는 SPICE와 피팅 툴에서 공유하기 때문에 동일한 결과를 얻을 수 있으며, SPICE에서 드레인 전류의 방향은 TFT의 안쪽이므로 전류의 부호는 음의 값이다.

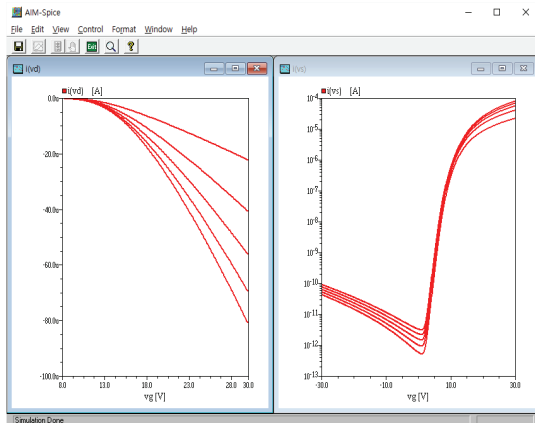


Fig. 4. AIM-SPICE simulation of the assembled TFT model for ZTO TFT. The left plot is the drain current in a linear scale and the right is in a log scale.

4. 결 론

본 연구에서는 새로운 TFT를 개발하는 동시에 SPICE 회로 시뮬레이션 툴에 TFT 모델을 만들 수 있는 조립형

모델링 프레임워크를 제안한다. 이 프레임워크를 사용하면 TFT와 모델을 동시에 개발할 수 있으므로 회로를 설계하고 동작을 예측하는데 필요한 시간을 단축할 수 있다. 또한 제안하는 프레임워크 내에서 다양한 전하 전송 모델들을 사용해 볼 수 있으므로 새로운 TFT의 동작 메커니즘을 분석하는데 보조적으로 사용할 수 있다. 다양한 전하 전송 모델이 구현될수록 TFT를 위한 단일 모델을 개발하기 위해 복잡한 물리 또는 수학적 모델링을 수행하지 않아도 되며, TFT 분석에 더 많은 도움을 주게 될 것이다.

제안하는 프레임워크는 SPICE에 소자를 추가하는 과정에서 전하 전송 모델을 구현하는 과정을 분리하였기 때문에 SPICE에 대한 의존성 없이 전하 전송 모델을 쉽게 추가할 수 있는 확장성이 확보되었다.

감사의 글

이 연구는 서울과학기술대학교 교내연구비의 지원으로 수행되었습니다.

참고문헌

1. S. M. Lee, J. H. Kwon, S. Kwon, and K. C. Choi, "A Review of Flexible OLEDs Toward Highly Durable Unusual Displays," *IEEE Trans. Electron Devices*, vol. 64, pp. 1922–1931, May (2017).
2. S. Lee, S. Jeon, R. Chaji, and A. Nathan, "Transparent Semiconducting Oxide Technology for Touch Free Interactive Flexible Displays," *Proc. IEEE*, vol. 103, pp. 644–664, Apr. (2015).
3. H. Klauk, "Organic thin-film transistors," *Chem. Soc. Rev.*, vol. 39, pp. 2643–2666, Jun. (2010).
4. J. K. Jeong, "The status and perspectives of metal oxide thin-film transistors for active matrix flexible displays," *Semicond. Sci. Technol.*, vol. 26, p. 34008, (2011).
5. F. Torricelli, "Charge Transport in Organic Transistors Accounting for a Wide Distribution of Carrier Energies; Part I: Theory," *IEEE Trans. Electron Devices*, vol. 59, pp. 1514–1519, May (2012).
6. M. S. Shur, H. C. Slade, M. D. Jacunski, A. A. Owusu, and T. Ytterdal, "SPICE Models for Amorphous Silicon and Polysilicon Thin Film Transistors," *J. Electrochem. Soc.*, vol. 144, pp. 2833–2839, Aug. (1997).
7. S. Chung, S. O. Kim, S. K. Kwon, C. Lee, and Y. Hong, "All-Inkjet-Printed Organic Thin-Film Transistor Inverter on Flexible Plastic Substrate," *IEEE Electron Device Lett.*, vol. 32, pp. 1134–1136, Aug. (2011).
8. P. Servati and A. Nathan, "Modeling of the reverse characteristics of a-Si:H TFTs," *IEEE Trans. Electron*

-
- Devices*, vol. 49, pp. 812–819, May (2002).
9. J. Friedl, *Mastering Regular Expressions*. O'Reilly Media, Inc., pp. 143-184, (2006).
10. M. Gabbrielli and S. Martini, “Programming Languages: Principles and Paradigms,” *Springer Science & Business Media*, pp. 122-123, (2010).
-
- 접수일: 2017년 9월 1일, 심사일: 2017년 9월 18일,
게재확정일: 2017년 9월 18일