

## 임피던스 변화를 이용한 실시간 기판 변형 측정

김우재\*·신기원\*·권희태\*·온범수\*·박연수\*·김지환\*·방인영\*·권기청\*\*

\*\* 광운대학교 전자바이오물리학과

### In-situ Warpage Measurement Technique Using Impedance Variation

Woo Jae Kim\*, Gi Won Shin\*, Hee Tae Kwon\*, Bum Soo On\*, Yeon Su Park\*, Ji Hwan Kim\*,  
In Young Bang\* and Gi-Chung Kwon\*\*

\*\* Kwangwoon University Dept. of Electrical and Biological Physics

#### ABSTRACT

The number of processes in the manufacture of semiconductors, displays and solar cells is increasing. And as the processes is performed, multiple layers of films and various patterns are formed on the wafer. At this time, substrate warpage occurs due to the difference in stress between each film and pattern formed on the wafer. The substrate warping phenomenon occurs due to the difference in stress between each film and pattern formed on the wafer. We developed a new warpage measurement method to measure wafer warpage during real-time processing. We performed an experiment to measure the presence and degree of warpage of the substrate in real time during the process by adding only measurement equipment for applying additional electrical signals to the existing ESC and detecting the change of the additional electric signal. The additional electrical measurement signal applied at this time is very small compared to the direct current (DC) power applied to the electrostatic chuck with a frequency that is not generally used in the process can be selectively used. It was confirmed that the measurement of substrate warpage can be easily separated from other power sources without affecting.

**Key Words** : Semiconductor, Warpage measurement

#### 1. 서 론

반도체 및 디스플레이, 태양전지 등 소자 제조에는 수 많은 공정을 수행하여 제조된다. 따라서 최초의 기판은 가공되지 않은 순수한 웨이퍼가 제공되지만, 공정을 수행함에 따라서 다층의 막과 다종다양한 패턴이 웨이퍼에 형성된다. 그러나 이렇게 형성되는 각각의 막과 패턴이 가지는 열팽창 계수 등의 차이에 의해서 기판 휨 현상이 발생하게 된다[1]. 특히 웨이퍼 적층 공정에서 웨이퍼 연삭과정을 거치는 웨이퍼는 두께가 더욱 얇아지게 되고, 얇아진 웨이퍼는 잔류응력의 영향으로 크게 휘어지게 된

다. 또한 적층 횟수가 증가할수록 휘어지는 현상은 더욱 두드러진다[2]. 이러한 기판 휨 현상이 발생하면 공정 수행 시 원하는 결과와는 다른 오차가 발생하며, 이후의 공정에서 지속적인 불량 요인이 된다[3-5].

현재 기판 휨 현상 판별 방법에는 대표적으로 여러 광학적 측정을 통한 휨 정도 측정 방식이 있다[6-9]. 광학적 측정 방식은 공정 사이에 기판의 휨 정도를 판별하는 것은 가능하지만, 공정 진행 중 실시간으로 웨이퍼 휨 현상을 측정하지는 못하여 미세 공정 조정은 불가능한 단점이 있다[10,11]. 단점이 있다. 다른 방법으로는 접촉식 프로브(Contact probe)를 사용하는 3차원 측정기(coordinate measuring machine, CMM)을 이용하여 기판의 휨 현상을 측정하는 방식이 있다. 그러나 CMM을 이용하는 방식은 간

†E-mail: gckwon@kw.ac.kr

단하지만 클린 룸 외부에서 발생하는 측정, 기계적 프로브 및 금속 지지점의 웨이퍼 접촉 등으로 인해 박막이 손상되거나 기판이 오염되는 문제가 있다.

본 연구에서는 고가의 장비 개조 없이 정전척 (Electrostatic Chuck, ESC) 장치에 추가 전기적 신호 인가를 위한 측정 장비만을 추가하고, 기판 휨 유무 및 정도에 따른 추가 전기적 신호의 변화를 감지함으로써 공정 진행 중 실시간으로 기판의 휨 유무 및 정도를 측정할 수 있는 시스템을 제작하였다. 이때 인가되는 추가 전기적 측정 신호는 정전척에 인가되는 직류(DC) 전원 또는 공정 중 인가될 수 있는 플라즈마 전력 등과 비교하여 매우 작으며, 일반적으로 공정에 사용되지 않는 주파수를 선택적으로 사용할 수 있어 공정에 영향을 미치지 않고 타 전원과 쉽게 분리하여 측정하는 것이 가능하다.

## 2. 실험 방법

Fig 1은 웨이퍼의 휨 현상 측정을 위한 실험 장치의 구성도이다. 웨이퍼의 휨 현상 측정은 쌍극형 정전척(bi-polar electrostatic chuck)에 신호 생성/측정 회로부로 구성된 휨 측정 시스템을 연결하여 진행되었다. 휨 현상 측정 시스템(warpage measurement system)은 주로 신호 생성/측정 회로부로 구성되어 있으며, 이전 연구에서 사용된 회로와 동일하게 신호발생기(Signal generator), 기준 임피던스 소자(Reference Impedance Device)와 신호 처리부(Signal Processing system)로 구성된다<sup>12</sup>. 기준 임피던스 소자는 정전척의 전극과 병렬 연결을 구성한다. 신호발생기에서 정현파 형태의 기준 신호(Reference signal)를 인가하면 정전척 전극에서 형성되는 임피던스와 기준 임피던스 소자의 임피던스 간 전압 분배가 다르게 나타나게 된다. 이때 웨이퍼 휨 현상이 발생하게 되면 정전척 전극에서 형성되는 임피던스의 값이 바뀌게 되며, 이에 따라 기준 임피던스 소자에 인

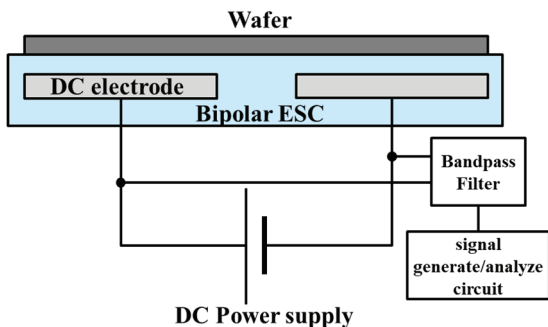


Fig. 1. Schematic of experimental system.

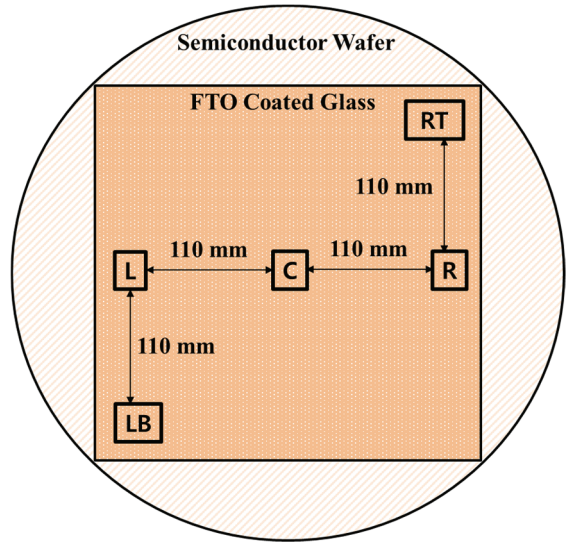


Fig. 2. Position of spacer between wafer and ESC.

가되는 전압의 값이 달라진다. 이 기준 임피던스에 인가되는 전압의 값을 신호 처리부를 통해 측정하고, 변화하는 전압의 값을 이용해 웨이퍼의 휨 유무를 확인할 수 있게 된다. 이때 정전척에 인가되는 DC 전원과, 기타 잡음(noise)를 제거하기 위하여 신호 생성/측정 회로와 정전척 사이에 대역통과 필터(bandpass filter)를 추가하였다.

실제 임피던스의 변화와 휨 측정 시스템의 측정값의 연관성을 확인하기 위해 정전척의 전극 사이를 애질런트사의 4294A 임피던스 측정기(Impedance analyzer)를 사용해 임피던스 측정을 병행하였다.

측정에 사용된 기판으로는 6인치 단결정(100) 웨이퍼를 사용하였다. 이때 웨이퍼의 두께는 0.7 mm이다. 또한 FTO가 증착된 유리 기판을 측정을 위해 사용하였다. 유리 기판의 넓이는 4인치이고 두께는 1 mm이며 면저항은 7.2 Ω/□이다. 이때 휨 정도를 조절하기 위하여, 웨이퍼와 정전척 사이에 스페이서(spacer)를 추가하여 인위적인 휨 현상을 발생시켰다. 스페이서의 위치는 각각 중앙(C, Center), 왼쪽(Left, L), 오른쪽(Right, R), 왼쪽 아래(Left Bottom, LB), 오른쪽 위(Right Top, RT)에 위치시켰다.

본 연구에서 사용된 정전척은 산화알루미늄(Al<sub>2</sub>O<sub>3</sub>) 세라믹 위에 구리 박막을 이용해 바이폴라(bipolar)형태로 전극을 형성하였다. 형성된 구리 박막 전극 위에 300um 두께의 폴리이미드(polyimide) 필름을 접착하여 정전척 구조를 형성하였다. 정전척 전극에는 DC 전원 발생기를 연결하여 신호 발생/측정 회로가 실제로 정전척 사용 중 동시 측정이 가능한지 확인하였다.

### 3. 결과 및 고찰

표 1은 실리콘 웨이퍼 기판의 스페이서의 위치와 두께에 따른 측정값을 나타낸 표이며 그림 3은 0.5 mm 스페이서에서 대표적인 측정값을 그래프로 나타낸 것이다.

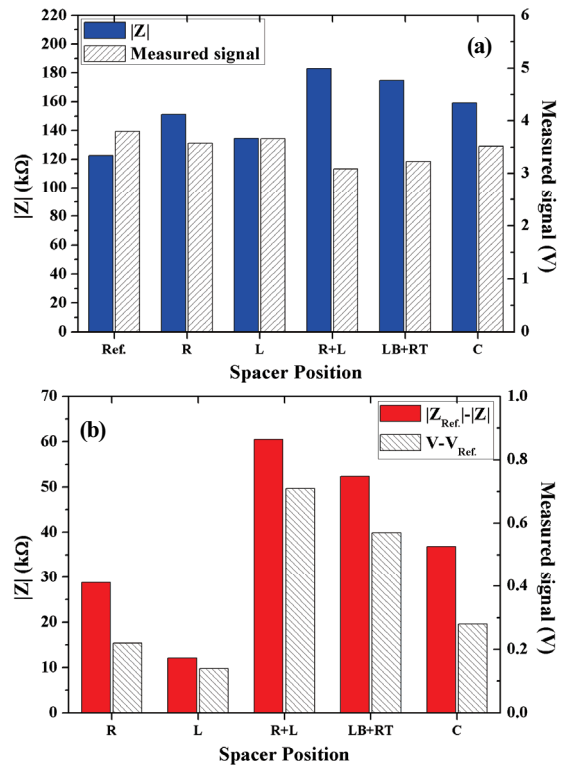
임피던스의 크기  $|Z|$ 와 위상  $\angle\theta$ 는 스페이서의 위치와 두께에 따른 정전적 전극 사이를 임피던스 측정기를 이용하여 측정한 값이며, 측정 전압값은 신호 발생/측정 회로를 통해 기준 임피던스 소자에 인가되는 전압값 (Measured signal)을 측정한 것이다. 신호 발생/측정 회로를 통한 측정 중에는 DC 전원 발생기를 통해 정전적 전극 사이에 100 V의 DC 전원을 인가하였다.

스페이서의 추가 없이, 즉 휨 현상이 일어나지 않은 웨이퍼에서 측정된 임피던스는 122.44 k $\Omega$ 이며, 스페이서를 추가하는 경우 임피던스는 항상 증가하였다. 이때 측정된 위상의 값은 음의 값을 가지므로, 웨이퍼의 휨 현상에 의한 정전적 전극 사이의 임피던스의 변화는 정전용량 (Capacitance)의 변화와 밀접한 관련이 있음을 알 수 있다. 웨이퍼의 휨 현상이 발생하는 경우, 웨이퍼와 기판 사이에 빈 공간이 발생하면서 빈 공간이 형성되는데, 이 빈 공간이 본래 정전적 전극 사이의 신호가 이루는 경로(path)에 직렬 커패시터를 추가하는 것과 같은 효과를 가진다<sup>[3],4</sup>. 따라서 신호가 이루는 경로의 전체 커패시턴스 (Capacitance) 값은 작아지고, 리액턴스 성분인 임피던스가 항상 증가하게 된다.

스페이서의 추가가 없는 경우 신호 발생/측정 회로에서 측정된 전압값은 3.80 V였다. 스페이서를 추가하는 경우

**Table 1.** various measured value on a semiconductor wafer according to spacer position

Spacer position	Spacer thickness (mm)	$ Z $ (k $\Omega$ )	$\angle\theta$ (°)	Measured signal (V)
-	-	122.44	-88.81	3.80
R	0.25	145.99	-89.05	3.70
	0.5	151.21	-89.09	3.58
L	0.25	134.35	-89.06	3.73
	0.5	134.54	-88.98	3.66
L+R	0.25	160.38	-89.08	3.32
	0.5	182.93	-89.18	3.09
LB+RT	0.25	152.79	-89.07	3.46
	0.5	174.79	-89.09	3.23
C	0.25	133.24	-88.96	3.65
	0.5	159.24	-89.13	3.52



**Fig. 3.** (a) Impedance ( $|Z|$ ) and measured voltage (V) using warpage on a semiconductor wafer measurement system according to spacer position (b) The difference between the impedance ( $|Z|$ ) and measured voltage (V) when the spacer is added and the reference value (without spacer).

**Table 2.** various measured value on a FTO glass according to spacer position

Spacer position	Spacer thickness (mm)	$ Z $ (k $\Omega$ )	$\angle\theta$ (°)	Measured signal (V)
-	-	103.64	-89.11	4.86
R	0.25	105.57	-89.07	4.81
	0.5	114.79	-89.16	4.78
L	0.25	111.01	-89.19	4.79
	0.5	120.94	-89.23	4.69
L+R	0.25	110.32	-89.19	4.55
	0.5	124.64	-89.14	3.91
LB+RT	0.25	114.10	-89.16	4.58
	0.5	132.61	-89.30	4.03
C	0.25	108.56	-89.10	4.75
	0.5	119.87	-89.17	4.02

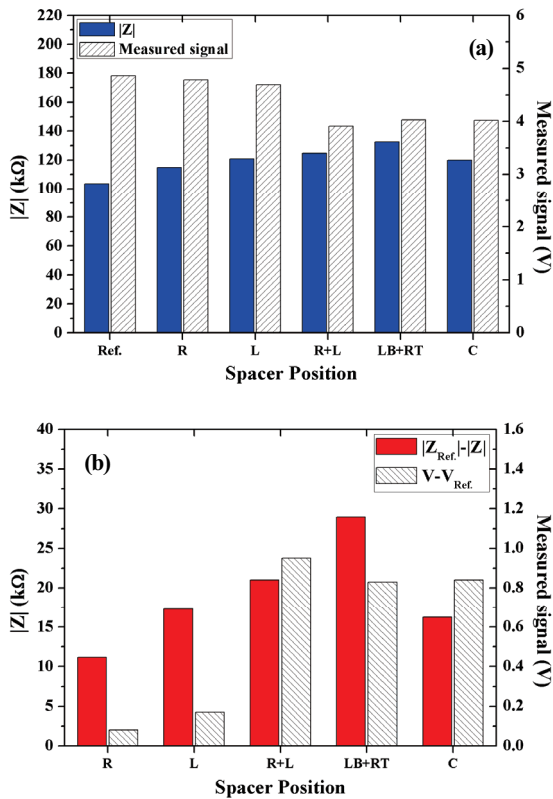


Fig. 4. (a) Impedance( $Z$ ) and measured voltage(V) using warpage on a FTO coated glass measurement system according to spacer position (b) The difference between the impedance( $Z$ ) and measured voltage(V) when the spacer is added and the reference value(without spacer).

측정된 전압값은 최소 0.07 V, 최대 0.71 V 감소하였으며 웨이퍼 휨 현상이 발생하는 경우 정전척 전극 사이의 임피던스가 항상 증가하기 때문에, 기준 임피던스에 분배되는 전압의 크기는 감소하게 된다. 스페이서의 두께가 증가함에 따라, 즉 웨이퍼의 휨 현상이 더욱 두드러지게 나타남에 따라 정전척 사이의 임피던스는 더욱 증가하며, 따라서 기준 임피던스 소자에 분배되는 전압은 더욱 작아지기 때문에 신호 처리부에서 측정된 전압값은 더욱 감소하게 된다.

표 2는 FTO가 증착된 유리 기판의 스페이서의 위치와 두께에 따른 측정값을 나타낸 표이며 그림 4는 0.5 mm 스페이서에서 대표적인 측정값을 그래프로 나타낸 것이다. 스페이서의 추가 없이, 즉 휨 현상이 일어나지 않은 웨이퍼에서 측정된 임피던스는 103.64  $k\Omega$ 이다. 실리콘 웨이퍼와 마찬가지로 스페이서를 추가하는 경우 임피던스는 항

상 증가하였다.

FTO가 증착된 유리 기판에서, 스페이서의 추가가 없는 경우 신호 발생/측정 회로에서 측정된 전압값은 4.86 V였다. 실리콘 웨이퍼에 비하여 정전척 사이에서 형성된 임피던스의 값이 작기 때문에, 기준 임피던스에 인가되는 전압의 값은 더 커지게 되었다. 스페이서를 추가하는 경우 측정된 전압값은 최소 0.05 V, 최대 0.95 V 감소하 평균적으로 0.37V의 감소가 일어났다.

### 3. 결과 및 고찰

기판의 휨 현상 발생에 따른 정전척 전극 사이의 임피던스 변화와 기판 휨 측정 시스템의 신호 발생/측정 회로를 통한 휨 현상 측정을 진행하였다. 기판의 휨 현상이 발생함에 따라, 웨이퍼와 정전척 사이의 빈 공간이 발생하여 직렬 커패시터가 추가되는 것과 같은 현상이 발생하였다. 따라서 웨이퍼 휨 현상이 발생함에 따라 정전척 전극의 임피던스는 증가하였다. 이 경우, 신호 발생/측정부의 기준 임피던스에 분배되는 전압의 크기가 감소하였으며, 이를 통하여 전기적 신호 변화를 통한 실시간 웨이퍼의 휨 현상 측정이 가능함을 확인하였다.

### 감사의 글

이 논문은 2019년도 광운대학교 교내학술연구비 지원에 의해 연구되었음.

### 참고문헌

1. A. H. Abdelnaby, G. P. Potirniche, F. Barlow, A. Elshabini, S. Groothuis, and R. Parker, "Numerical simulation of silicon wafer warpage due to thin film residual stresses", 2013 IEEE Workshop on Microelectronics and Electron Devices (WMED), IEEE, pp. 9-12, 2013.
2. Y. Kim, S. K. Kang, S. D. Kim, and S. E. Kim, "Wafer warpage analysis of stacked wafers for 3D integration", Microelectronic engineering, Vol. 89, pp. 46-49, 2012.
3. B. Leroy, and C. Plougonven, "Warpage of silicon wafers", Journal of the Electrochemical Society, Vol. 127, No. 4, pp. 961-970, 1980.
4. S. I. Takasu, H. Otsuka, N. Yoshihiro, and T. Oku, "Wafer bow and warpage", Japanese Journal of Applied Physics, Vol. 20, No. S1, pp.25-30, 1981.
5. S. Shin, M. Park, S. E. Kim, and S. Kim, "Effects of Wafer Warpage on the Misalignment in Wafer Level Stacking Process", Journal of the Microelectronics and

- Packaging Society, Vol. 20 No. 3, pp.71-74, 2013.
6. K. H. Yang, "An optical imaging method for wafer warpage measurements", Journal of The Electrochemical Society, Vol. 132, No. 5, pp. 1214-1218, 1985.
  7. J. Chen, and I. De Wolf, "Study of damage and stress induced by backgrinding in Si wafers", Semiconductor science and technology, Vol.40, No. 4, pp. 87-93, 2003.
  8. K. A. U. S. H. A. L. Verma, and B. Han, "Warpage measurement on dielectric rough surfaces of microelectronics devices by far infrared Fizeau interferometry", Journal of Electronic Packaging, Vol 122, No. 3, pp. 227-232, 2000.
  9. B. Han, D. Post, and P. Ifju, "Moiré interferometry for engineering mechanics: current practices and future developments", The Journal of Strain Analysis for Engineering Design, Vol. 36, No. 1, pp. 101-117, 2001.
  10. Y. Niu, H. Lee, and S. Park, "A new in-situ warpage measurement of a wafer with speckle-free digital image correlation (DIC) method", 2015 IEEE 65th Electronic Components and Technology Conference (ECTC), IEEE, pp. 425-431, 2015.
  11. A. Tay, W. K. Ho, and N. Hu, "An in situ approach to real-time spatial control of steady-state wafer temperature during thermal processing in microlithography", IEEE transactions on semiconductor manufacturing, Vol.20, No. 1, pp. 5-12, 2007.
  12. G. W. Shin, H. H. Lee, H. T. Kwon, W. J. Kim, Y. C. Seo, and G. C. Kwon, "Plasma Density Measurement of Linear Atmospheric Pressure DBD Source Using Impedance Variation Method", Journal of the Semiconductor & Display Technology, Vol.17, No. 2. pp. 16-19, 2018.
  13. L. An, and C. R. Friedrich, "Real-time gap impedance monitoring of dielectrophoretic assembly of multiwalled carbon nanotubes", Applied Physics Letters, Vol. 92, No. 17, pp. 173103, 2007.
  14. N. C. Jaitly, and T. S. Sudarshan, "In-situ insulator surface charge measurements in dielectric bridged vacuum gaps using an electrostatic probe", IEEE transactions on electrical insulation, Vol.23, No. 2, pp. 261-273, 1988.
- 
- 접수일: 2021년 2월 9일, 심사일: 2021년 3월 15일,  
 게재확정일: 2021년 3월 18일