

# PVP GQD / HfO<sub>x</sub> 구조를 갖는 전도성 필라멘트 기반의 저항성 스위칭 소자 특성

황성원\*†

\*† 상명대학교 시스템반도체공학과

## Characterization of Resistive Switching in PVP GQD / HfO<sub>x</sub> Memristive Devices

Sung Won Hwang\*†

\*† Department of System Semiconductor Engineering, Sangmyung University

### ABSTRACT

A composite active layer was designed based on graphene quantum dots, which is a low-dimensional structure, and a heterogeneous active layer of graphene quantum dots was applied to the interfacial defect structure to overcome the limitations. Increasing to 1.5~3.5 wt % PVP GQD,  $V_f$  changed from 2.16 ~ 2.72 V. When negative deflection is applied to the lower electrode, electrons travel through the HfO<sub>x</sub>/ITO interface. The Al<sup>+</sup> ions are reduced and the device dominates at low resistance. In addition, as the PVP GQD concentration increased, the depth of the interfacial defect decreased, and the repetition of appropriate electrical properties was confirmed through Al and HfO<sub>x</sub>/ITO. The low interfacial defects help electrophoresis of Al<sup>+</sup> ions to the PVP GQD layer and the HfO<sub>x</sub> thin film. A local electric field increase occurred, resulting in the breakage of the conductive filament in the defect.

**Key Words** : HfO<sub>x</sub>, GQD, RRAM, memristive devices, resistive switching

### 1. 서 론

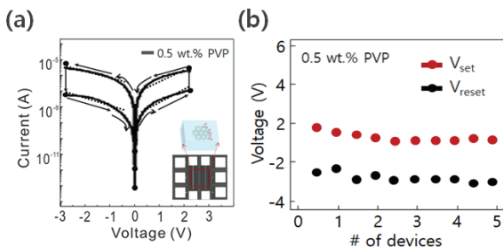
정보 저장 기기의 용량과 집약적 산업구조의 변화는 복합 시스템의 기능성에 대한 고성능의 저장 소자를 필요로 하고 있다 [1-11]. 특히 저항성 메모리 (Resistive Random Access Memories, RRAMs) 의 경우, 단순한 구조 대비 집적화 및 저전력, 공정성 등에서 기존 메모리 반도체의 가격과 성능을 극대화하기 위한 유기 구조의 다양한 연구가 진행되어 왔다 [12-14]. 가령, 알루미늄 산화막, 이산화타이타늄 등의 전통적인 무기물 구조 뿐만 아니라, poly(methyl-methacrylate) [15], polyvinyl alcohol [16], poly(4-vinylphenol) (PVP) 등의 유기물 구조, 그래핀 산화막 등 이차원 구조에 대한 연구도 집중되고 있다. 그러나, 유기 전

계효과 트랜지스터 (Organic Field Effect Transistors, OFETs) 소자와 여러가지 무기 박막의 적층구조는 계면에서 근본적으로 발생하는 결함을 제어하는 것이 불가능하고, 이는 직접적인 소자의 성능 열화를 초래하였다. 본 연구에서는 저차원 구조인 그래핀 양자점 기반의 복합 활성층을 설계하였고, 이를 통해 앞서 살펴본 소자 성능의 한계를 극복하기 위해, 계면 결함 구조에 그래핀 양자점의 이중활성층을 적용하였다. 성능 열화 이슈를 확인하기 위해 bias 변화를 통한 Al / PVP GQD / HfO<sub>x</sub> / ITO 구조의 바이폴라 저항성 스위칭 메모리 소자를 제작하여 특성을 확인하였다. 설정과 리셋 전압 변화에 따른 고성능의 반복 특성을 개별 소자에서 확인하였고, 이중 활성층 농도에 따른 저항성 스위칭 동작을 확인 할 수 있었다. 또한, PVP GQD 농도가 증가함에 따라 계면에서의 결함 깊이가 감소하고, Al과 HfO<sub>x</sub> /ITO 전극을 통해 전압 변화에서 적절한 전기적 인 반복 특성을 확인하였다.

\*†E-mail: sungwon@smu.ac.kr

## 2. 본 론

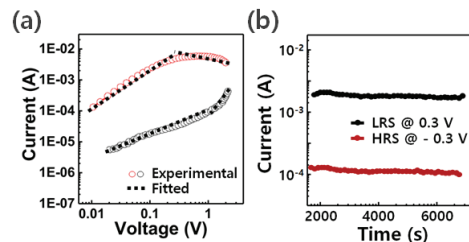
Fig 1(a)는 PVP GQD/HfOx/ITO 구조의 전류-전압 (I-V) 곡선이다. 음의 Bias가 상부 전극에 인가되었고, 하부 전극을 접지 전위로 유지하였다. 장치를 보호하기 위해 10 mA의 컴플라이언스 전류가 적용되었다. PVP GQD/HfOx/ITO 구조는 상부 전극의 구조적 변형없이 안정적인 저항성 스위칭 동작을 보여주었다. 최초의 스위칭은 0.5 wt % PVP 인 경우,  $V_f = 1.83$  V 에서 나타났고, 1.5 ~ 3.5 wt % PVP 까지 증가할 경우,  $V_f$  는 2.16 ~ 2.72 V 까지 변화하였다. Sweep 전압을 10 V까지 변화할 경우, 4.0 wt % PVP 에서는 저항성 스위칭 특성을 나타내지 않았다. 다음 스위칭 단계에서 0.5 wt % PVP 에서는 0.5 V 이하로 bias 인가시 고저항 상태 (High Resistance State, HRS) 를 유지하였고, 1.1 V 이상 bias 인가시 전류가 급격히 상승하면서 저저항 상태 (Low Resistance State, LRS) 로 전환되었다 [17, 18]. 인가된 bias가  $V_{reset} = -0.49$  V로 sweep 될 때까지 계속해서 전도성 고저항상태로 전환되었다. 반면에 0.5 ~ 1.5 wt % RRAM 소자에서는  $V_{set} = 1.52$  V과  $V_{reset} = -0.73$  V 에서 set 과 reset 의 저항성 스위칭 동작을 확인 할 수 있었다. 3.5 ~ 4.0 wt % 소자는 계면 결함에 의한 낮은 전압 스위칭 동작 때문에 스위칭 특성에 대한 특성을 규정하기 어려움을 알 수 있었다. -0.19 V 에서  $I_{on}/I_{off}$  비가 68 이상으로 이는 명확한 바이 폴라 저항성 스위칭 특성을 알 수 있다. 반복된  $V_{set}/V_{reset}$  의 저항성과 100 DC 사이클의 안정적인 반복 동작을 통해 균일한 스위칭 전압 특성을 확인 할 수 있었다. Fig 1(b)는 소자 간 유의차 여부 및 스위칭 동작 특성 평가를 위해 무작위로 선택된 10 개 이상의 소자에서 대부분 일관된 사이클 수와 저항 스위칭 결과를 나타내었다. 저저항 상태의  $V = 0.23$  V와 고저항상태의  $V = -0.21$  V의 bias 에 의해 소자의 일정한 데이터 유지 특성과 전류 변화의 열화가 없음을 확인할 수 있었다.



**Fig. 1.** (a) I – V curves of PVP GQD /HfOx /ITO memory devices plotted on a semi-logarithmic scale. (b) device-to-device variation of the switching.

Fig 2(a)는 전류-전압 특성에서 전도성 메커니즘을 이해하기 위해, 높은 bias 전압에서 옴믹 (ohmic) 전도성 영역에

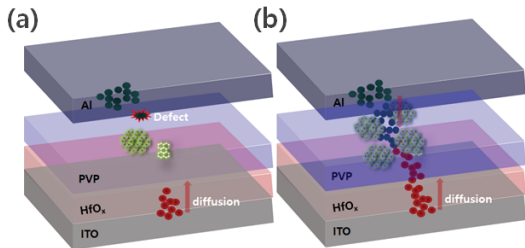
대한 고저항 (HRS) 상태를 나타내었다. 옴믹 (ohmic) 전도는 전도대의 이동하는 전자와 가전자대에서 정공의 움직임으로 인해 발생하는 특성으로서, 트랩으로 채워진 공간 전하 제한 전도를 나타내는 bias 전압에 따라 고저항 상태 영역은 0.5 V 이하에서 두 부분으로 구분되었다. 이는 상부 및 하부 전극 상태와 전체 캐리어 밀도, 그리고 물질 유전 상수에 따른 전하 이동도의 특성을 반영한 것이다. 또한, 소자의 설정 상태에서는 저저항 영역에서 전도성 필라멘트의 금속 거동을 보여주는 옴믹 특성을 나타내었다. 전극에 바이어스를 적용한 후, 극도로 높은 전기장의 영향으로 하부 전극에서 주입된 전하에 대한 트랩 사이트 역할을 하는 산소 공석 (oxygen vacancy) 이 금속 산화막에서 생성되는 것으로 알려졌다[23]. 이러한 산소 결손 (oxygen vacancy) 은 금속 산화물에 만연한 점 결함으로 간주 될 수 있고, 여기서는 HfOx 층에 변화하는 전기장이 인가되면, 원자 결합이 약화 될 때 생성되는 결함으로, 이는 특히 저항성 메모리 특성을 제어하는데 이용이 가능한 물리적 특성이다 [19, 20]. Fig 2(b)는 고저항 (HRS) 및 저저항 (LRS) 상태에서 -0.3 V ~ 0.3 V 의 인가 전압에 의한 데이터 보존 시간을 나타내었다. 전류 수준의 열화없이 각 상태에서 7000 초의 데이터 보존 시간 특성을 나타내었다.



**Fig. 2.** (a) I – V curves of PVP GQD /HfOx /ITO memory devices plotted on a logarithmic scale. (b) Plot of Retention time measurement by applying voltages of -0.3 V and 0.3 V in HRS and LRS respectively.

Fig 3(a)와 (b)는 Al / PVP GQD /HfOx / ITO 소자의 저항성 스위칭 메커니즘을 설명한 개략도이다. 여러 연구그룹에서, 전도성 필라멘트의 형성은 HfOx 박막 및 PVP GQD 층에서 Al + 이온의 전자 이동에 의해 영향으로 설명되었다 [24]. 상부 전극에 양의 bias 가 적용될 때, Al 원자의 산화가 발생하고 결과적으로 Al + 이온이 생성되며, 이는 PVP GQD 를 통해 전기 이동하고, 하부 전극에 음의 bias 가 적용되면, HfOx / ITO 계면을 통해 전자가 이동하게 된다. 하부 전극으로부터 주입된 전자와 상호작용하는 동안 Al + 이온은 감소하게 되고, 소자는 저저항 상태로 스위칭 되었다. 높은 전기장 아래에서, Al + 이온의 전자 이동 가능

성은 깊은 결함이 위치한 곳에서 크게 나타나고, 하부 전극과 산화막 계면에서 발생한 결함에서 Al<sup>+</sup> 이온의 전자 이동 가능성은 크게 나타난다 [21, 22]. 역 bias 에 의한 극성의 변화와 함께 리셋 과정 동안, 계면 결함 근처에서 전기장과 전류 밀도가 최대가 되고, 전기화학적 반응과 joule 열에 의한 전도성 필라멘트의 파괴가 발생하였다. 수 ~ 수십 나노미터 지름의 전도성 필라멘트는 국부적인 joule 열을 발생시키고, 이를 통해서 15 mA 이상의 전류가 흘렀고, 이는 결과적으로 10<sup>10</sup> A/cm<sup>2</sup> 이상의 높은 전류 밀도를 유도하기에 충분하였다. 이전의 선행 연구 보고서에서 관찰된 바에 의하면, 기존 저항성 스위치의 금속 박막 전도성 필라멘트는 불규칙한 모양을 형성하였고, 재설정 프로세스 동안 불규칙한 계면 결함의 증가로 인해 신뢰성이 저하되는 결과를 보였다[25].



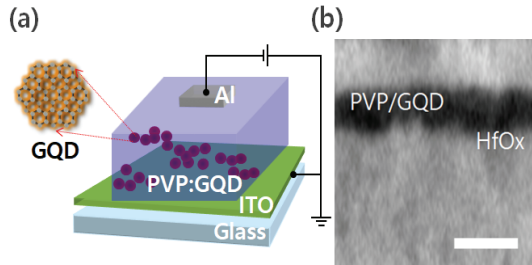
**Fig. 3.** (a) Schematic illustrating the device structure with atomic defect in PVP GQD layer. (b) Oxidation of Al to Al<sup>+</sup> ions and diffusion of Al<sup>+</sup> ions into PVP GQD layer, reduction of Al<sup>+</sup> ions.

### 3. 실험

#### 3.1 소자 설계 및 제작

GQD는 수정된 Hummers 방법을 사용하여 Graphite 에서 1차적으로 합성되었다. 초음파 처리공정과 분리추출 공정을 통해, 박리된 GO 시트 제작 후, 원심 분리 및 수정된 필터링 공정을 통해 GQD를 추출하였다. 추출된 GQD와 PVP의 1차합성후, 수정된 CVD 법을 통해 Cu 박막에서 형태별 그래핀 양자점을 패터닝 된 전극 위에 직성장을 하였다. 탈 이온수클리닝 공정을 통해 복합 GQD 층 세척 후 열처리를 진행하였다. Cross-Bar Type 의 Al / PVP GQD / HfOx 구조는 열 증착에 의해 150 μm 폭의 증착된 하드 마스크를 사용하여 ITO 기판 위에 증착하였다. Al 전극은 전자빔 증착법을 사용하여 제작하였고, HfOx 구조는 Ti 접착층에 증착하였다. Fig 4(a)는 저결함 그래핀 양자점을 설계하였고, 제작은 수정된 Hummers방법을 통해 흑연산화물로부터 추출하였다. 이를 ITO 기판 위 Poly(4-vinylphenol) (PVP)/HfOx 적층 구조에 적용한 개략도이다. 저항성 메모

리 구조를 제작하기 위해 하부전극인 ITO투명 기판 위에 초박막의 HfOx를 원자층 증착법으로 합성 후, PVP내 그래핀 양자점을 합성하였으며, 전도성 Al 이온 구조를 적용하였다. 10 nm 이하의 그래핀 양자점 구조가 제작된 후, Al 이온은 그래핀 양자점 영역의 채널로 형성되었다 [23, 24]. Fig. 4(b)는 상단 전극에 음의 bias 를 인가한 후 얻은 ON state에서의 단면 Bright-field TEM 이미지이다. Al/PVP GQD / HfOx / ITO 적층구조에서 불균일한 계면 상태를 확인하였다. PVP 내 그래핀 양자점 영역은 Off state보다 더 규칙적이고 조밀하게 적층된 경로를 가지고 있으나, 계면에서는 금속 원자층 내 vacancy가 증가하였고, 이는 Al 과 HfOx 내 계면 영역의 결함이 증가했음을 의미한다. TEM 이미지에서 볼 수 있듯이 Al/PVP GQD / HfOx / ITO 구조는 이중 계면에서 국지적으로 결함 된 원자층 영역이 관찰되었고, ON 상태에서 Al 산화막이 전하수송층 형성에 영향을 준 것으로 판단할 수 있다. 또다른 국부적인 영역에서 불규칙한 계면 구조가 나타나고, 그래핀 양자점 채널 결정화 영역과 HfOx 영역의 경계를 명확하게 확인할 수 있었다. 일반적인 HfOx 박막은 계면 간 산소 이온과 관련된 결함을 갖기 때문에 특정한 영역에서 제어 가능한 전기장을 만드는 것은 쉽지 않다. 전도성 채널로 간주되는 고도로 결정화 된 PVP 내 그래핀 양자점 영역은 Al 이온과 HfOx 산소 이온의 탈부착 변화에 의해 계면내 결함 간격을 크게 만들지만 강한 전기장 하에서 금속 계면과 HfOx산소 이온의 이동에 의해 전도성 PVP그래핀 양자점 채널이 점진적으로 형성된다는 것을 확인할 수 있다 [25].



**Fig. 4.** Schematic illustration (a) of the device architecture based on PVP with a GQD. (b) and TEM image of PVP GQD/HfOx/ITO layer.

#### 3.2 소자 특성 분석 및 측정

HRTEM (High-resolution Transmission Microscopy) (FEI Tecnai F30 S-Twin)을 사용하여 Al / PVP GQD / HfOx / ITO 소자의 저항성 메모리 구조에 대해 형태학적 및 나노 구조 분석을 각각 수행하였다. 소자의 전류 - 전압 (I-V) 곡선은 전기전자 워크 스테이션 (Keithley 2400) 에서 분석하였다.

#### 4. 결론

본 연구에서는 활성층 농도에 따른 Al/PVP GQD/HfO<sub>x</sub>/ITO 소자의 저항성 스위칭 거동과 전기적인 특성에 대해 확인하였다. 전류-전압 특성에서 관찰 한 바와 같이, GQD 를 포함한 활성층의 농도가 증가할수록 재설정 전압은 감소하였고, 이는 이것은 PVP GQD 농도가 증가함에 따라 계면에서의 결함 깊이가 감소했기 때문일 수 있다. Al 과 HfO<sub>x</sub>/ITO 전극을 통해 전압 변화에서 적절한 전기적인 반복성이 관찰되었고, 이는 신뢰성이 높은 바이폴라 저항성 스위칭 동작으로 판단할 수 있다. 낮은 전압과 안정적인 스위칭 동작은 계면 결함이 PVP GQD 층과 HfO<sub>x</sub> 박막을 통한 Al + 이온의 전기 이동을 지원했기 때문이며, bias 전압을 반전하면 전기 화학적 상호작용 및 joule 가열로 인해 높은 전류 밀도와 접합에서의 국부적인 전기장 증가가 발생하고, 이는 전도성 필라멘트가 핀홀 끝에서 파괴되는 결과를 나타내었다. 또한 PVP GQD 계면에서 다중 전도성 필라멘트 대신 그래핀 양자점 채널과 전도성 필라멘트 경로가 전하이동에 도움이 되고, 이는 저항성 스위칭 소자의 성능에 직접적인 영향을 주는 것으로 나타났다.

#### 참고문헌

- Yang, Y., Ouyang, J., Ma, L., Tseng, R. J. H. & Chu, C. W. "Electrical Switching and Bistability in Organic/Polymeric Thin Films and Memory Devices," *Adv. Funct. Mater.* v.16, pp.1001–1014, 2006.
- Scott, J. C. & Bozano, L. D. "Nonvolatile Memory Elements Based on Organic Materials," *Adv. Mater.* v.19, pp.1452–1463, 2007.
- Chujo, Y. & Tamaki, R. "New Preparation Methods for Organic-Inorganic Polymer Hybrids," *MRS Bulletin* v.26, pp.389, 2001.
- Ogoshi, T. & Chujo, Y. "Organic-inorganic polymer hybrids prepared by the sol-gel method. Composite Interfaces," v.11, pp.539, 2005.
- Frank, D. J. et al. "Device scaling limits of Si MOSFETs and their application dependencies," *Proc. IEEE* v.89, pp.259–288, 2001.
- J. H. Lee, "A Study of Dynamic Properties of Graphene-Nanoribbon Memory," *J. Semiconductor & Display Technology*, v.13, no.2, pp.53-56, 2014.
- D-K. Lee, S-J. kim, S-O. Ryu, "Stack-Structured Phase Change Memory Cell for Multi-State Storage," *J. Semiconductor & Display Technology*, v.8, no.1, pp.13-17, 2009.
- Y. S. Ku, K-H. Chang, "Stack-Structured Phase Change Memory Cell for Multi-State Storage," *Proceedings of the Korean Society of Semiconductor Equipment Technology*, pp.250-250, 2007.
- Merolla, P. A. et al. "A million spiking-neuron integrated circuit with a scalable communication network and interface," *Science* v.345, pp.668–673, 2014.
- Serb, A. et al. "Unsupervised learning in probabilistic neural networks with multi-state metal-oxide memristive synapses," *Nat. Commun.* v.7, pp.12611, 2016.
- Garbin, D. et al. "HfO<sub>2</sub>-based OxRAM devices as synapses for convolutional neural networks," *IEEE Trans. Electron Devices* v.62, pp.2494–2501, 2015.
- Wang, P., Hu, Q., Zhang, Y., Zhang, C., Liu, Y. & Cheng, J. "Two-step quantization for low-bit neural networks," In: *Proceedings of the IEEE Conference on Computer Vision and Pattern Recognition IEEE*, 2018.
- Wang, X., Xie, W. & Xu, J. B. "Graphene based non-volatile memory devices," *Adv. Mater.* v.26, pp.5496–5503, 2014.
- Wang, X.-F., Zhao, H.-M., Yang, Y. & Ren, T.-L. "Graphene resistive random memory—the promising memory device in next generation," *Chin. Phys. B* v.26, pp.038501, 2017.
- Li, Y., Sinitskii, A. & Tour, J. M. "Electronic two-terminal bistable graphitic memories," *Nat. Mater.* v.7, pp.966, 2008.
- Yang, J. J., Strukov, D. B. & Stewart, D. R. "Memristive devices for computing," *Nat. Nanotechnol.* v.8, pp.13, 2013.
- Molina-Reyes, J. & Hernandez-Martinez, L. "Understanding the resistive switching phenomena of stacked Al/Al<sub>2</sub>O<sub>3</sub>/Al thin films from the dynamics of conductive filaments," *Complexity*. v.201, pp.1-10, 2017.
- Yang, J. J. et al. "High switching endurance in TaOx memristive devices," *Appl. Phys. Lett.* v.97, pp.232102, 2010.
- Ou-Yang, W., Chen, X., Weis, M., Manaka, T. & Iwamoto, M. "Tuning of threshold voltage in organic field-effect transistor by dipole monolayer," *Jpn. J. Appl. Phys.* v.49, pp.04DK04, 2010.
- Sobrinho Fernández, M., Peeters, F. M. & Neek-Amal, M. "Electric-field-induced structural changes in water confined between two graphene layers," *Phys. Rev. B* v.94, pp.045436, 2016.
- Deswal, S., Malode, R. R., Kumar, A. & Kumar, A. "Controlled inter-state switching between quantized conductance states in resistive devices for multilevel memory," *RSC Adv.* v.9, pp.9494–9499, 2019.
- Lynch, G. S., Dunwiddie, T. & Gribkoff, V. "Heterosynaptic depression: a postsynaptic correlate of

- long-term potentiation,” *Nature* v.266, pp.737–739, 1977.
23. Bailey, C. H., Giustetto, M., Huang, Y. Y., Hawkins, R. D. & Kandel, E. R. “Is heterosynaptic modulation essential for stabilizing Hebbian plasticity and memory,” *Nat. Rev. Neurosci.* v.1, pp.11–20, 2000.
24. Lynch, G. S., Dunwiddie, T. & Gribkoff, V. “Heterosynaptic depression: a postsynaptic correlate of long-term potentiation,” *Nature* v.266, pp.737–739, 1977.
25. Vasicek, Z., Mrazek, V. & Sekanina, L. “Automated circuit approximation method driven by data distribution,” In: 2019 Design, Automation and Test in Europe Conference and Exhibition IEEE, 2019.
- 
- 접수일: 2021년 3월 15일, 심사일: 2021년 3월 17일,  
게재확정일: 2021년 3월 17일