

Ultrathin Gate Oxide for ULSI MOS Device Applications

황 현상

광주 과학 기술원, 신소재 공학과

광주광역시 광산구 쌍암동 572 번지, 전화: 062-970-2314, FAX: 062-970-2304

반도체 집적 공정의 발달로 차세대 소자용으로 30 Å 이하의 극 박막 SiO₂ 절연막이 요구되고 있으며, 현재 제품으로 50-70 Å 두께의 절연막을 사용한 것이 발표되고 있다. 절연막의 두께가 얇아질수록 많은 문제가 발생할 수 있는데 그 예로 절연막의 breakdown 등에 의한 신뢰성 특성의 악화, 절연막을 통한 direct tunneling leakage current, boron 등의 dopant 침투로 인한 소자 특성 (Threshold Voltage)의 불안, 전기적 stress 하에서의 leakage current 증가와 charge-trap 및 interface state의 생성으로 인한 소자 특성의 변화 등으로 요약된다.

절연막의 특성을 개선하기 위해 여러 가지 새로운 공정들이 제안되었다. 그 예로, Nitrogen을 Si/SiO₂ 계면에 doping하여 절연막의 특성을 개선하는 방법으로 고온 열처리를 NH₃, N₂O, NO 분위기에서 실시하거나, polysilicon 또는 silicon 기판에 nitrogen을 이온 주입하여 열처리 하는 방법, 그리고 Plasma 분위기에서 Nitrogen 함유 Gas를 이용하여 nitrogen을 doping시키는 방법 등이 연구되고 있다. 또한 Oxide cleaning 후 상온에서 성장되는 oxide를 최소화하여 절연막의 특성을 개선하기 위하여 LOAD-LOCK을 이용하는 방법, Cleaning 공정의 개선을 통한 contamination 감소와 silicon surface roughness 감소로 oxide 신뢰성을 개선하는 방법 등이 있다.

구조적인 측면에서는 Polysilicon의 grain size를 최적화하여 Oxide/Polysilicon의 계면 특성을 개선하는 연구와 Isolation 및 Gate ETCH 공정이 절연막의 특성에 미치는 영향도 많이 연구되고 있다. Plasma damage가 Oxide에 미치는 효과를 제어하는 방법과 Deuterium 열처리 등을 이용하여 Hot electron Stress 하에서의 MOS 소자의 Si/SiO₂ 계면의 신뢰성을 개선하고 있다.

또한 극 박막 절연막의 신뢰성 특성을 통계적 분석을 통하여 사용 가능한 수명을 예측 하는 방법과 Direct Tunneling Leakage current를 고려한 허용 가능한 동작 전압 예측 및 Stress Induced Leakage Current 등에 관해서도 최근 활발한 연구가 진행되고 있다.