

패킷프로세서 기반의 홈게이트웨이용 스위치칩 개발

안정균¹, 김성수¹, 김대환², 이춘영²
¹KT 미래기술연구소, ²쿠오핀 기술연구소

Development of the QoS Switch Chip with Packet Processors for the Home Gateway

¹Ahn, Jeong-Gyun, ¹Kim, Sung-Soo, ²Kim, Dae-Whan, ²Lee, Chun-young
¹KT Advanced Technology Laboratory, ²Quopin Technology Laboratory

Abstract - 홈게이트웨이가 가져야 하는 기능에 대한 요구사항을 분석하고 통신사업자의 관점에서, QoS 기능과 IP 주소변환 기능을 중심으로 세부적인 스위칭 칩의 기능과 성능을 규정하였다. QoS기능, 패킷 필터링 기능, 그리고 IPv6 주소체계 도입 등과 같이 급변하는 네트워크의 요구사항을 유연하게 수용하여, 칩의 기능과 성능을 수정하거나 추가할 수 있도록 패킷프로세서 기반으로 스위칭 칩을 설계하였으며, 홈게이트웨이의 구성을 단순화 하기 위해 스위칭 칩의 패킷 메모리와 룩업 메모리를 칩 내부에 내장하였다. 그리고 칩의 설계를 검증하기 위해 FPGA를 이용하여 6포트 스위칭 칩으로 구현하여 기능 및 성능시험을 수행하였다. NAT, Flow에 따른 패킷 분류 및 패킷 변경, SPQ, DWRR과 같은 스케줄링 등의 시험을 통하여 설계한 칩의 기능과 성능을 확인하였다.

스, 그리고 VoIP 기술을 이용한 음성서비스를 동시에 제공하는 Triple 서비스로 진화하고 있다. 또한 고품질의 영상전화 서비스 또한 서서히 상용화 단계로 진입하고 있다.

따라서 통신사업자들은 서비스의 종류에 따라 차별화된 서비스를 제공할 수 있는 QoS 네트워크로 진화시키고 있으며, 홈네트워킹이나 홈오토메이션 서비스를 위해 중요한 장치인 홈게이트웨이에도 이와 같은 QoS 기능을 탑재하고 있다.

본 논문은 홈게이트웨이에 QoS 기능을 탑재하고, 기능과 성능의 유연성을 위해 패킷프로세서를 탑재하기 위한 QoS용 스위치 칩의 설계와 시험에 관한 것이다.

1. 서론

xDSL과 케이블 모뎀의 전송기술 발전과 더불어 급속하게 증가하던 국내 초고속인터넷 가입자가 <표. 1>에서 보는 바와 같이 2004년 이후 포화상태에 이르렀음을 볼 수 있다.

서비스를 제공하는 통신사업자의 서비스 제공행태도 단순 인터넷 접속 서비스에서 TV포탈 등의 서비스 <표. 1> 초고속 인터넷 가입자 수

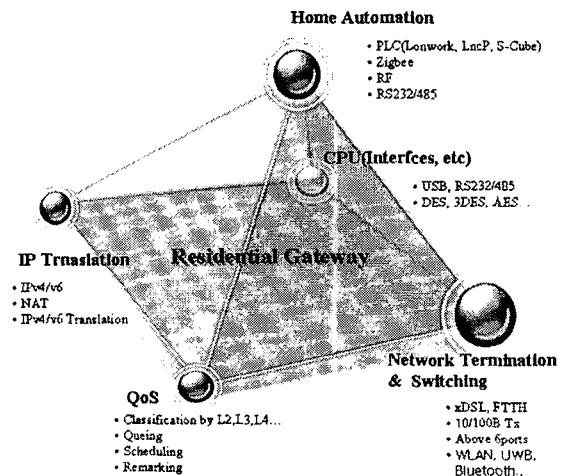
구분	2001	2002	2003	2004	2005	2006.3
총 가입자 (단위,천명)	7,806	10,405	11,178	11,921	12,191	12,476

스와 같이 가입자당 수익을 높이기 위한 새로운 서비스 개발에 적극적으로 나서고 있다. 초고속 인터넷을 이용하는 가입자의 경우도 유무선 IP 공유기를 이용하여 다수의 PC로 인터넷에 접속하거나 홈네트워킹을 즐기는 세대가 늘어나고 있다.

이러한 가입자와 서비스사업자의 요구가 부합하여 여러 나라에서는 IPTV 서비스와 더불어 VOD 서비스

2. 홈게이트웨이 요구사항 분석

홈게이트웨이는 xDSL, 이더넷, FTTH, 혹은 동축케이블로 구축된 가입자망을 종단하고, 홈네트워크와 가입자망간의 트래픽을 통제하고 홈네트워크에 접속 및 분배를 하며, 서로 다른 프로토콜을 변환할 수 있는 장비로서 많은 기술적 요구사항이 필요하다.



(그림. 1) 홈게이트웨이 요구사항

(그림. 1)에서 보는 바와 같이 홈게이트웨이의 기술 요구사항들을 크게 분류하면 다음과 같다.

가. WAN과 LAN간의 접속 및 분배

홈게이트웨이에 주로 사용되는 WAN 기술로는 ADSL, VDSL, Ethernet, 그리고 FTTH 등이 있으며, LAN으로 활용되는 고속통신 기술에는 유선에서는 Ethernet, HomePNA, 또는 고속 PLC 등의 기술이 있다. 무선 LAN 기술로는 IEEE 802.11 a/b/g/n의 WLAN 기술이나 향후 UWB 기술이 적극적으로 도입될 것이다.

나. 홈오토메이션

홈오토메이션의 경우, 전등, 냉난방, 가스밸브, 현관도어 등을 단순 개폐하는 제어서비스, 원격검침, 화재경보, 도난경보 등과 같은 센싱, 그리고 세탁기나 냉장고, TV 등의 가전제어 등의 홈오토메이션 서비스를 제공하고 있으며, 이를 위해 현재까지는 PLC(Power Line Communication)나 무선 RF 기술을 주로 적용해 왔으나, 제조사간 호환이나 설치의 어려움 등으로 향후에는 Zigbee를 기반으로 하는 무선제어기술이 많이 활용될 것으로 예상된다.

다. QoS

서비스의 End-to-End 품질을 보장하기 위한 기술은 통신 사업자의 가장 큰 관심 중 하나로 서비스의 중요도에 따라 차별화된 서비스를 가입자에게 제공하기 위해 Differentiated service(DiffServ)방식과 자원예약프로토콜(RSVP)을 이용한 Integrated service(IntServ) 방식 중에서 쉽게 네트워크를 구축할 수 있는 DiffServ 방식이 선호되고 있으며 패킷을 우선순위에 따라 분류하고 스케줄링하여 QoS를 제공하는 방식이다.

라. IP 주소변환

홈네트워킹은 다수의 서비스 단말이 맥내에 설치되는 상황을 전제로 하기 때문에, 제한된 수의 IPv4 주소를 가입자에게 충분히 할당하기 어려워 NAT/NApT의 기술을 적용하여 사설IP를 할당하고 있으나, 곧 IPv6 도입이 활성화될 예정이다. 따라서 당분간 다양한 IP 주소체계가 하나의 게이트웨이에 혼재할 가능성이 높기 때문에 홈게이트웨이는 이러한 IPv4를 기반으로 한 NAT/NApT의 기능과 더불어 IPv6를 수용할 수 있어야 하며, 다른 IP 주소 체계간의 네트워킹이 가능하도록 상호 주소변환기능을 가져야 한다.

마. 정보보호를 위한 암호화

홈게이트웨이는 홈오토메이션이나 홈시큐리티 등의 서비스를 포함하는 단말로 개인의 재산이나 사생활을 보호할 수 있어야 하며, 이를 위해 데이터 패킷의 암호화 기능을 탑재하여야 한다. 일반적으로 AES와 같은 암호화 알고리즘을 이용하여 데이터를 고속으로 암호화할 수 있는 암호화엔진을 탑재할 수도 있다.

바. 유지보수기능

홈게이트웨이는 단순한 모델에 비해 복잡하고 다양한 기능을 수행하여야 하지만, 모델과 같이 가입자 각각에게 제공되어야 하는 장비로, 네트워크 장비의 특성상 24시간 항상 가동하여야 한다. 따라서 홈게이트웨이는 장시간의 운용에 신뢰성이 높아야 하며, 막대한 운용비용을 줄이기 위해 네트워크를 통한 원격 유지보수가 가능하여야 하며 기능과 성능의 업그레이드가 가능하여 홈게이트웨이의 대체/개체 비용을 최소화 할 수 있어야 한다.

이상과 같은 주요 요구사항에 따른 기능은 홈게이트웨이의 CPU와 스위치 칩에 의해 구현되며, 다양한 인터페이스를 가진 CPU는 서로 다른 프로토콜간의 변환이나 소프트웨어에 의한 서비스 관련 기능을 주로 담당하고, 스위치 칩은 주로 QoS와 같은 네트워킹 기능을 담당한다.

그러나 QoS 기능이 강화된 스위치 칩은 대부분 중/대형 장비용 스위치 칩에서만 구현이 되고 있는 실정이어서 홈게이트웨이에 적용하기에는 가격과 구조가 적합하지 않다. 홈게이트웨이용으로 제공되는 CPU 칩의 경우, 패킷프러세싱 기능을 포함시켜 QoS나 NAT 기능을 소프트웨어적으로 처리하거나, 혹은 CPU내에 하드웨어적으로 기능블록을 탑재하기도 하지만 충분한 성능을 기대하기 어려운 것이 사실이다. 또한 고속의 네트워크 기능처리에 컴퓨팅 기능을 활용함으로써 어플리케이션의 안정적인 동작을 저해하거나 홈게이트웨이의 신뢰성을 낮추기도 한다.

이러한 문제점을 해결하기 위해 본 논문에서는 스위칭 또는 라우팅 기능을 비롯하여 QoS 기능이나 IP변환 등과 같은 고속의 패킷처리가 요구되는 네트워크와 관련된 기능들의 대부분을 스위칭 칩에서 처리함으로써 CPU의 컴퓨팅 성능을 보존하여 다양한 서비스를 제공할 수 있도록 홈게이트웨이용 QoS 스위치 칩을 설계하였다.

3. 홈게이트웨이용 QoS 스위치 칩의 규격

개발하고자 하는 QoS 스위칭 칩은 기본적인 스위칭이나 라우팅과 같은 기능뿐만 아니라 높은 수준의 QoS 기능과 IP주소변환 기능 등을 충실히 수행할 수 있어야 하며 홈게이트웨이에 적합한 구조와 적절한 칩 가격을 가져야 한다. 스위칭 칩의 요구사항을 크게 분류하면 다음과 같다.

가. 스위칭 칩 용량

대부분의 평균적인 가구는 거실, 주방, 그리고 방 3개 전후로 구성이 되므로 최소한 스위칭 포트 수는 WAN 포트와 CPU 인터페이스 포트를 포함하여

7~8포트가 요구되며, 포트수가 많이 필요한 주택의 경우, 그 2배가 요구된다. 따라서 포트의 수는 12~16 포트가 요구되며, 스위칭 용량은 800Mbps~1.6Gbps 가 요구되고, IP v6의 경우, 많은 단말과 센서 등을 포함하므로 MAC의 수는 256개 이상의 단말을 수용 할 수 있어야 한다.

나. IP주소 변환

IPv4와 IPv6의 주소를 인식하여야 하며, 사설IP 처리를 위해 NAT/NApT 기능이 가능 하여야 한다. 그리고 IPv6가택내로부터 확산될 것에 대비해 IPv4 가입자망을 터널링(tunneling)할 수 있는 기능을 하드웨어적으로 구비하여야 한다.

다. QoS 기능

패킷을 플로우(flow)별로 분류하고 필터링 또는 패킷필드 조작을 할 수 있는 ACL(Access Control List)을 최소 128개 이상 가져야 하며, COS(Class of Service)나 TOS(Type of Service) 등의 우선순위 필드를 사업자의 정책에 따라 설정(marking) 또는 재

<표. 2> 개발 스위칭 칩 규격

항목		규격	
Capacity	Switching capacity	Above # of ports x 100Mbps	
	Port configuration	8~16ports	
	# of MAC	Above 256	
	# of VLAN	4,096	
NAT		Wire Speed, 1000 port 이상의 세션 지원	
IPv4/v6 routing		IPv4/v6 각각에 대해 routing	
IPv4/v6 tunneling		IPv4 필드 삽입	
ACL Output	Remarking	CoS	정책에 따라 remarking
		ToS or DSCP	정책에 따라 remarking
	Remarking all-field	L4 이하의 필드 remarking	
QoS	Filtering	특정 MAC/ IP 주소/프로토콜에 대해 filtering	
	Prioritization	Physical port, MAC, VLAN, COS, Etype, IP, TOS/DSCP, TCP/UDP port	
	Metering	Kbyte 단위	
	Rate Limiting	Physical port/ queue/ flow별로 Bandwidth control이 가능	
	Shaping	Latency 규격 범위 내에서	
	Scheduling	SPQ	필수, 100%
		WRR	필수, 100%
		DWRR / WFQ	Kbyte 단위, 95% 이상
	Queue	4개 이상	
	Congestion	RED, WRED	

설정(remarking)할 수 있어야 한다.

플로별 트래픽 측정(metering)을 할 수 있어야 하며, 분류된 패킷 플로우에 대하여 정책에 따라 대역 폭제한(policing)을 인가하거나 혼잡(congestion) 상황에서 정해진 우선순위에 따라 스케줄링을 할 수 있어야 한다. 스케줄링을 위해 SPQ(Strict Priority Queuing) 방식은 반드시 탑재하여야 하며, WRR (Weighted Round Robin)방식이나 또는 보다 공정한 스케줄링을 위해 WFQ(Weighted Fair Queuing) 혹은 DWRR (Deficit Weighted Round Robin) 방식을 사용하여 스케줄링 할 수 있어야한다.

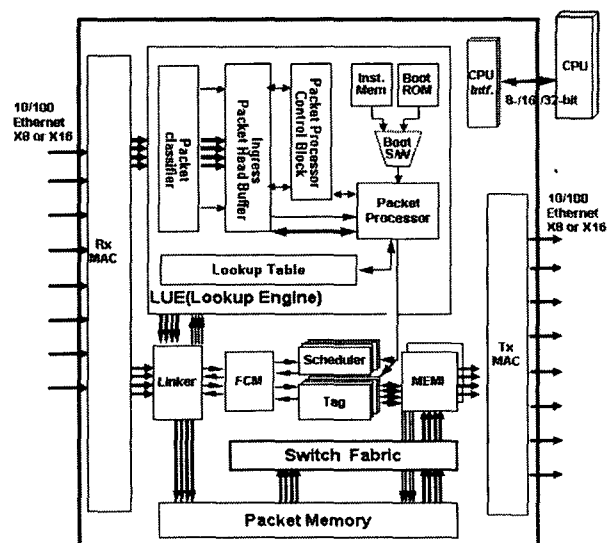
그리고 각 포트당 4개 이상의 큐(Queue)를 가져야 한다.

자세한 스위칭 칩의 규격은 다음 <표. 2>와 같다.

4. 스위치 구조 설계

가. 스위치 칩의 구조

앞에서 기술한 스위치 칩의 기술 요구사항을 만족 할 수 있는 칩의 구조는 기존의 홈게이트웨이용 스위치 칩의 구조와 같이 ASIC(Application Specific Integrated Circuit)으로 설계를 하기에는 QoS관련 기능이 대단히 복잡할 뿐만 아니라, 유연성이 떨어져, 제작 후 기능의 변경 또는 수정이 불가능하다. 급격하게 변화하고 진화하는 네트워크 서비스 요구사항을 만족하고, 통신서비스 업체의 유지보수 측면을 고려할 경우, 스위칭 칩의 기능 변경 또는 추가가 중요한 요소가 된다. 따라서 본 개발에서는 스위칭 칩에 패킷프로세서를 탑재하여 QoS기능과 패킷 처



(그림. 2) 스위칭 칩의 구조

리 기능을 수정 변경할 수 있는 구조로 설계하였다. 그리고 홈게이트웨이에 적합하도록 128byte의

록업 메모리와 192byte의 패킷 메모리를 내장하여 메모리 접근 속도를 높이고 홈게이트웨이 구성이 단순하도록 설계하였다.

패킷프로세서 기반의 홈게이트웨이용 QoS 스위치 칩의 구조는 (그림. 2) 에서 보듯이 MAC, LUE, Linker, Switch Fabric, TAG, Scheduler, MEMI 등의 기능 블록으로 구성된다. 기능블록 각각에 대한 자세한 설명은 <표. 3>과 같다.

나. 스위치 칩의 동작

패킷 처리 과정을 간략하게 설명하면, 먼저 수신 Rx MAC으로 들어온 패킷은 120byte 패킷헤드와 페이로드로 분리하여 패킷헤드는 패킷 클래스파이어(Packet Classifier)로 보내고, 페이로드는 링크(Linker)를 통해 패킷메모리에 저장된다.

패킷 클래스파이어는 ACL 등의 패킷분류 규칙에 따라 분류하여 전처리(Preprocessing) 결과를 입력버퍼(Ingress Packet Head Buffer)에 저장하고, 이를 패킷프로세서가 록업메모리의 록업테이블(Lookup Table)을 참조하여 패킷 필드를 조작하여 후처리(Post processing)를 한다. 후처리 과정이 끝난 헤드는 Linker를 통해 패킷메모리에 저장한다. 이 때,

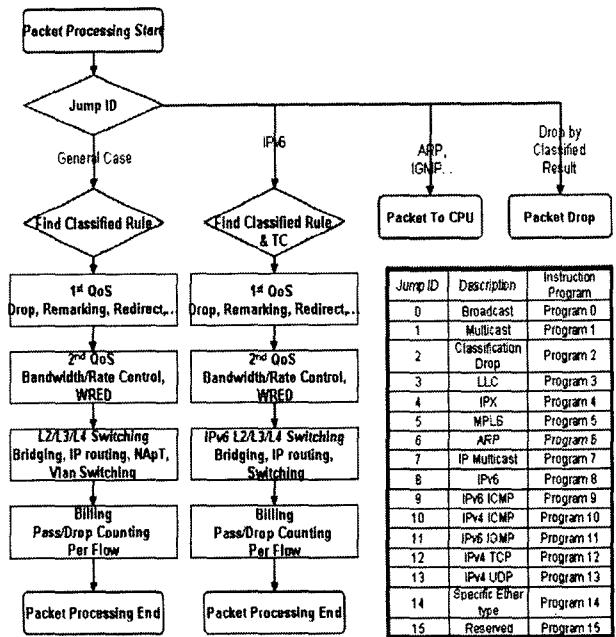
<표. 3> 스위치칩 주요 기능블록에 대한 설명

Block	기능블록 설명
MAC	MII를 통한 패킷입력 12byte (96bit) 단위의 'line'으로 형식변환 line 단위에 대해 linker로 96bit data / data valid/ end of packet 정보출력 120byte 헤드와 payload로 분리
Linker	line형식 패킷data를 cell 단위로변경 패킷메모리에 cell을 linked list 형식으로 저장. Linked list로 저장하기위한 pointer는 FCM block으로부터 받음
FCM (Free Cell Manager)	cell 단위로 segmentation된 패킷을 linked list방식으로 저장하고 해제하기 위해 Free cell memory를control
Lookup Engine (LUE)	MAC으로부터 들어온 패킷을 분류 (classification) 헤더를 저장하는 부분 그리고 Packet Processor로 구성 linker로부터 packet header의 pointer를 입력받아drop/pass 결정 헤더수정, DV (destination vector)를 사용한 Source port와 priority 등의 output scheduler로의출력
Output Scheduler	LUE로부터출력포트별로 pointer를입력받아Scheduling을통해출력
TAG	Lookup Engine으로부터 Linked List로구성된 packet의길이, 시작시간, copy개수등의정보를 Tag 메모리에저장 Scheduler의출력포인터를통해 Memory Interface 블록으로출력
Memory Interface	Tag의정보와 Output scheduler의 선택된 패킷을 실제패킷 메모리로부터 읽어 들여서 MAC으로 line별로 data valid/ eop(end of packet)/ line에 대한 module정보를 출력

패킷프로세서는 후처리(Post processing) 과정에서 VLAN, IPv6 터널링(Tunneling) 등의 정보를 Tag로 보내고 스케줄러(Scheduler)는 이러한 Tag정보와 우선순위 정보 등을 참조하여 4개의 우선순위가 다른 큐(Queue)에 순서에 따라 쌓고, MEMI에서 큐의 쌓인 순서에 따라 패킷을 재조립하여 송신 Tx MAC으로 내보낸다.

스위칭 칩에서 가장 중요한 역할을 하는 패킷프로세서를 포함하는 록업엔진(Lookup Engine)과 MAC은 1조당 다수조의 MII(또는 SMII/S3MII) 인터페이스 3~4조를 수용할 수 있도록 설계하였다.

패킷프로세서는 (그림. 3)에서 보는 바와 같이 각각의 프로토콜 처리절차에 해당하는 Jump ID를 이용하여 (그림. 2)의 명령메모리(Instruction Memory)로부터 프로그램을 직접 호출하여 패킷을 처리한다. Jump ID는 (그림. 3)에서 보듯이 0~15번까지 16가지가 있으며, 현재 15가지를 정의하였고 나머지 15번 Jump ID는 예비(reserved) 상태로 향후 필요에 따라 추가가 가능하다.



(그림. 3) 패킷프로세서의 패킷처리 흐름도

5. 기능 및 성능시험 환경구성

가. FPGA 구현

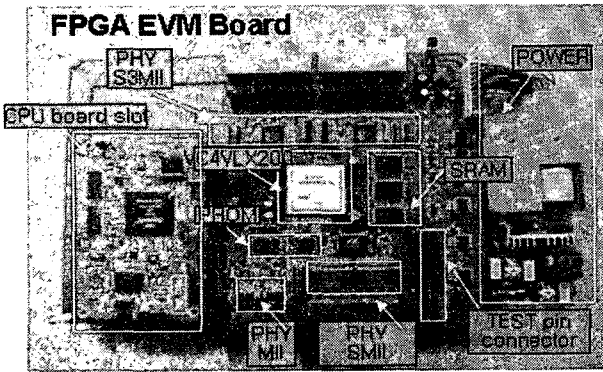
구조설계가 완료된 스위치 칩을 개발언어로 Verilog 이용하여 코드를 작성하고 기능시험을 위해 FPGA로 스위치 칩을 구현하였다.

FPGA는 Xilinx사의 VC4VLX200을 사용하였다. FPGA에는 6포트의 패스트 이더넷(Fast Ethernet), MAC 및 LUE 각각 2조, 1.5Mbit 패킷메모리(Packet

Memory), 1Mbit 룩업메모리(Lookup Memory)를 포함시켰다. 즉 6포트 스위칭 칩에 필요한 모든 요소를 FPGA에 넣었으며, FPGA의 성능 제한으로 인해 패킷프로세서의 목표 클럭(Clock) 200MHz를 78Mbps로 낮추어 구현하였으며, 시스템 내부 클럭은 62.5Mbps로 실제 칩과 동일한 클럭을 적용하였다.

FPGA기반의 평가보드(Evaluation Board)는 (그림. 4)에서 보는 바와 같이 CPU 보드와 FPGA보드로 구성되며 CPU는 Intel사의 IXP425를 적용하였다. 그리고 각각의 인터페이스를 점검할 수 있도록 MII, SMII, S3MII로 분리하여 제작하였다.

칩의 기능을 시험하기 위해 CPU에 Linux 2.4.20 커널과 최적화한 네트워크 프로토콜 스택을 탑재하였다.



(그림. 4) FPGA Evaluation Board

나. 시험환경 구성

FPGA 평가보드(Evaluation Board)로 NAT, 스위칭, 라우팅 기능을 동시에 시험할 수 있도록 평가보드의 각 포트에 IXIA사의 네트워크 분석기 포트를 (그림. 5)와 같이 연결하여 구성하였다.

FPGA 평가보드의 P0, P1, P2 포트는 패킷 프로세서0(Packet Processor 0)에 의해 패킷이 처리되고, P3, P4, P5는 패킷 프로세서1(Packet Processor 1)에 의해 패킷처리가 이루어지도록 하였다. WAN에 해당하는 P0 포트는 공인 IP인 100.100.100.1을, 대응되는 IXIA 네트워크 분석기의 S1포트는 100.100.100.10을 할당하였다. P1, P2와 단말의 역할로서 대응되는 네트워크 분석기의 S2, S3에는 P0포트를 게이트웨이 포트로 하고 각각 사설IP를 할당하였으며, P3, P5, 그리고 S4, S5는 주소영역이 다른 공인 IP를 각각 지정하였다. 그리고 P4는 CPU 포트로 사용하였다.

각 포트간의 시험구성은 다음과 같다.

가. NAT/NaPT 시험 구성

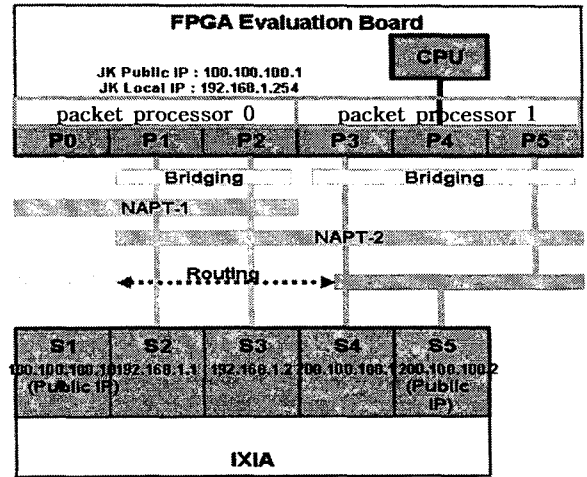
S1<->S2(or S3), S2(or S3) <-> S4(or S5)

나. 스위칭 시험 구성

S2 <-> S3, S4 <-> S5

다. 라우팅 시험구성

S1 <-> S4(or S5)



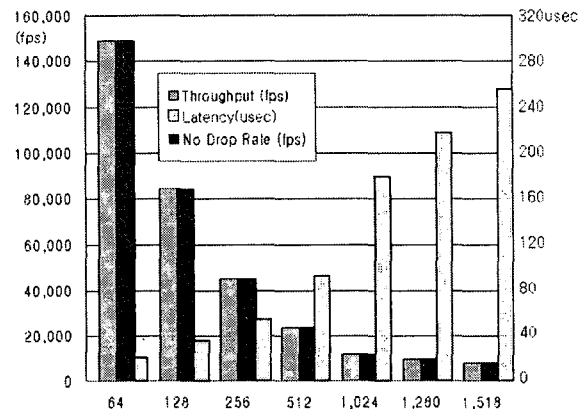
(그림. 5) FPGA Board 시험 구성도

6. 주요 성능시험 결과

(그림. 5)와 같은 시험 구성을 통하여 실시한 FPGA 평가보드 주요시험 결과는 다음과 같다.

가. 전송시험(Throughput, Packet Loss, Latency Test)

앞의 스위칭 시험구성에 따라 네트워크 장비의 가장 기본적인 성능시험인 전송율(Throughput)은 100%, 패킷 손실(Packet Loss)는 0%로 전체의 packet이 각각의 패킷길이에 관계없이 손실 없이 전송되었다. (그림. 6)은 단위시간당 손실없이 전송된 패킷 프레임 수와 Latency 결과 이다.



(그림. 6) 전송시험 결과

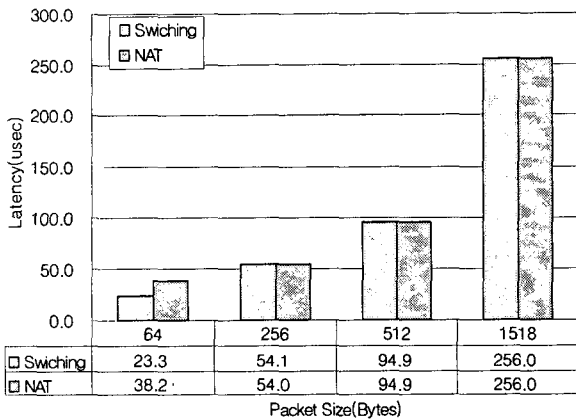
지연(Latency)은 64byte 전송시 최소 23.3usec, 최대 길이인 1518byte에서 256.0usec를 기록하였다.

나. NAT/NaPT 시험

앞의 NAT 시험구성에 따라 S2<->S4 포트간에

양방향으로 패킷을 전송하여 NAT를 하였을 때는 (그림. 6)과 같이 모든 패킷이 100% 전송되었고, 지연(Latency) 또한 단순 스위칭시와 거의 동일한 Latency 결과를 보였다. 그러나 S3<->S5포트를 추가로 양방향 NAT를 동작시켜 전송하였을 때는 (그림. 7)과 같이 64byte에서 38.2usec로 스위칭시에 비해 지연(Latency)이 길어졌는데, 이는 전송율(Throughput)이 93.1%로 패킷 손실이 발생하여 패킷이 메모리에서 대기 한 후 전송되어 지연시간이 늘어났다. NAT는 패킷헤드 필드 중에서 소스 MAC 주소, 소스 IP 주소, TCP/UDP 포트 등의 필드를 바꾸어야 하기 때문에 패킷프로세서가 많은 처리동작을 하여야 한다. 그러나 78MHz 정도로 클럭속도를 낮춘 FPGA 패킷프로세서 하나의 성능으로는 64byte 패킷을 100Mbps로 2포트 이상 동시에 NAT 처리하기에는 성능이 부족하여 패킷손실이 발생하였다.

패킷의 길이가 72byte 부터는 100Mbps로 2 port 양방향 NAT 처리가 가능한 것을 확인하였다. 이러한 결과로부터 200MHz의 목표 클럭으로 패킷프로세서가 동작할 경우 패킷손실 없이 4포트 이상 양방향 NAT 처리가 가능할 것으로 예상된다.



(그림. 7) Switching과 NAT 시의 Latency 비교

다. Scheduling Test

Scheduling 시험은 (그림. 5)의 시험 구성도에서, S2에서 S5까지 4개의 LAN 포트 각각에서 우선순위가 다른 4개의 CoS 값과 임의의 길이를 가진 패킷(random packet)을 각각 15Mbps씩 패킷 플로우(flow)를 생성하여 각각의 포트에서 60Mbps씩 240Mbps를 WAN 포트 S1으로 전송하고 Output Scheduler에서 SPQ, DWRR(1:2:3:4의 비율), SPQ+DWRR(2:3:4의 비율)로 트래픽을 우선순위에 따라 스케줄링을 하였을 때, S1에서 CoS값에 따른 전송 트래픽량을 측정하였다. 결과는 <표. 4>와 같다.

<표. 4> Scheduling 시험 결과

구분	SPQ	DWRR+SPQ (2:3:4:SPQ)	DWRR (1:2:3:4)
CoS0(Mbps)	-	8.1(2)	10.0(1)
CoS1(Mbps)	-	12.1(3)	20.1(2)
CoS2(Mbps)	40.4	20.2(4)	30.1(3)
CoS3(Mbps)	60.1	60.1	40.2(4)

SPQ를 적용하였을 때, 가장 우선순위가 높은 CoS 3의 패킷은 15Mbps씩 4개의 포트에서 전송한 60Mbps 모두 통과하였으며, CoS 2는 약 전체 패킷의 2/3정도인 40Mbps만 통과하고 우선순위가 낮은 CoS0과 CoS1의 모든 패킷은 손실되어 SPQ가 정확하게 동작하는 것을 확인하였다.

DWRR의 경우, 우선순위에 따라 1:2:3:4의 비율인 10Mbps:20Mbps:30Mbps:40Mbps로 1%이내의 범주에서 정확하게 스케줄링이 동작하는 것을 확인하였다.

그리고 가장 우선 순위가 높은 CoS3 플로우를 SPQ로 설정하고 나머지 플로우에 대해 DWRR을 2:3:4의 비율로 다른 스케줄링 방식을 동시에 설정하였을 경우, SPQ로 설정된 CoS3의 모든 패킷은 전송되었으며 나머지 플로는 설정된 비율에 따라 8Mbps:12Mbps: 20Mbps로 전송되었다.

스케줄링 시험결과 패킷의 길이가 64~1518byte 사이의 임의의 길이로 전송하였음에도 패킷의 길이에 상관없이 1% 범위 내에서 정확하게 스케줄링이 구현되었음을 확인하였다.

라. ACL 시험 및 기타 시험결과

특정 MAC, VLAN ID, IP, TCP/UDP port 필드 각각, 또는 다중필드를 참조하는 128개의 ACL 규정에 따라, 패킷 필터링(Filtering), 대역폭(Bandwidth) 제한, COS 또는 TOS 필드 값 변경(remark) 등의 시험에서도 정상적으로 동작하는 것을 확인하였다.

그리고 기타 VLAN 기능을 포함하여 네트워크 관련 시험에서 정상적으로 동작하는 것을 확인하였다.

7. 결론

홈게이트웨이가 가져야 하는 기능에 대한 요구사항을 크게 WAN/LAN간의 접속분배 기능, 홈오트메이션, QoS, IP 주소변환, 유지보수기능 등으로 분석하고 통신사업자의 관점에서 이러한 요구사항을 수용할 수 있는 스위치 칩의 규격을 분석하였다.

개발 QoS 스위치 칩의 규격은 모든 포트에서 스

위칭, 라우팅, 그리고 NAT/NAPT를 패킷의 길이에 상관없이 100Mbps로 처리할 수 있어야 하고, IPv6를 수용할 수 있어야 하며, IPv4 네트워크를 터널링 할 수 있어야 하고, 128개 이상의 ACL 규칙에 따른 패킷 분류 및 패킷 조작이 가능하여야 하고, 정밀한 스케줄링 기능이 가능하여야 한다.

이러한 다양하고 급변하는 네트워크의 요구사항을 유연하게 수용하고 칩의 기능과 성능을 수정 및 추가할 수 있도록 패킷프로세서 기반으로 QoS 스위치 칩을 설계하였다. 패킷프로세서 기반의 스위치 칩은 크게 MAC, LUE, Linker, Switch Fabric, TAG, Scheduler, MEMI 등의 기능블럭으로 구성하였다. 그리고 홈게이트웨이의 구성을 단순화하기 위해 패킷 메모리와 룩업 메모리를 칩 내부에 내장하였다.

그리고 칩의 설계를 검증하기 위해 FPGA를 이용하여 6포트 스위치 칩으로 구현하여 기능 및 성능시험을 수행하였다. 스위칭 성능 등의 기본성능을 비롯하여 NAT, ACL 규칙에 따른 패킷 분류 및 패킷 변경, SPQ, DWRR과 같은 스케줄링 등의 시험 결과, FPGA로 구현한 스위치 칩임에도 불구하고 패킷프로세서 기반으로 설계된 스위치 칩의 성능이 대부분의 홈게이트웨이용 스위치 칩들에 비해 기능과 성능면에서 더 우수함을 확인하였다.

[참 고 문 헌]

- [1] S.Bradner, J. McQuaid, "Benchmarking Methodolgy for Network Interconnect Devices", RFC 2544, March 1999.
- [2] M.Carlson, E.Davies, Z.Wang, W.Weiss, "An Architecture for Differentiated Services", RFC 2475, December 1998.
- [3] R.Braden, D.clark, S.Shenker, "Integrated Services in the Internet Architectur", RFC 1633, June 1994,
- [4] Panos C. Lekkas, *Network Processors, Architectures, Protocols, and Platforms*, McGraw-Hill, NY, 2003
- [5] Theodore B. Zahariadis, *Home Networking*, Actech House Inc., Boston-London, 2002
- [6] KT, 홈엔홈게이트웨이 기술요구서, 2006.
- [7] 정보통신부, 주요 IT 통계현황, 2006