

결함구조를 갖는 접지면을 고려한 마이크로 스트립 선로의 EMI 분석

EMI Analysis on Microstrip Line with Defected Ground plane

오상배*, 김형석**, 최경*

(Sang-Bae Oh and Hyeong-Seok Kim, Kyoung Choi)

Abstract : In this paper, we deal with EMI Analysis on Microstrip with Defected Ground plane. Specially, we investigate reflection, transmission, crosstalk, radiated emission on Microstrip with Defected Ground plane structure. And investigates undesired effects on various defected ground plane such as ground with split, slot, short end and open end gap. To analyze reflection, transmission and crosstalk of microstrip with defected ground plane, we used concept of the microstrip to slot line transition model. Besides, investigate radiated emission using FDTD Commercial tools such as CST MW

Keywords: Defected ground plane, Electromagnetic interference, Signal integrity.

I. 서론

ITRS(International Technology Roadmap for Semiconductors)에 의하면 2012년쯤에 chip 레벨의 클럭 주파수가 15GHz에 이를 것으로 전망 하고 있다. 또한 무선 정보 통신 기기들에 대해 다양한 기능 통합 및 소형화가 요구 되고 있다. 이러한 추세에 맞추어 EMC 규제도 강화될 전망이다. 따라서 비용 절감 적인 측면을 고려 할 때, PCB(Printed Circuited Board) 수준에서의 EMI/EMC 분석 및 대책이 필요하다. 무선 통신 기기들의 PCB 부분을 기능별로 크게 나누면 RF(Radio Frequency) 부분, 아날로그 부분, 고속 디지털 회로 부분으로 나눌 수 있다. 각 부분들에 대해서 요구 되는 공급 파워, 회로의 동작 속도, 잡음 마진 등이 다르다. 이를 만족하기 위해서 파워 플레인 및 그라운드 면을 각 기능 부분별로 분할하거나 갭을 내어 PCB Artwork을 하고 있다.[3] 이렇게 할 경우 고속으로 이동하는 클럭 신호들이 다른 기능 부분으로 결합 되지 못하게 되고 공통 그라운드 면을 사용하지 않게 되므로 노이즈 저감 측면에도 좋은 효과가 나타나게 된다. 하지만 그라운드 면을 분할 하였을 경우 신호 트레이스 바로 아래 흐르도록 고려된 귀환 전류가 원치 않는 방향으로 흐르게 된다.[4] 따라서 선로의 임피던스 부정합으로 인한 신호의 반사, 크로스토크, 불요파 방사 등의 EMI 문제가 일어나게 된다. 본 논문에서 스플릿이 있는 그라운드 면을 가진 전송선로 구조에 대해서 신호의 반사 및 전달, 크로스토크, 불요파 방사 등을 분

석한다. 반사 및 전달, 크로스토크 메커니즘을 분석하기 위하여 스플릿 그라운드 면을 가진 전송선로 구조를 마이크로스트립/ 슬롯 라인으로 모델링 하였다. 또한 FDTD 상용 프로그램인 CST MW를 이용하여 슬롯 폭의 변화에 따른 불요파 방사를 조사하였다.

II. 스플릿 그라운드 면의 반사, 전달 및 크로스토크 분석

1. 마이크로스트립/ 슬롯라인 천이 모델링

신호 트레이스에 흐르는 전류밀도 분포와 그라운드 면의 전류밀도 분포가 거의 같고 슬롯의 폭이 신호의 파장보다 아주 작다고 가정한다.[6] 그림 1에서 I_1 과 I_2 가 같으므로 식(1)을 생각할 때 그림1의 구조를 그림 2의 구조로 모델링 할 수 있다.[1]

$$V_0 = V_0 + I_1 Z \quad (\because I_1 = I_2) \quad (1)$$

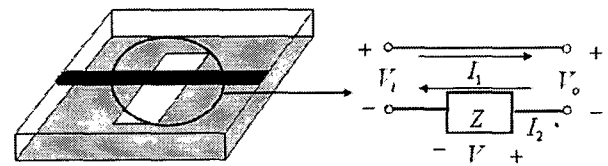


그림 1. 슬롯을 가지는 접지면을 고려한 전송선로 구조
Fig 1. Transmission line with slotted ground

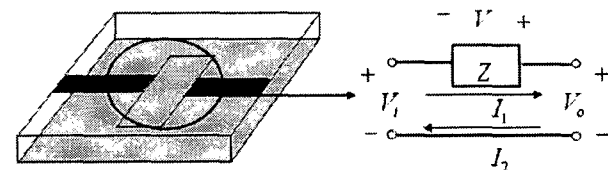


그림2. 마이크로 스트립/ 슬롯 천이 모델
Fig2. Microstrip / slot line transition model

*: 중앙대학교 전자전기 공학부 석사과정 (ranian95@komet.net)

** : 중앙대학교 전자전기 공학부 교수 (kimcaf2@cau.ac.kr)

+ : 강원대학교 전기전자정보통신 공학부 교수

※ 본 연구는 기초전력연구원의 전력선행기술 신규과제지원으로 함.

2. 결함 구조를 갖는 접지 면을 고려한 신호의 반사 및 전달

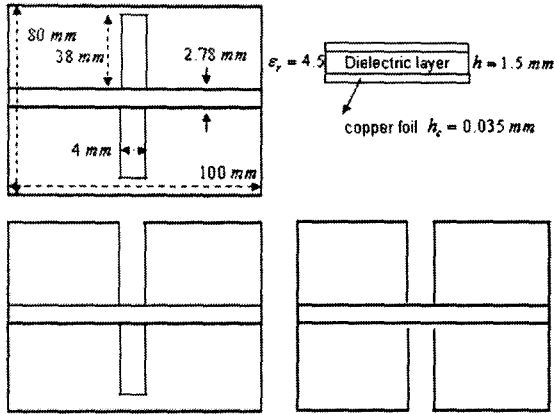


그림3. 접지 면의 결함 구조를 고려한 마이크로 스트립 선로
Fig. 3. Microstrip line with Defected ground

그림 3의 구조에 대해서 신호의 반사 및 전달을 분석하기 위해서는 슬롯 선로의 파라미터들을 결정하여야 한다. 슬롯 선로에 관한 파라미터들은 슬롯라인의 전기적 길이, 특성 임피던스, 슬롯라인의 손실 등이 있으며 식(2), (3), (4)로 구한다. [4][5].

0.0015 ≤ W/λ₀ ≤ 0.075, 3.8 ≤ ε_r ≤ 9.8 인 경우,

$$\lambda_s / \lambda_0 = 0.9217 - 0.277 \ln \epsilon_r + 0.0322 \left(\frac{W}{h} \right) \left[\frac{\epsilon_r}{\left(\frac{W}{h} + 0.435 \right)} \right]^{1/2} - 0.01 \ln \left(\frac{h}{\lambda_0} \right) \left[4.6 - \frac{3.65}{\epsilon_r^2 \sqrt{W/\lambda_0} (9.06 - 100 \frac{W}{\lambda_0})} \right] \quad (2)$$

$$\epsilon_{ff} = \left(\frac{\lambda_0}{\lambda_s} \right)^2, v = \frac{c}{\sqrt{\epsilon_{ff}}}, \beta l = \frac{2\pi fl}{v} \quad (3)$$

$$Z_s = 73.6 - 2.15\epsilon_r + (638.9 - 31.37\epsilon_r)(W/\lambda_0)^{0.6} + (36.23\sqrt{\epsilon_r^2 + 41} - 225) \left(\frac{W/h}{W/h + 0.876\epsilon_r - 2} \right) + 0.51(\epsilon_r + 2.12)(W/h) \ln(100h/\lambda_0) - 0.753\epsilon_r(h/\lambda_0) / \sqrt{W/\lambda_0} \quad (4)$$

식(2), (3), (4)를 이용 슬롯 라인의 파라미터를 구한후 그림3의 구조를 마이크로 스트립/ 슬롯 선로 천이 모델로 바꾸어 주면 그림 4가 된다.

마이크로 스트립/ 슬롯 라인 천이 모델로 전환하고 전환 결

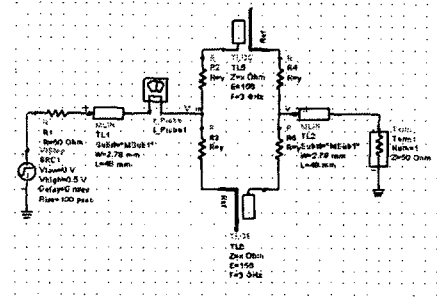


그림 4. 분할된 접지 면을 고려한 마이크로 스트립/ 슬롯 선로 천이 모델

Fig. 4. Microstrip/ slot line transition model with split ground

과가 타당한지를 CST MW 3D 전자파 해석 프로그램 결과와 비교하였다. 슬롯을 가지는 접지 면을 고려한 전송 선로를 마이크로 스트립 선로/ 슬롯 라인 천이 모델로 변환 하고 S₂₁을 구하고 그 결과를 CST MW 3D 전자파 해석 프로그램 결과와 비교하면 그림 5와 같이 된다.

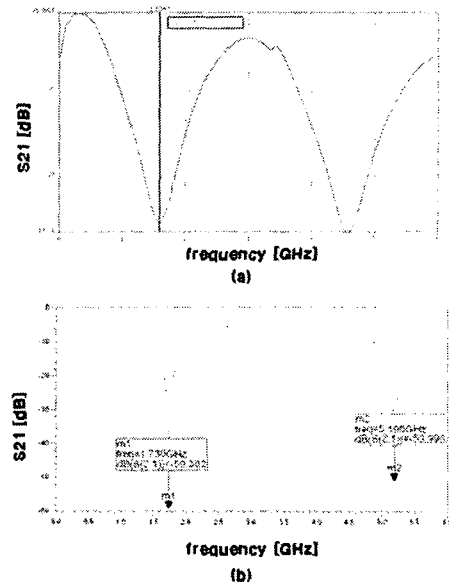


그림 5. 마이크로 스트립/ 슬롯 선로 천이 모델링 사용에 대한 검증 (a) CSTMW 의 S21 (b) 천이 모델의 S21

Fig. 5. Validity on use of microstrip/ slot line transition model (a) S21 of CSTMW (b) S21 of transition model

신호선로 밑에 슬롯이 있을 경우 1.6GHz와 4.6GHz 근처에서 신호가 전달 되지 못하고 있다. 그림 5. (a)는 1.6GHz와 4.6GHz에서 신호가 전달되지 못하고 있고 (b)는 1.7GHz와 5GHz에서 신호가 전달 되지 못하고 있다. 이러한 오차는 식 (2), (4)가 가지는 본질적인 오차와 이상적인 전송 선로 사용에서 기인한다. 식(2)는 평균 0.6%, 식(4)는 평균적으로 1.58%의 오차를 가진다. 그림 3의 3 가지 경우에 대해서 각 신호의 전달 및 반사에 대한 TDR(Time Domain Reflection) 파형을 조사하였고 그 결과는 그림 6이다.

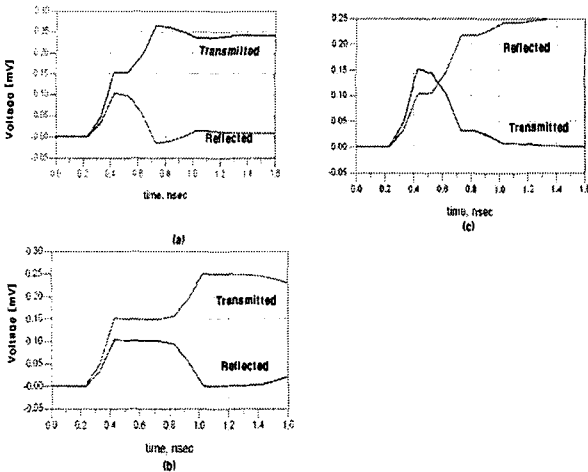


그림 6. 결함 구조를 갖는 접지 면을 고려한 마이크로 스트립 선로에서의 신호 전달 및 반사. (a) 슬롯을 가지는 그라운드 (b) 갭을 가지는 그라운드 (c) 분할된 그라운드

Fig 6. Transmission, Reflection wave on transmission line with defected ground (a) slotted ground (b) ground with gap (c) split ground

그림 6의 결과는 슬롯 라인 모드로 설명 된다.

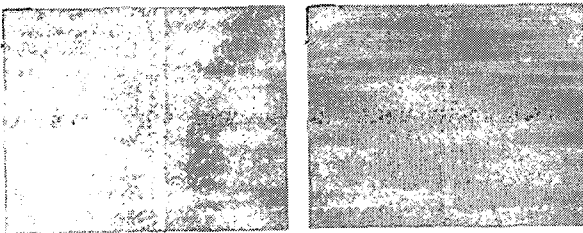


그림 7. 접지 면에 슬롯이 있을 때의 전류 흐름

Fig 7. Current flow caused by slotted ground plane

전기장의 커플링 효과에 의해 유도되는 전압이 순시적으로 바뀐다. 그림 7에서 보면 슬롯의 양 끝 단에서 접지 면의 슬롯에 입사하는 파의 전류 방향과 반대 방향으로 진행 전류가 생성 됨을 볼 수 있다. 그림 6의 (c)의 경우, 슬롯 진행 파가 슬롯을 지나는 매 시간 마다 슬롯 사이에 전하가 충전되어 반사계수가 계속 커지고 있고 그림 6의 (b)의 경우는 주기적으로 상쇄되는 것을 알 수 있다. 따라서 완전히 분할된 접지 면을 가지는 전송 선로는 신호를 거의 전달 하지 못하게 됨을 알 수 있다.[2][3].

3. 결함 구조를 갖는 접지 면을 고려한 크로스토크 분석

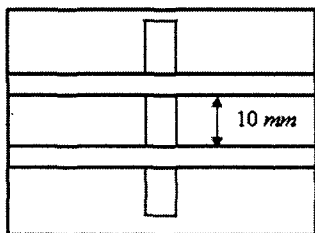


그림 8. 크로스토크 분석을 위한 전송선로 구조

Fig 8. DUT for crosstalk analysis

식 (2), (3), (4)를 이용하여 마이크로 스트립/ 슬롯라인 모델을 하면 그림8의 구조는 그림9의 모델이 된다.

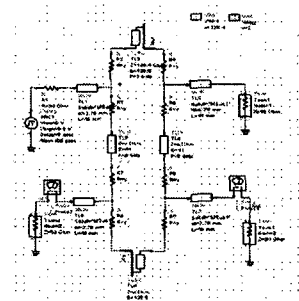


그림 9. 그림8에 대한 마이크로스트립/ 슬롯 선로 천이 모델

Fig 9. Microstrip / slot line transition model for Fig 8.

그림10은 그림 9모델에 대한 크로스토크 결과 이다. 크로스토크 메커니즘은 섹션 2에서 설명한 슬롯 라인 모드 쉽게 설명 된다. NEXT(Near end crosstalk)와 FEXT(Far end crosstalk)는 슬롯으로 인한 상호 커패시턴스와 상호 인덕턴스에 의한 효과로 나타난다. 따라서 상호 인접한 두 선로 밑에 슬롯이 있을 경우 크로스토크가 발생하게 되므로 신호 전달에 필요한 대역폭이 무너질 가능성이 있다.

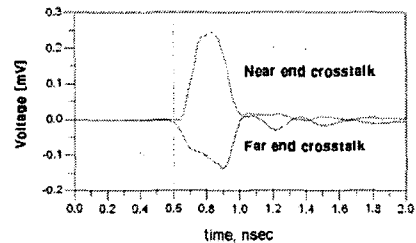


그림 10. 그림 9에 대한 크로스토크 결과

Fig 10. crosstalk result for Fig 9.

4. 슬롯 폭의 변화에 따른 불요파 방사

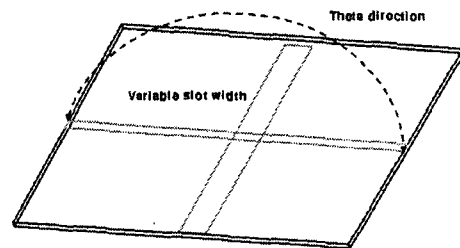


그림 11. 불요파 방사 분석을 위해 고려된 슬롯이 있는 접지 면을 고려한 전송 선로

Fig 11. DUT for radiated emission

그림 11의 구조에서 기준 관측점 3 [m], 주파수가 3GHz인 경

우에 대해서 슬롯의 폭을 2[mm], 4[mm], 6[mm], 8[mm]로 변화 시키며 Theta 방향으로 방출된 전자기파의 최대 파워 값을 조사해보았고 그 결과는 표 1이다. 접지 면의 슬롯 폭을 변화시켰을 때 theta 방향으로 최대 파워 값이 증가하나 변화가 거의 없음을 알 수 있다. 그림 11의 구조와 슬롯 라인 아래에 유전 층과 결함이 없는 접지 면을 스택 하였을 경우를 비교하였고 그 결과는 표 2이다. 표2의 결과를 통해 결함이 있는 접지 면을 가지는 전송 선로구조에 대해서 슬롯의 폭을 조절하여 불요파 방사를 줄이기 보다는 다층 구조로 가져갈 경우 불요파 방사가 일어 나지 못하도록 차폐가 되므로 불요파 방사를 줄일 수 있음을 확인 하였다.

표 1. 슬롯 폭의 변화에 따른 불요파 방사 최대 세기

Table 1. Radiated emission on variation of slot width

슬롯 폭	최대 파워 값
2 [mm]	98.6 dBpW/m ²
4 [mm]	100.8 dBpW/m ²
6 [mm]	101.6 dBpW/m ²
8 [mm]	102.0 dBpW/m ²

표 2. 슬롯이 있는 접지 면에 대한 2층 및 4층 구조 비교

Table 2. comparison between 2-layer and 4-layer with slotted ground

슬롯 폭	최대 파워 값
2 층 구조	4 [mm] 100.8 dBpW/m ²
4 층 구조	4 [mm] 96.17 dBpW/m ²

VI. 결론

결함이 있는 접지 면을 고려한 전송 선로에 대해서 신호 무결성 및 불요파 방사에 대해서 조사하였다. 접지 면에 슬롯 혹은 스플릿 등의 결함 구조가 있을 경우 원치 않는 신호의 반사 및 크로스토크를 확인하였고 마이크로 스트립/ 슬롯 라인 천이 모델을 사용하여 신호의 반사 및 크로스토크를 분석하였다. 또한 슬롯 폭의 변화에 따라 불요파 방사를 조사하였다. 접지 면에 결함이 있을 경우 불요파 방사가 일어나고 슬롯의 폭이 넓어 질수록 불요파 방사의 세기가 증가하는 것을 볼 수 있었으나 슬롯 폭에 따른 방사 세기 변화량은 크지 않았다. 그라운드에 결함을 내야 할 경우 슬롯의 폭을 작게 가져가고 다층구조로 PCB를 스택하여 차폐할 경우 불요파 방사를 줄일 수 있음을 확인하였다. 향후 다양한 결함 구조를 가지는 접지 면에 대한 부분 인덕턴스 계산과 EMI 분석을 통해 EMI 대책 연구가 필요하다고 사료된다.



오 상 배

2003년 중앙대학교 전자전기 공학부 졸업. 2005년~ 현재 중앙대학교 공과대학원 석사과정 재학중. 관심분야는 EMC/EMI, 전자장 및 수치해석, RFID 시스템

참고문헌

- [1] J. Kim, H. Kim, Y. Jeoung and , "Slot transmission line model of interconnections crossing split power/ground plane on high-speed multilayer board," in *Proc. IEE 6th Workshop Signal Propagation on Interconnects*, May 2002, pp.23-26.
- [2] J. Kim, Heeseok. Lee and J Kim, "Effect on Signal Integrity and Radiation Emission by Split Reference Plane on High-Speed Multilayer Printed Circuit Boards," *IEEE Transactions on Advanced Packaging*, vol. 28, no 4, November, 2005
- [3] H. Liaw, H. Merkelo, "Crossing the planes at high speed. Signal integrity issues at split ground and power planes", *IEEE Circuits and Devices Magazine*, vol 13, no 6, November 1997
- [4] K. C. Gupta, R. Grag, I. Bahl, and P. Bhhartia, *Microstrip Lines and Slot lines*, 2nd ed. Norwood, MA: Artech, 1996.
- [5] R. Janawamy and D. H. Schaubert, "Characteristic Impedance of a Wide Slotline on Low-Permittivity Substrates", *IEEE Transaction on Microwave Theory and Techniques*, vol. MTT-34, no. 8, August, 1986.
- [6] D. M. Hockanson, J. L. Drewniak, T. H. Hubing, T. P. Van Doren and F. Sha, "Quantifying EMI Resulting from Finite-Impedance Reference Planes" *IEEE Transactions on Electromagnetic Compatibility*, vol. 39, no. 4, November, 1997.



김 형 석

1985년 서울대학교 전기공학 공학사. 1987년 서울대학교 전기공학 공학 석사. 1990년 서울대학교 전기공학 공학 박사 1990-2002 순천향대학교 정보기술공학부 부교수. 1997-1998 R.P.I 미국 방문 교수. 2002~현재 중앙대학교 전자전기공학부 교수. 관심분야는 전자장 및 수치해석, RF 및 마이크로 웨이브 소자 해석 및 설계, RFID 시스템 연구, IT-SoC응용 회로, 전력 IT



최 경

1981년 서울대학교 전기공학 공학사 1983년 서울대학교 전기공학 공학 석사. 1989년 서울대학교 전기공학 공학박사 1989~현재 강원대학교 공과대학 전기전자정보통신 공학부 교수. 1993-1994 R.P.I 미국 방문 교수. 관심분야는 안테나 공학, 전자장 및 수치해석 마이크로 프로세스 응용, FTTH.