

PLL 주파수 합성기를 위한 dual-modulus 프리스케일러와 차동 전압제어발진기 설계

Design of CMOS Dual-Modulus Prescaler and Differential Voltage-Controlled Oscillator for PLL Frequency Synthesizer

강형원*, 김도균, 최영완
(Hyung-Won Kang, Do-Kyun Kim and Young-Wan Choi)

Abstract : This paper introduce a different-type voltage-controlled oscillator (VCO) for PLL frequency synthesizer. And also the architecture of a high speed low-power-consumption CMOS dual-modulus frequency divider is presented. It provides a new approach to high speed operation and low power consumption. The proposed circuits simulate in 0.35 um CMOS standard technology.

Keywords: Dual-modulus prescaler, Differential delay cell, TSPC(True Single Phase Clocked) D-flip flops, Ratioed circuit

I. 서론

PLL(Phase Locked Loop)은 클럭·위상의 동기화, 주파수 합성, 무선통신, 디지털 회로 등에 널리 사용되며 특히 PLL을 응용한 주파수 합성기는 무선통신 응용분야의 중요한 요소가 된다. 이동통신 단말이나 중계기에서 주파수 합성기로서 사용되는 PLL은 고속 동작과 저전력 설계가 요구된다. GHz-대역의 고속의 주파수 합성기에서 가장 중요한 구성요소는 VCO (Voltage Controlled Oscillator)와 프리스케일러 (Prescaler) 이다. 대부분의 무선통신용 주파수 합성기는 채널을 가변적으로 선택하기 위해 프로그램 가능한 분주비가 요구되며 또한 높은 주파수 동작이 가능해야 한다. 따라서 높은 주파수에서 왜곡 없이 발진하는 VCO가 필요하며 발진된 고주파 신호를 분주할 수 있는 고속의 주파수 분주기가 요구된다. 프리스케일러는 주파수 합성기의 속도를 결정하는 중요한 부분이기 때문에 고속 동작과 저전력의 요구를 모두 만족시켜야 하므로 프리스케일러 성능을 향상시킬 수 있는 플립플롭의 재설계가 요구된다.

본 논문에서는 불필요한 방전과 글리치(glitch)를 최소화하여 저전력을 만족시키고 클럭 트랜지스터의 공유와 ratioed 기법을 이용하여 새로운 구조의 D-플립플롭을 설계하였다. 또한 공통 소스 타입의 차동 쌍 구조의 지연단을 갖는 전압제어발진기를 설계하여 공통잡음을 제거하고 jitter 특성을 향상시켰다.

II. 본론

1. VCO 설계

VCO는 기본적으로 Delay cell의 배열로 이루어져 있으며 각 부분은 공통 소스 타입의 차동 쌍 증폭기 형태로 구성되어 있다. 그림은 Delay cell의 회로도이다. 하단의 NMOS는 전류원으로 동작하며 상단 4개의 PMOS 트랜지스터를 통해 시간 지연 특성의 변화를 야기 시켰다. 차동 쌍 증폭기의 부하로 걸려있는 PMOS의 게이트 전압에 따라 임피던스 특성이 변화하고 시간 지연이 변화함에 출력 주파수의 조절이 가능해진다. 자세한 동작을 살펴보면 MP2과 MP4 게이트에 루프 필터로부터 기준 전압 이상의 제어 전압이 입력으로 들어오

면 임피던스 값이 증가하고 이에 따라 RC 시정수 값이 증가하여 시간 지연 특성이 변화하게 된다. 이는 전체 VCO의 출력 주파수를 낮추는 효과를 갖는다. 역으로 논리 신호 '0'의 제어 전압이 입력에 가해지면 임피던스 값이 감소하여 출력 주파수를 높게 된다.

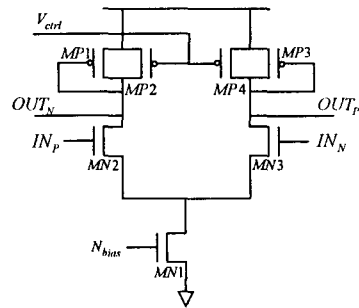


그림 1 VCO 지연단 구조
Fig. 1 structure of VCO delay cell

2. Divide-by-128/129 dual modulus prescaler

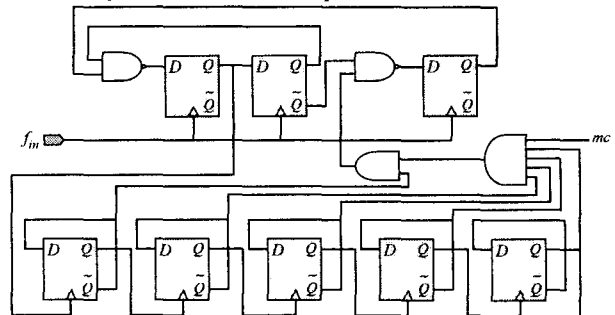


그림 2 128/129 dual-modulus 프리스케일러
Fig. 2 divide-by 128/129 dual-modulus prescaler

일반적으로 프리스케일러는 높은 동작 주파수와 저전력 설계가 요구된다. 프리스케일러는 그림과 같이 고속동작이 요구되는 4/5분주의 동기식 카운터와 3/2분주의 비 동기식 카운터로 구성되며 mode control에 의해 128/129의 분주를 기본

으로 한다. 4/5분주의 동기식 카운터는 3개의 D-플립플롭과 2개의 NAND gate로 구성된다. 동기식 카운터는 VCO로부터 고주파 신호를 직접 수신하기 때문에 저전력 고주파 동작이 가능한 새로운 구조의 D-플립플롭 및 NAND gate 설계가 필요하다. 32분주의 비동기식 카운터는 Toggle-플립플롭이 직렬로 연결되어 있으며 이미 동기식 카운터에서 분주된 신호를 받아들이기 때문에 동기식 카운터에 비해 상대적으로 속도에 덜 민감한 편이다.

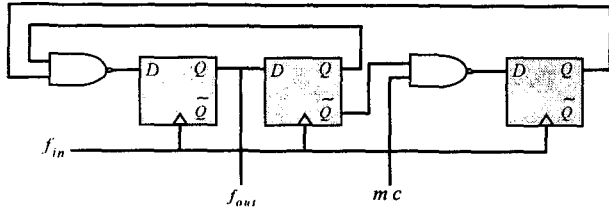


그림 3 4/5 동기식 분주기
Fig. 3 divide-by 4/5 synchronous divider

고속동작이 가능해야 하는 동기식 카운터의 동작을 살펴보면 mode control 신호가 '0'일 때 마지막 단의 D-플립플롭은 항상 '1'을 출력하기 때문에 앞의 2개의 D-플립플롭에 의해서만 분주하므로 4분주, mode control 신호가 '1'일 때는 5분주를 하게 된다.

3. TSPC D-플립플롭 설계

프리스케일러에 사용되는 플립플롭은 고속동작이 가능하고 전력소모가 낮아야 한다. 일반적으로 플립플롭은 클럭 시스템이 간단하고 속도가 빠른 TSPC D-플립플롭을 사용한다. 그림은 P-Clocked CMOS 단계, N-precharge 단계 마지막으로 N-Clocked CMOS 단계로 구성되는 양의 천이 (Positive transition) D-플립플롭이다. 그 동작은 클럭이 '0'이고 입력이 '0'이면 A와 B 노드는 프리차지되고 출력단에 방전패스가 생기지 않으므로 이전 단계의 값을 유지한다. 이때 클럭이 '1'이 되면 MN3가 'on'되어 B 노드에 프리차지된 전하들이 MN2, MN3를 통해 방전이 되어 출력단의 전압을 상승시키게 된다. 클럭이 '0'이고 입력이 '1'일 때 MP1이 꺼짐에 따라 A 노드는 방전되고 B 노드에 의해 MN5가 켜진다. QB는 충전패스가 모두 차단되어 있으므로 이전 값을 유지한다. 이때 클럭이 '1'이 되면 MN4가 켜지면서 출력단에 방전패스를 형성하여 QB의 전압이 하강하게 된다.

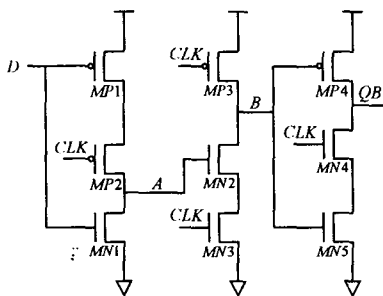


그림 4 양의 천이 TSPC D-플립플롭
Fig. 4 positive transition TSPC D-flip/flop

만약 출력이 '1'인 상태일 때 클럭이 '1'이 된다면 MN3을 통해 방전하는 시간 동안에 출력단에 MN4와 MN5로 이루어지는 또 하나의 방전패스가 형성되어 출력단에 글리치 (glitch)가 발생하게 된다. 다음은 글리치가 발생한 경우의 그림을 보여준다.

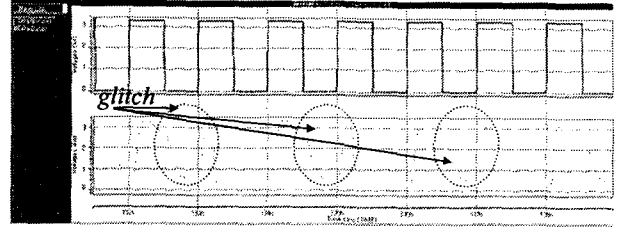


그림 5 글리치 발생
Fig. 5 simulation of glitch problem

또 하나의 예로 그림은 ratioed 기법을 이용한 TSPC D-플립플롭이다. 기존의 회로보다 구조가 간단하고 적은 수의 트랜지스터를 가지므로 고속동작이 용이한 장점이 있다. 하지만 각 단은 inverter의 구조를 가지고 있으면서 입력이 공통이 아니기 때문에 2개의 트랜지스터가 동시에 'on'이 될 경우가 존재한다. 이 때 트랜지스터의 크기(width)의 비를 조정하여 상승 또는 하강전압을 출력하게 된다. 하지만 출력단의 드라이빙 트랜지스터의 크기가 커 지므로 load capacitance가 증가하게 되며 유한저항성분으로 인하여 전원전압까지 상승하지 못하게 된다. 또한 출력단에 불필요한 방전패스가 형성되어 소비전력이 증가하고 글리치가 발생하는 문제점이 있다.

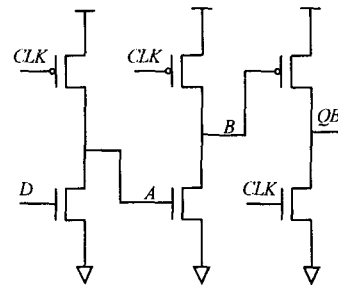


그림 6 ratioed 기법을 이용한 TSPC D-flip/flop
Fig. 6 TSPC D-flip/flop with ratioed circuit

그림은 본 논문에서 제안한 TSPC D-플립플롭이다. 구조적으로 양의 천이 D-플립플롭과 ratioed 기법에서 착안하여 클럭 트랜지스터를 공유하여 개수를 줄이고 출력단의 불필요한 방전패스로 인한 글리치 문제를 해결하기 위해 프리차지 구간과 출력단의 클럭 트랜지스터를 공유하고 인버터를 개입하여 동시에 방전패스를 형성하지 않도록 하였다. 그러므로 load capacitance를 줄여 고속동작이 가능하며 글리치를 없애 소비전력을 낮추는 장점을 가질 수 있다.

동작을 살펴보면 클럭과 입력이 '0'일 때 B 노드는 '1'이 되고 방전패스가 형성되지 않으므로 이전 값을 유지하게 된다. 이 때 클럭이 '1'이 되면 MN3가 'on'되어 B 노드에 프리차지된 전압이 MN2와 MN3로 연결된 패스를 통해 방전

되고 출력단에서의 방전패스는 차단되어 글리치가 발생되지 않는다. 클럭이 '0'이고 입력이 '1'일 경우 B 노드는 '1'이 되며 MN3가 단락있기 때문에 출력값은 유지된다. 이때 클럭이 '1'이 된다면 MN4와 MN3를 통해 방전되어 QB값은 '0'가 된다. 아래 그림은 제안한 구조를 가지고 4/5 분주 비를 갖는 동기식 카운터를 구성했을 때 시뮬레이션 결과를 나타내고 있다.

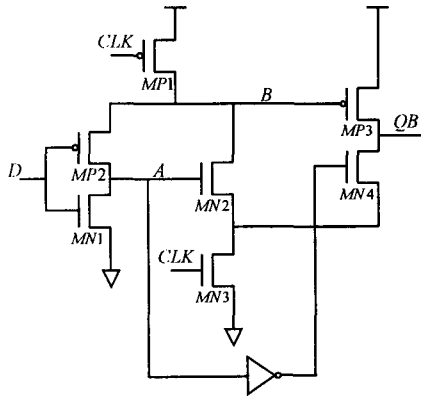


그림 7 제안한 TSPC D-플립플롭
Fig. 7 proposed TSPC D-flip/flop

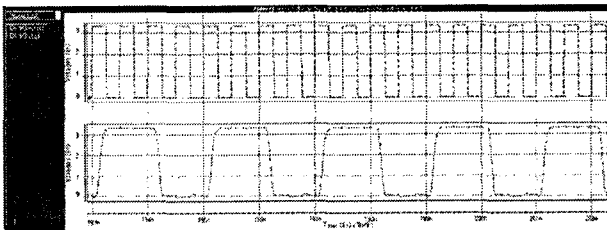


그림 8 4분주 시뮬레이션
Fig. 8 simulation of divide-by 4

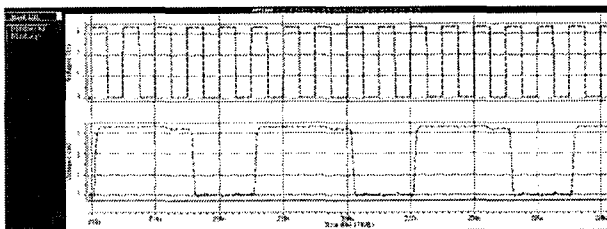


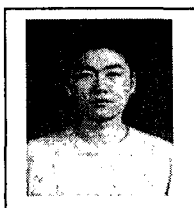
그림 9 5분주 시뮬레이션
Fig. 9 simulation of divide-by 5

III. 결 론

본 논문에서는 상단 4 개의 PMOS symmetric 트랜지스터를 통해 시간 지연 특성의 변화를 야기시켜 발진을 유도하는 차동 구조의 지연단을 구성하였다. 지연단의 load 트랜지스터인 PMOS의 게이트 전압에 따라 임피던스 특성이 변화시켜 출력 주파수를 조정하였다. 차동 형태의 구조적인 장점을 통해 공통잡음에 대해 유연하게 설계되었다. 또한 양의 천이 TSPC D-플립플롭과 ratioed 기법을 이용하여 새로운 D-플립플롭을 제안하였다. 트랜지스터의 개수를 줄여 effective load capacitance를 낮추고 출력단의 방전패스를 차단함으로써 글리치를 최소화하였다. 설계에 사용된 공정은 삼성 0.35 μm CMOS 공정을 이용하였으며 설계된 회로의 시뮬레이션은 Hspice tool을 사용하였다. 본 논문에서 설계된 회로는 현재 packaging 과정에 있으며 칩 제작 시 회로 구동 실험을 예정하고 있다.

참고문헌

- [1] Wei-Hsuan Tu, Jyh-Yih Yeh, Hung-Chieh Tsai, and Chong-Kuang Wang, "A 1.8 V 2.5-5.2 GHz CMOS Dual-input Two-stage Ring VCO" 2004 IEEE AP-ASIC2004, Aug. 4-5, 2004
- [2] Yuan Ji-Ren, Ingemar Karlsson, and Christer Svensson, "A True Single-Phase-Clock Dynamic CMOS Circuit Technique" IEEE Journal of Solid-State Circuit, Vol. sc-22, No. 5, October 1987
- [3] Ching-Yang, Gaung-Kaai Dehng, June-Ming Hsu, and Shen-Iuan Liu, "New Dynamic Flip-Flops for High-Speed Dual-Modulus Prescaler" IEEE Journal of Solid-State Circuits, Vol. 33, No. 10, October 1998



강 형 원

2005년 중앙대학교 전자전기공학부(공학사). 2005년~현재 중앙대학교 일반대학원 석사과정 재학중. 관심분야는 CMOS IC Design, Optical Interconnection, Analog & Digital circuit for communications



김 도 군

2003년 중앙대학교 전자전기공학부(공학사). 2005년 중앙대학교 전자전기공학부(공학석사). 2005년~현재 중앙대학교 일반대학원 박사과정 재학중. 관심분야는 Analog optical system, CMOS IC Design, Analog & Digital circuit for communications

최영완



1985년 서강대학교 전자공학과 (공학사).
1987년 SUNY at Buffalo, 전기 및 컴퓨터
공학과(공학석사). 1992년 SUNY at Buffalo,
전기 및 컴퓨터공학과(공학박사). 1992년
~1995년 한국전자통신연구원(ETRI), 선
임연구원. 1995년~ 현재 중앙대학교 전자
공학과 교수. <주관심분야: Microwave-

Photonics, Optical interconnection, 광스위칭 시스템 및 소자>