

기체유동 제어를 통한 ALD 공정의 deposition 특성 연구

Deposition characteristic with controlling of gas flow in ALD process

*서은성¹, #오정환², 이공수³, 이광영⁴, 안병호⁵, 최경식⁶, 김승범⁷, 하상철⁸

*E. S. Seo¹, #J. H. Oh(junghwan.oh@samsung.com)², K. S. Lee³, K. Y. Lee⁴, B. H. Ahn⁵, K. S. Choi⁶, S. B. Kim⁷, S. C. Ha⁸
¹ 삼성전자공과대학교 반도체공학과, ²⁻⁸ 삼성전자 공정개발팀

Key words : DRAM capacitor, uniformity, step coverage, scale down

1. 서론

1 Transistor/1 Capacitor 를 저장 단위로 사용하는 휘발성 메모리인 DRAM 의 경우 가능한 한 많은 전하를 저장하고 이를 가능한 한 오랫동안 보존하는 것이 기술의 핵심이다. DRAM design rule 감소에 따른 capacitor 면적감소를 극복하기 위하여, capacitor 는 Hideo Sunami 가 기 언급한 바 Fig.1 와 같이, high aspect ratio 를 갖는 stack type 과 trench type 으로 capacitor 면적을 넓히는 구조가 많이 사용되고 있으며, 유전 막 역시 높은 유전율과 낮은 누설전류를 갖는 high-k 물질(예: Al₂O₃, Ta₂O₅, ZrO₂ 및 그들의 복합막)을 필요로 하고 있다.

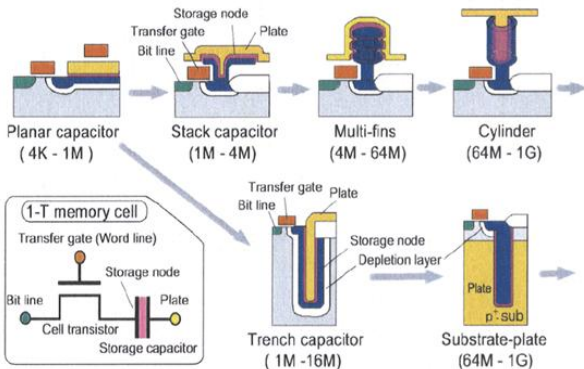


Fig.1 Major advancement in DRAM cell innovation by Hideo Sunami

Sub-50nm 이하 급으로 추가적인 scale-down 이 이루어지면서, 기존의 stacked type 으라도 면적확보에 어려움이 생기면서, support OCS 와 같은 극단적인 high aspect ratio 구조에 high-k material 을 dielectric 으로 사용하고 있으며, 이러한 구조에서 ZrO₂ 유전막 증착시, step coverage 가 급속하게 열화 되는 문제가 발생하고 있고, pattern density 증가에 따른 pattern loading 심화로 wafer 내 유전막 산포가 불량한 문제가 발생하고 있다. 이러한 ZrO₂ step coverage 및 pattern loading 불량은 device 에서 요구하는 capacitance 값 확보에 있어서 유전막의 Tox_{eq} scale down 을 어렵게 하고, 유전막의 신뢰성에도 큰 영향을 주게 된다.

1.1. ALD (atomic layer deposition) 도입배경

반도체 소자의 소형화와 박막 제조공정이 미세화함에 따라 수~수십 nm 두께의 박막을 일정한 두께로 균일하게 형성할 필요성이 증대되고 있다. Atomic Layer Deposition (ALD) 공정기술은 capacitor 의 표면에 100Å 이하의 박막 필름 (ultra thin film)을 증착 시키는 표면제어공정기술로 원자층을 1 층씩 늘려 박막을 성장시키는 기술로, 반응물질은 pulse 형태로 공급되며, 유동상태에서 pulse gas 에 의해 서로 격리되어 있다. 이 때 각 반응물질의 pulse 가 wafer 표면과 화학적 반응을 일으키며 정밀한 단층 막 성장을 구현한다. ALD 공정이 표면반응을 이용함으로써 얻게 되는 가장 큰 장점은 두께의 균일도와 step coverage 라 할 수 있다. 현재 DRAM 제품에 많이 적용되고 있는

ZrO₂ 공정은 ALD 방식으로 Zirconium precursor 인 TEMAZ (tetra ethyl methyl amino Zirconium)와 산화제인 O₃ 를 이용하고 있다. 또한, 생산성의 향상을 위하여 이러한 ALD 공정을 batch-type 설비에서 구현하는 노력이 많이 진행되어 오고 있다.

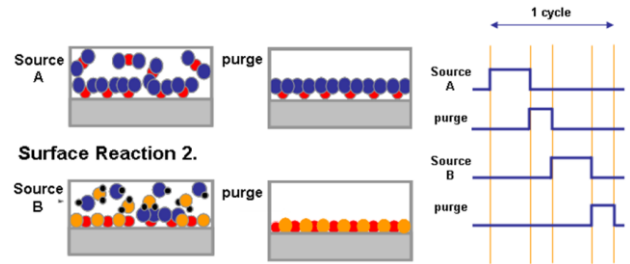


Fig.2 ALD Deposition Mechanism

1.2. Capacitor node 의 step coverage 개선에 관한 source 의 질량 전달 개선 원리

DRAM 제품의 design rule 감소에 따른 capacitor 면적감소로 유전막 증착 산포 및 step coverage 가 취약해졌다. 이는 process chamber 내부에서 wafer center 에 source 질량전달의 문제이며, Fig.3 의 이론적인 배경으로부터, source gas 의 velocity 증가를 위한 source 의 질량 전달 개선이 In-wafer uniformity 와 step coverage 를 개선할 수 있는 방법이다.

유체역학에서 boundary layer 란, 물체의 표면에 매우 근접한 부분에 존재하는 유체의 층을 말한다. boundary layer 는 viscous force 에 의한 현상으로서, 층 내에서는 유동이 점성의 영향을 받는다. 유체입자들이 층을 이루면서 규칙 정연하게 흐르는 운동을 laminar flow 라 하며 laminar flow 에서는 서로 이웃하는 층 사이에 유체 입자들의 교환 없이 분자적 교환만이 있고, 이웃하는 층과 층이 서로 원활하게 미끄러지면서 흐른다. turbulent flow 에서는 이웃하는 층 사이에 유체입자들이 무질서하게 교환되면서 불규칙하게 흐르며, 무작위 한 속도변동이 발생한다. 표면에 인접한 유체층은 점성의 영향을 크게 받으나 표면으로부터 멀리 떨어진 곳에서는 점성의 효과가 전혀 나타나지 않는다. 표면 근방에서 점성의 효과가 크게 나는 얇은 층의 유동을 shear flow 라 말하고, 이 얇은 층을 boundary layer 라 하며, 이 이론을 통하여 process chamber 내에서 Wafer 주위의 직선 유동은, wafer 근처로 갈수록 유체는 점성에 의해서 속도가 감소하고, 이로 인해 in-wafer center 에 source gas 의 질량 전달이 부족하여 유전막 증착 산포 및 step coverage 의 열화를 설명 할 수 있다.

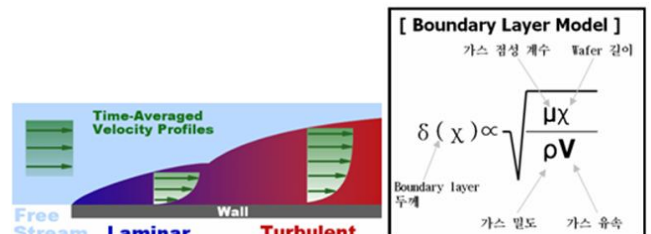


Fig.3 Boundary layer model

1.3. 실험방법

Fig.4 와 같은 Batch high-k ALD 설비의 exhaust hardware 개략에서 pressure controller 의 변경과, pumping 능력을 향상시키도록 hardware 를 변경하였다. Hardware 개조에 따른 chamber pressure 의 하향을 확인하기 위해 pressure controller 를 fully open 한 상태에서 N2 gas 를 flow 하여 chamber 의 압력을 비교하여 source 의 질량 전달 향상 여부를 평가하였다. 또한, 본 조건을 적용하여 유전막을 증착하여 uniformity 와 전기적 특성을 확인하였다.

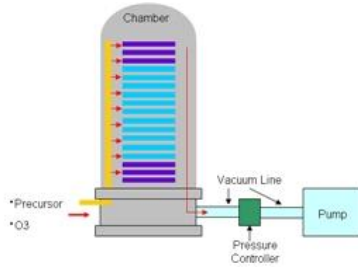


Fig.4 The outline of process chamber & exhaust hardware

2. 실험결과 및 고찰

hardware 변경에 따른 기체 유동의 변화 확인을 위해 chamber 내부의 gas velocity simulation 결과 gas velocity 는 Fig. 5 와 같이 변경 전 0.3m/s, 변경 후 6.3m/s 로 개선되었으며 velocity range 도 0-2 m/s 에서 0-10m/s 로 확장 되었다.

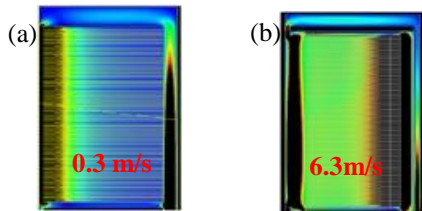


Fig.5 The result of Gas velocity simulation, (a) Before the change of gas velocity, (b) After the change of gas velocity

위의 simulation 결과를 토대로 Hardware 변경 후 process chamber 의 N2 유량 별 chamber pressure 는 Table 1 와 같이 평균 30% 하향 되었다.

Table 1 Comparison of chamber pressure due to Hardware Change

N2 Flow rate (a.u)	Chamber Pressure (a.u)		Pressure 감소율
	Before	After	
1	21.8	15	~30%
3	37.4	25.4	
5	48.6	33.4	
10	73.3	49.8	
15	95.3	64.2	
20	115.6	77.7	

Table 2 hardware 변경에 따른 개선 효과와 같이 ZrO₂ 유전막을 증착 process pressure 는 20%의 감소를 나타내었으며, bare 와 pattern wafer 간의 두께 차이는 55%에서 45%로 감소 되었고, capacitor 구조에서 step coverage 는 Fig.6 와 같이 70%에서 79%로 개선 되었다. 1fA Voltage 는 Fig.7 와 같이 1.77V → 1.86V 로 0.09V 증가하였으며, 전체적인 유전막 특성의 개선이 있음을 확인하였다.

Table 2 Hardware changes due to improvement

구분	기존	현재	개선 효과
Chamber Pressure (a.u)	135	110	20%
Thickness Skew bare and run wafers	55%	45%	15%
Step Coverage	70%	79%	9%
1fA Voltage	1.77V	1.86V	0.09V

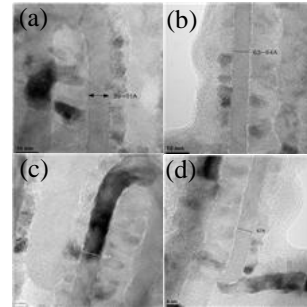


Fig.6 TEM images of sub-50 nm DRAM capacitor structure before the change of (a) node top, (b) node bottom, and after the change of (c) node top, (d) node bottom

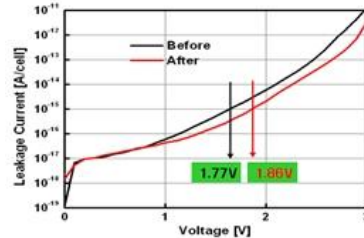


Fig.7 I-V characteristics of stacked capacitors

3. 결론

DRAM 제품의 design rule 감소에 따른 capacitor 면적감소를 극복하기 위하여 support One Cylinder Stack (OCS) 와 같은 high aspect ratio 를 갖는 capacitor 구조가 도입되고 있고, 유전막 역시 높은 유전율과 낮은 누설전류를 갖는 high-k 물질을 필요로 하고 있다. Sub-50nm 급 DRAM 제품의 OCS capacitor 구조에서 기존 batch type high-k ALD 설비로 ZrO₂ 유전막을 증착 할 경우 source 의 질량전달 부족으로 in wafer center 로의 source 질량 전달이 부족하여 breakdown voltage 특성 열화가 발생하였다. TEM 분석을 통하여 step Coverage 와 uniformity 저하를 확인할 수 있었고, boundary layer model 을 적용하여 gas velocity 증가를 통한 source 의 질량 전달 개선을 위하여 hardware 적인 개조를 통하여 source 의 질량 전달 개선을 평가하였다.

Source 질량 전달 개선을 통하여 ZrO₂ 유전막의 특성이 (uniformity 와 step coverage) 개선 되었고, 전기적 특성 (cell capacitance 및 leakage current)을 개선시킬 수 있었다.

참고문헌

1. Hideo Sunami, "The Role of the Trench Capacitor in DRAM Innovation", 2008 IEEE, Solid-State Circuits Newsletter, IEEE, p42-42
2. Lu Zhang, et, al, "High-Performance MIM Capacitors Using HfLaO-Based Dielectrics", Electron Device Letter, 2009 IEEE, p17-19
3. A.Berthelot, et, al, "Highly Reliable TiN/ZrO₂/TiN 3D Stacked Capacitors for 45 nm Embedded DRAM Technologies", 2006 IEEE, p343-346
4. S.M.CHE, "VLSI technology", p21-22,57-58