

# Nano scale DRAM device 를 위한 New W-Gate Stack 연구 A study of New W-Gate Stack for Nano scale DRAM device

\*김명곤<sup>1</sup>, #이공수<sup>2</sup>, 차태호<sup>3</sup>, 김희석<sup>3</sup>, 문주태<sup>3</sup>

\*M.G. KIM<sup>1</sup>, #K. S. Lee(alfredo.lee@samsung.com)<sup>2</sup>, T. H. Cha<sup>3</sup>, H. S. Kim<sup>3</sup>, J. T. Moon<sup>3</sup>

<sup>1</sup> 삼성전자 공과대학교(SSIT), <sup>2</sup> 삼성전자 공과대학교(SSIT), <sup>3</sup> 삼성전자 공정개발팀

Key words tungsten Poly-metal gate, WN, TiN, grain size

## 1. 서론

고집적, 대용량화를 추구하는 nano scale 차세대 소자개발에 있어, W/Poly Gate 공정은 line width shrinkage 에 따른 RC delay 문제 해결에 key 공정으로서 주목되어 왔다.<sup>[1]</sup> 이러한 Poly/W-Gate 공정은 WSix-gate 와 달리 Poly 와 metal 반응 억제를 위한 barrier layer 가 요구되며, metal/Si contact 에 수반되는 schottky barrier 를 낮추기 위해 ohmic layer 를 필요로 한다. (Fig1). 그러나, High performance 소자개발을 위해 W-Gate 공정에 Dual poly 공정을 적용할 경우, counter-doping 으로 형성된 P+ Poly 의 불안정성으로 W/Poly 계면간의 물리적, 전기적 특성 확보가 더욱 어려워져 이에 대한 개선이 필요한 실정이다.<sup>[2]</sup>

현재 사용되고 있는 W/Poly-Si gate 구조에서는 gate 전극인 W 과 하부 poly-Si 사이에 Contact 저항을 개선하기 위해 W 와 Poly-Si 계면에 Ohmic Contact 을 형성하고 Ohmic layer 를 형성하여 후속 열공정 진행 시 W 과 Si 간의 반응을 방지하기 위해 WN 막을 barrier 층으로 사용하고 있는데 후속 열공정이 진행되면서 W-N 간 해리가 발생되고 상부 W 과 Ohmic layer 의 반응으로 WSixNy 계열의 고저항 물질이 형성되어 높은 Contact 저항을 유발하는 단점이 있다. 이에 본 논문에서는 poly-Si 으로부터 W 의로의 dopant out diffusion 을 억제하면서 1000°C까지 열적으로 안정한 특성을 나타내는 Barrier 물질로 TiN<sup>[3]</sup> Barrier 를 연구하여 보고하고자 한다.

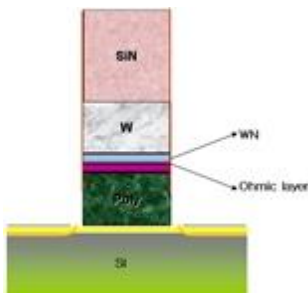


Fig.1. Basic structure of W Gate for high density memory devices

## 2. Gate 후속 열공정에서 WN 해리

W/Poly gate 의 metal barrier 로서 reactive sputter method 로 쉽게 구현이 가능한 WN 가 널리 사용되어 왔는데, 이와 더불어 counter doping 공정을 통한 Dual Poly 와 W 과 Si 사이의 계면에 schottky barrier 에 의한 계면저항 증가효과를 줄이기 위해 열적으로 안정한 특성의 ohmic layer 가 사용되고 있다. 하지만, Fig.3 과 같이 후속 열공정이 진행된 뒤 metal barrier 인 WN 가 열적 불안정성으로 인하여 해리현상

이 발생하는 문제점들이 관찰되어 왔다. 즉, 여러 조건의 WN on SiO<sub>2</sub> 의 시료를 열공정 전후의 X-ray Diffraction (XRD) 분석을 통해 확인한 결과, XRD 상의 2θ=36°, 44° 부근에서 관찰되었던 WN(100), W<sub>2</sub>N(200) 특성 peak 이 850C 30min anneal 후에 사라지고, W (110)만 존재하는 것으로 보아 WN 박막이 대부분 해리되었을 것으로 판단된다.

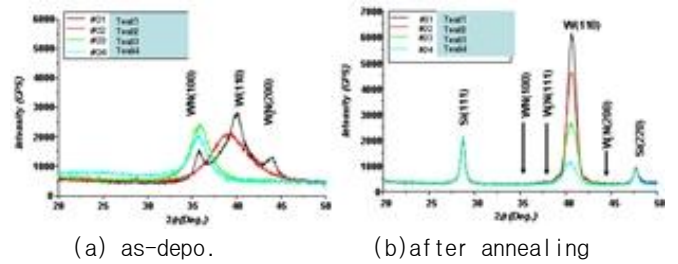


Fig.2. XRD analysis indicating WN dissociation after annealing

이러한 현상은 열처리 후 단면을 분석한 Fig. 3 의 (a)에서도 물리적으로 확인할 수 있었는데 WN barrier 적용 시편의 경우, WN 가 고온의 후속 열공정에 의하여 ohmic layer 와 반응하여 WSixNy 계열의 물질로 추정되는 새로운 layer 를 형성하는 것을 관찰할 수 있었다. 반면, 상대적으로 강력한 이온결합의 TiN barrier 는 높은 열 안정성으로 WN 와 비교 시, 초기 증착한 그대로 안정적인 상태를 유지하는 것이 관찰되었다. (Fig.3 (b))

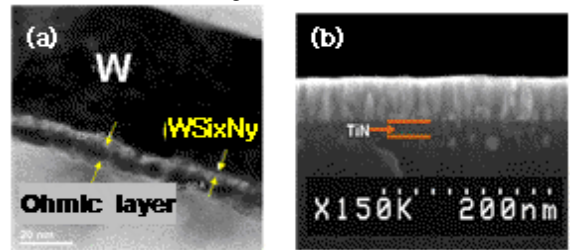


Fig.3. comparison of Thermal stability between WN and TiN barrier:

- (a)WN barrier after anneal analyzed by TEM
- (b)TiN barrier after anneal analyzed by SEM

## 3. Contact Resistance (W/ Poly 계면저항)

위에서 확인된 바와 같이 WN 보다 TiN barrier 는 높은 열 안정성으로 낮은 계면 저항이 관찰되었는데 W/WN 는 약 400Ω/μm<sup>2</sup> 를 나타냈으나 W/TiN 은 약 40 Ω/μm<sup>2</sup> 수준으로 10 배 이상 감소되는 것이 확인되었다.(Fig.4) 이러한 현상은 앞절에서 언급한, WN 의 해리로 인한 고저항의 WSixNy 계열의 반응층의 생성에 기인하는 것으로 판단된다.

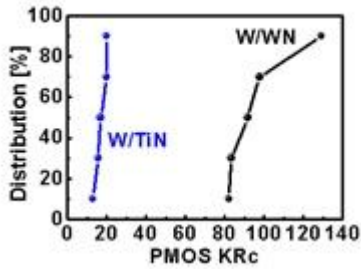


Fig.4. Contact resistance of WN and TiN barrier

4. Word Line Sheet Resistance (W/L Rs)

열적 안정성과 계면저항에서 WN 대비 TiN 의 우수함이 확인되었으나 TiN barrier 를 사용시에 W gate stack Rs 가 W/WN 15KΩ/line 임에 반하여, W/TiN 의 경우 35KΩ/line 로 2 배 이상의 높은 line 저항 값을 가짐이 확인되었다(Fig.5). 이는 하지막의 상태에 따라 상부에 증착되는 PVD-W 의 grain size 가 변화하기 때문으로 판단된다.<sup>[4]</sup> 이를 확인하기 위하여, bare wafer 위에 WN reference, WN N-rich 그리고 TiN 을 증착한 다음, 그 위에 W 을 증착하여 비저항을 비교하였으며, 각각 15, 33, 35μΩ·cm로 차이가 있음이 확인되었다. 이는 동일한 WN 에서도 nitrogen-rich 로 결정성을 가질 경우, TiN 과 같은 현상이 발생하는 것을 의미하는 것으로, 비정질의 하지막 조건이 W 의 grain size 증가에 유리한 방향임을 Fig. 6 의 XRD 결과를 통해 알 수 있었다. W 의 grain size 에 따른 비저항의 차이는 Mayadas-Shatzkes(MS) theory<sup>[5]</sup>에 따른 아래식 (1)에서 예상해 볼 수 있는데, D(grain size)가 작아짐에 따라 비저항이 증가하게 되고, 이에 따라 W 저항이 증가하고 있음을 알 수 있다.

$$\rho = \rho_0 \left( 1 + \frac{3}{21} \frac{R \lambda_0}{RD} \right) \quad (1)$$

where, ρ: Total Resistivity, ρ0 : Resistivity in Grain  
 R : Scattering Rate, λ0 : Mean Free Path  
 D : Grain Size

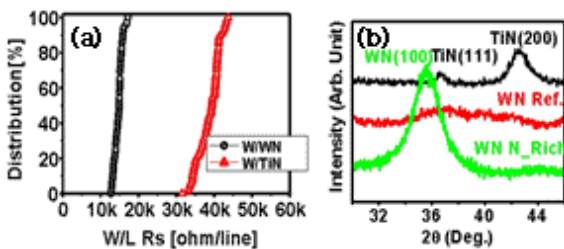


Fig.5 Word-line sheet resistance of W/WN and W/TiN stacks (left)

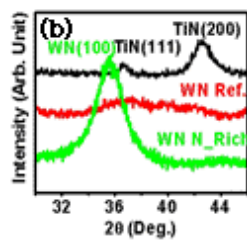


Fig.6 XRD patterns with various barrier metals(right) 위의 내용의 확인을 위하여, TEM 분석을 통하여 grain size 를 확인하였다. Fig.7 (a),(b)에 나타나 있는 바와 같이, W/WN 구조에서 W 의 평균 grain size 는 120nm 이었으며, W/TiN 의 W 은 20nm 로 100nm 정도 그 size 가 급감하였음을 알 수 있다. 이러한 TiN barrier 적용시의 W 의 grain size 감소 및 저항 증가 현상은 Mayadas-Shatzkes(MS) theory 를 기반으로 H. Wakabayashi et al.이 보고한 내용과도 상통하는데, Fig. 8 의 그래프에서 확인되듯이 W/TiN/Si 의 시료가 50nm 이하의 grain size 를

가지고 비저항이 30μΩ·cm 이상으로 측정된 것과 거의 일치한다.<sup>[4]</sup> W 의 grain size 가 하지막의 결정상태에 영향을 받는 현상은 다음과 같이 해석이 가능하다. PVD-W 증착시 하지막이 polycrystalline 의 형태일 경우, 증착된 W 내 원래 가지고 있는 nucleation site 에서 핵생성이 발생하는 성분과 함께 하지막의 grain boundary 부분들이 PVD-W 의 nucleation site 로 작용하면서 nucleation rate 이 growth rate 보다 우세해져 성장된 W 의 grain size 가 하지막과 유사한 small grain 을 가지게 되는 것으로 유추할 수 있다.

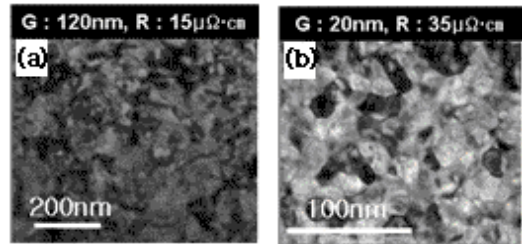


Fig. 7 comparison of grain size by TEM: (a)W/WN, and (b) W/TiN

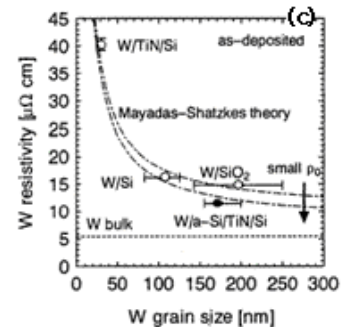


Fig.8 Relationship between W resistivity and W film grain size which was confirmed by H. Wakabayashi et al.

따라서, 우수한 Barrier metal 특성을 유지하면서도 W gate 의 하지막 의존성을 개선시킬 수 있는 W/TiN module 공정에 대한 연구가 추후에 진행될 예정이다.

5. 결론

W/Poly gate 에서 열적 불안정으로 인한 높은 계면저항을 나타내는 WN barrier 를 TiN 으로 대체하여, 후속 열공정에서도 안정적인 상태를 유지하였으나 W/L Rs 에서는 상대적으로 높아짐을 확인할 수 있었다. 이것은 PVD-W 의 grain size 가 하지막 의존성을 띄는데 TiN 과 같은 결정구조 위에서는 작은 grain size 를 나타내고 이것이 W 의 저항을 증가시키는 결정적인 요인임을 알 수 있었다. 향후 TiN barrier 를 사용하면서 W gate 의 grain size 의 미립화를 막을 수 있는 공정이 개발된다면 Nano scale DRAM device 를 위한 new gate stack 의 성능을 더욱 향상시킬 수 있을 것으로 예상된다.

참고 문헌

[1]H. Wakabayashi et al., IEDM Tech. Dig., (1996), 447.  
 [2]Y. Hiura et al., IEDM Tech. Dig., (1998), 389.  
 [3]M. Yoshida et al, IEDM Tech. Dig., (1991), 41.  
 [4]H. Wakabayashi et al., IEDM Tech. Dig., (1998), 393.  
 [5]A. F. Mayadas et al., Phys. Review B1, (1970), 1382.