

트랜지스터 문턱전압 측정을 통한 MOSFET 소자의 1 차원 Doping Profile 측정

Electrical Extraction of One Dimensional MOSFET Doping Profiles by Threshold Voltage Measurement

*권석일¹, #최병덕¹, 박현호², 정한욱¹, 기완욱¹

*Seokil Kwon¹, #Byoungdeog Choi(bdchoi@skku.edu)¹, Hyunho Park², Hanwook Jung¹, Wanwook Ki¹
¹성균관대학교, ²삼성전자

Key words : doping profiles, threshold voltage method, doping concentrations, ISE simulation

1. 서 론

도핑 농도가 낮은 반도체 doping profile 을 측정하는 가장 공통적인 방법은 junction devices 의 capacitance-voltage 를 측정하는 것이다. 그러나 무거운 원소가 고농도로 도핑된 경우에서는 적절하지 않다. 그리고 MOSFET gate 아래의 채널 영역은 좁은 면적으로 인해 추가적인 제한이 있다. 작은 gate 영역은 작은 capacitances 가지게 되는데 이것은 C-V 기법으로는 측정이 어렵거나 불가능한 실험적 어려움이 있다. 본 연구에서는 짧은 gate length 와 매우 얇은 oxide thickness 를 갖는 MOSFET 소자에서의 doping profiling 을 문턱전압 방법을 통해 추출하였고 이를 ISE simulation 의 결과로 일치하는지 확인하였다.

2. 측정 방법

기판전압의 변화에 따라 [1], [2]로 측정된 MOSFET doping profiles 을 추출하기 위해 문턱전압(문턱전압) 방법을 적용하였다. 문턱 전압의 식은 다음과 같이 주어진다.

$$V_T = V_{FB} + 2\phi_F + \frac{\sqrt{2qK_s\epsilon_0 N_A (2\phi_F - V_{BS})}}{C_{ox}} \quad (1)$$

Doping profile 은 문턱전압에 대하여 $(2\phi_F - V_{BS})^{1/2}$ 을 그려 얻을 수 있고 이 그래프에서 기울기 $m = \Delta V_T / \Delta (2\phi_F - V_{BS})^{1/2}$ 이 결정 된다.

Fig. 1 은 기판전압 (V_{BS})의 변화에 따른 드레인전류 (I_{DS})대 게이트-소스 전압 (V_{GS})관계를 보여준다. V_{BS} 는 0~1.5V 까지 50mV step 으로 측정하였고, transconductance 인 Gm 은 순방향기판전압의 증가에 따라 감소하였다. 문턱전압은 그림. 1 에서 선형 외삽법으로 추출하였다.

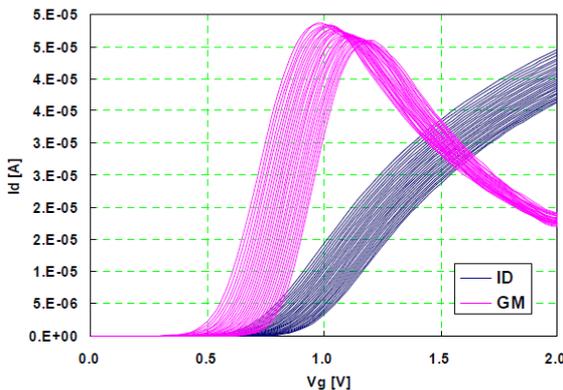


Figure 1. I_{DS} vs V_{GS} curves for V_{BS} change ($V_{BS}=0\sim 1.5V$, 50mV step)

추출의 신뢰성을 높이기 위해 3~4 번의 반복적인 과정으로 진행하였고, 반복적인 결과로부터 문턱전압과 $(2\phi_F - V_{BS})^{1/2}$ 사이의 관계를 추출할 수 있었다.

Fig.2 는 $(2\phi_F - V_{BS})^{1/2}$ 에 의한 문턱전압을 보여주고 있고, 이 그래프에서 기울기, m 을 얻을 수 있다.

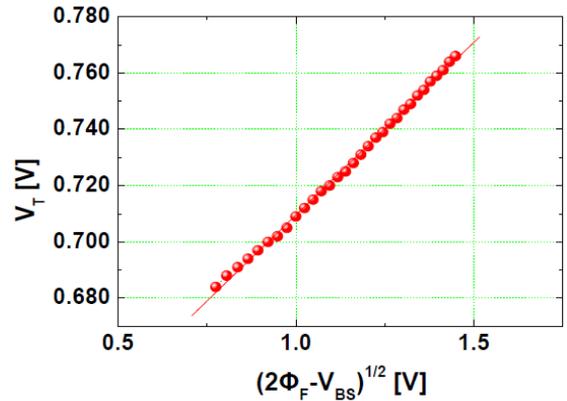


Figure 2. Calculated V_T as a function of $(2\phi_F - V_{BS})^{1/2}$

이런 반복적인 값들은 데이터를 계산시 1 차 미분을 사용하였기 때문에 다른 방법들 보다 신뢰할 수 있었다. 식 (1)로부터 doping 농도를 구할 수 있다.

$$N_A(W) = \frac{m^2 C_{ox}^2}{2qK_s\epsilon_0} \quad (2)$$

그리고 profile depth 는 아래 식 (3)과 같다

$$W = \sqrt{\frac{2K_s\epsilon_0(2\phi_F - V_{BS})}{qN_A}} \quad (3)$$

3. 결과 및 검토

초기 값은 $2\phi_F = 0.6V$ 놓고 $(2\phi_F - V_{BS})^{1/2}$ 에 의한 문턱전압 그래프를 통해 새로운 N_A 를 찾을 수 있었다. 이 N_A 값으로 새로운 ϕ_F 를 찾고, 다시 $(2\phi_F - V_{BS})^{1/2}$ 에 의한 문턱전압 그래프를 그린다. 그리고 이 과정을 반복하였다. 문턱전압 방법에 의해 추출된 doping profile 의 정확한 비교를 위해 같은 doping 농도, channel implants, 그리고 gate oxide thickness 를 사용하여 ISE simulation 을 수행하였다. 같은 과정과 같은 레이아웃에서 수행된 simulation 결과를 추출된 doping profiles 과 비교하였고, Fig. 3 에서 볼 수 있는 것과 같이 그 결과가 거의 일치하는 것을 확인할 수

있었다.

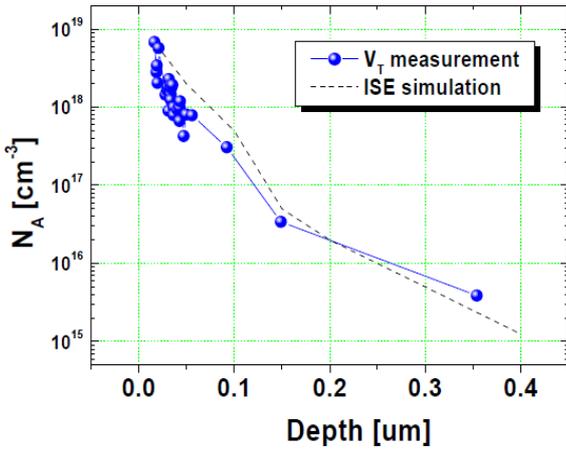


Figure 3. Doping profile of MOSFET with V_T method and simulation

4. 결 론

문턱전압 방법에 의해 200nm 보다 더 작은 gate length 를 가지는 MOSFET 소자의 doping profiles 의 성공적으로 추출할 수 있었고, simulations 결과와 거의 일치함을 볼 수 있었다. 이러한 방법은 doping profile 에 의존하는 MOSFET 소자의 plasma induced damage 분석 및 hot carrier injection 불량분석에 유용하게 사용될 수 있을 것으로 기대된다. 이러한 문턱전압 방법을 통한 doping profile 추출 방법은 소자의 크기가 점점 빠르게 변화하는 최근 MOSFET 소자의 전기적 불량분석 및 oxide 신뢰성분석에 유용하게 도움이 될 것으로 판단된다.

참고문헌

1. D. W. Feldbaumer, "IEEE Trans. Electron Devices", vol.38, NO. 1, pp. 135-140,1991.
2. N. D. Arora, "Solid-State Electorn", vol. 30, pp. 59-569, May 1987)