

진공공정을 이용한 고종횡비 TSV Filling

Vacuum Assisted Filling Process for High Aspect Ratio TSV Hole

*김동표, #백규하, 함용현, 우중창, 윤호진, 주영희, 박건식, 박지만, 김진식, 도이미

*D. P. Kim, #K. H. Baek(khbaek@etri.re.kr), Y. H. Ham, J. C. Woo, H. J. Yun, Y. H. Joo, K. S Park, J. S. Kim, J. M. Park, J. Y.

Kang, D. M. Lee

한국전자통신연구원 융합기술연구부

Key words : TSV, High Aspect Ratio, Vacuum Assisted Process, FE-SEM

1. 서론

최근 반도체의 연구 개발은 소자의 집적도 증가와 동작 속도의 고속화와 소비전력의 감소하기 위한 많은 연구를 수행하여 왔다. 소자의 집적화는 공정 미세화와 새로운 게이트 구조 즉 고유전율 게이트와 금속 전극을 사용하면서 20 nm 소자의 구현이 가능하게 되었다. 그러나 마이크로 칩의 밀도가 18개월마다 2배로 증가하고, 공정 비용은 1/2로 감소한다는 무어의 법칙이 소자의 미세패턴의 크기가 10 nm 이하가 되면 한계에 도달 할 것이라고 예측하고 있다. 작은 면적에 많은 소자를 집적화할 수 있으나, 패키지 과정에서 주변회로와 연결 시 칩의 가장자리에서만 배선이 연결되므로, 전체 금속 배선의 연결 길이가 증가하면서 RC delay에 의한 신호지연이 발생하고, 또한 소비전력이 증가하게 되는 문제점과 고 정밀도를 생산설비가 요구되면서 생산비용이 급격하게 증가하는 문제점 들이 대두되고 있다. 이와 같이 무어의 법칙의 한계를 극복하기 위하여 실리콘 기판을 관통하는 via (through silicon via:TSV)를 뚫어서 수직으로 다수의 기판을 적층하여 금속 배선의 길이를 줄이면서 집적도, 고속 동작 및 저 전력화가 가능한 3D package 기술이 개발되어, 이에 대한 연구가 활발하게 진행되고 있다. [1-3]

그러나, TSV 공정이 양산에 적용하기 위하여서는 신규 설비가 요구되고, 공정의 생산비용 높고, 생산 기간이 기존의 package 공정에 비하여 긴 단점을 가지고 있다. TSV를 형성하기 위한 전 공정에서, 생산기간을 단축하기 위한 공정 중 bottle neck 공정은 수십 um~수백 um의 식각 깊이를 얻기 위한 DRIE (deep reaction Ion etch) 공정의 낮은 식각 속도, metalization 공정 즉 via filling 과정에서의 늦은 채움 속도와 높은 열처리 온도이다. 높은 열처리 온도는 Si 기판이 thinning화 되면서 열적 스트레스에 의하여 crack이 발생할 수 있으므로 200 °C이하의 저온 공정 개발이 요구되고 있다.[4]

본 논문에서는 나노크기의 Ag 금속 입자를 가지는 Paste와 진공 공정을 이용하여 7:1와 10:1의 고종횡비를 가지는 TSV Hole을 채웠다. LTO (low temperature oxide)를 마스크로 제작하였고, DRIE 식각 장비에서 Bosch 공정을 이용하여 Si 기판을 식각하여서 TSV를 형성하였다. CVD (chemical vapor deposition) 산화막을 형성하였다. 그리고, 나노크기의 입자를 가지는 metal paste와 진공공정을 이용하여 TSV를 채웠으며, 80 °C와 180 °C에서의 열처리 공정을 수행하였다. 또한, 금속 채움 (metal filling) 과정에서 TSV의 표면에너지의 변화가 metal filling profile에 미치는 영향을 고찰 하고자 한다.UV O₃ 표면 처리와 wetting layer가 TSV filling에 미치는 영향을 FE-SEM (field emission scanning electron microscope)을 이용하여 관찰하였다.

2. 실험방법

본 실험의 공정 순서는 그림 1에 나타내었다. Si 기판위에 LTO (low thermal oxide) 막이 2 um 두께로 성장하였고, 사진 식각 공정을 이용하여 via CD각 각각 10 um와 5 um인 hard mask를 제작하였다. Si 기판은 60분 동안 DRIE 식각 장치에서 Bosch 공정을 이용하여 식각되었다. 식각 과정에는 SF₆/O₂ 가스가 사용되었고, 식각방지층 형성과정에는 C₄F₈ 가스가 사용되었다. 최종적으로 식각과 식각 방지층 공정을 반복하여 7:1과 10:1의 고종횡비와 낮은 scallop을 가지는 TSV를 형성하였다. 절연층

형성공정은 CVD 산화막 공정을 이용하였고, step coverage가 우수한 절연층을 형성 할 수 있었다. TSV Filling을 위하여 curing 온도가 낮고, 우수한 전기적 특성을 가지는 나노 크기의 금속입자를 가지는 Ag paste를 선정하였다. VAPP (Vacuum assisted paste printing) 공정을 위한 sample의 크기는 2 cm × 2 cm 이었고, 200 um 두께의 금속마스크를 사용하여 Ag paste를 공기 중에서 프린팅 하였다. 프린팅 된 sample을 진공 챔버에 넣고서, 진공게이지 압력 약 -1 bar 에서 약 5분간 대기하였다. 그리고 sample을 대기 중에서 열처리 하였다. 열처리 공정은 Ag paste 내부의 용매를 건조시키기 위하여 80 °C에서 2분간 1차열처리 하였고, 전기적 전도성을 향상을 위하여 180 °C에서 2분간 연속적으로

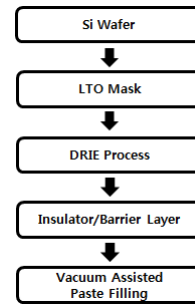
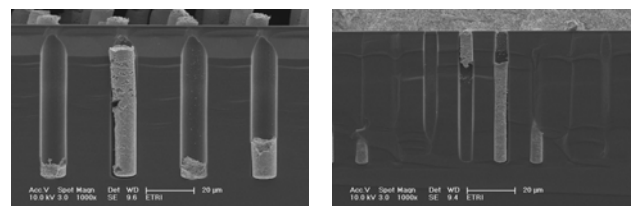


Fig. 1 Flow chart of vacuum assisted filling process for TSV.

열처리 하였다. TSV metal filling profile은 TSV를 수직으로 절단하여 FE-SEM을 이용하여 관찰 하였다. 또한 TSV hole 내부의 표면에너지 변화에 따른 금속 채움 특성을 고찰하기 위하여 Bare Si 기판, SACVD 가 증착된 TSV 기판과 Ti Barrier가 증착된 TSV 기판을 UV O₃ 세정 과정을 하기 전/후의 Contact Angle를 DI water Drop하여 측정하였다.

3. 결과 및 토론

그림 2는 DRIE 식각 공정을 이용하여 형성하고, SiO₂ 절연막을 CVD를 이용하여 증착된 TSV에 vacuum assisted Ag paste printing 공정을 이용한 채운 단면의 FE-SEM image를 나타내고 있다. Fig. 2(a)의 via CD는 10.3 um이고, 식각 깊이는 71 um이었으며, 종횡비는 7:1 이었다. Fig. 2(b)의 via CD는 5.6 um이고, 식각 깊이는 57 um이었으며, 이때 종횡비는 10:1 이었다. Fig. 2에서 Ag 금속이 없는 via hole이 있는데, 이는 SEM 시료 제작과정에서 Ag 금속이 위쪽이 빠져 나갔으며, 또한 via hole의 중앙으로 단면을 자르지 못하였기 때문으로 사료된다. 그리고, TSV 측벽과 Ag 금속 사이에 빈 공간이 존재하는데, 이는 SEM sample 과정에서 의 충격에 의하여 발생한 것으로 사료된다.



(a) Aspect ratio=7:1

(b) Aspect ratio=10:1

Fig. 2. FE-SEM images of vacuum assisted TSV with SiO₂ insulator layer.

TSV hole 표면의 표면에너지 변화가 금속 채움에 미치는 영향을 고찰하기 위하여 sample을 표면을 UV 처리하였다. UV 처리 전후의 contact angle 측정하여 그림 3-5에 나타내고 있다. 일반적으로 표면을 UV O₃ 세정 처리를 하게 되면 친수성으로 변화하게 되어, contact angle이 감소하게 된다. 즉 contact angle의 감소는 표면 장력이 증가하는 것을 의미한다. Cu 전해 도금 공정에서 TSV 내부의 표면 장력이 증가하면, TSV 표면을 따라 바닥까지 흘러들어가는 시간이 증가하게 되어 void가 형성 된다고 보고되었다 [5].

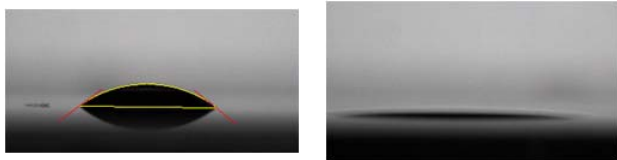


Fig. 3 Contact angle measurement on bare Si (a) before and (b) UV-O₃ treatment.

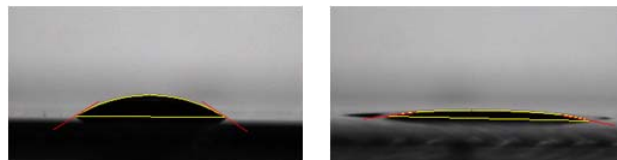


Fig. 4. Contact angle measurement on the TSV sample with SiO₂ insulator layer. (a) before and (b) UV-O₃ treatment.

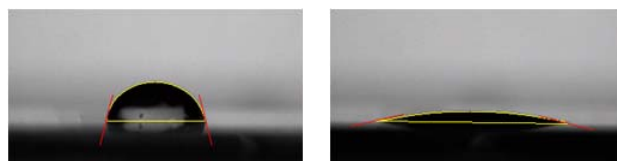


Fig. 5. Contact angle measurement on the TSV sample with Ti barrier layer. (a) before and (b) UV-O₃ treatment.

Fig. 3은 UV 처리 전후의 Si 박막표면에서의 contact angle 측정한 것이다. Fig. 3에 나타난 바와 같이 UV O₃ 세정 전 contact angle은 37.3° 이고, UV 처리 후 contact angle이 5° 이하가 되었다. 이는 UV O₃ 처리를 통하여 Si 표면에 Si-OH 가 형성되었기 때문으로 사료된다 [6].

Fig. 4는 TSV에 SACVD를 이용하여 SiO₂가 증착된 Sample의 UV 처리 전후의 Si 박막표면에서의 contact angle 측정한 것이다. sample의 표면에 10 um와 5 um의 hole이 형성된 부분에 DI water를 drop하여 측정을 하였다. Fig. 4에 나타난 바와 같이 UV O₃ 세정 전 contact angle은 32.3° 이고, UV O₃ 세정 후 contact angle이 8.6° 로 감소하였다.

Fig. 5는 TSV에 Ti barrier층이 증착한 Sample의 UV 처리 전후의 Si 박막표면에서의 contact angle 측정한 것이다. sample의 표면에 10 um와 5 um의 hole이 형성된 부분에 DI water를 drop하여 측정을 하였다. Fig. 4에 나타난 바와 같이 UV O₃ 세정 전 contact angle은 72.2° 이고, UV O₃ 세정 후 contact angle이 8.6° 로 감소하였다. 앞에서 bare Si 기관에서 살펴본 바와 같이 SiO₂와 Ti 표면에서 UV O₃ 처리 후 contact angle이 감소하였는데 이는 sample의 표면에서 Si-OH [6] 또는 Ti-OH의 증가에 의한 것으로 사료된다. 그러므로 Ti Barrier 층이 형성된 경우 TSV가 void 없이 채워질 것으로 사료된다.

4. 결론

본 연구에서 LTO 마스크와 DRIE를 이용하여 수직이고, scallop

이 없는 고종횡비의 TSV를 형성하였고, SACVD 산화막 공정을 이용하여 각각 7:1과 10:1의 고종횡비의 TSV에 step coverage가 우수한 절연층을 형성하였다. 그리고 sputter를 이용하여 Ti barrier층을 형성하였다. 나노 입자를 가지는 Ag paste와 Vacuum 공정과 80℃와 180 ℃ 연속적인 열처리 공정을 이용하여 TSV hole 내부를 Ag 금속으로 완전히 채웠다. UV O₃ 세정 후 contact angle이 bare Si, SACVD O₃ 절연층을 가지는 TSV와 Ti barrier층을 가지는 TSV 모두에서 감소하는 것을 확인 하였다. 따라서 TSV hole을 void없이 채우기 위하여 wetting layer가 요구되며, 표면 장력의 변화에 따른 영향을 고찰 할 수 있었다.

후기

본 연구는 지식경제부, 산업기술연구회의 협동연구사업 일환인 "차세대 반도체 MCP 핵심기술 개발 사업"과 지식경제부 "인쇄소자의 TFT 특성 연구(과제번호: 10031791)"의 지원에 의한 것입니다.

참고문헌

1. Clark. P. G., Olson E. D., Kofuse H., "The use of segregated hydro-fluoroethers as cleaning agents in electronics packaging applications", International Conference on Soldering and Reliability 2009, 2009.
2. 최광성, 문종태, 엄용성, 전용일, "3D SiP (System-in Package) 기술동향", p.p14-27, 2008.
3. Sibleur P., "Cost reduction scenario of 3D TSV integration", www.emc3d.org, 2009.
4. Black B., Kobrinsky M., Morrow P., Muthukumar S., Nelson D., Park C.-M., Webb C., "Design and fabrication of 3D micro-processors", Material Research Society, p. Y9, 2006.
5. Beica R., Charbono C., Ritzdorf T, "Through silicon via copper electrodeposition for 3D integration", 2008 Electronic Components and Technology Conference, pp. 577-583, 2008.
6. Beinhoff M., Frommer J., Carter K. R., "Photochemical attachment of reactive cross-linked polymer films to Si/SiO₂ surfaces and subsequent polymer brush growth", Chem. Mater. pp. 3425 -3431, 2006.