

# 자가정렬을 이용한 하이브리드 Oxide 본딩의 접합 특성 평가 Bonding Quality Evaluation of Hybrid Oxide Bonding using Self-Alignment

\*송준엽<sup>1</sup>, #이재학<sup>1</sup>, 하태호<sup>1</sup>, 이창우<sup>1</sup>, 유중돈<sup>2</sup>

\*J. Y. Song<sup>1</sup>, #J. H. Lee(jaehak76@kimm.re.kr)<sup>1</sup>, T. H. Ha<sup>1</sup>, C. W. Lee<sup>1</sup>, C. D. Yoo<sup>2</sup>

<sup>1</sup> 한국기계연구원 초정밀기계시스템연구실, <sup>2</sup> 한국과학기술원 기계공학과

Key words : Atmospheric Plasma, Hybrid Oxide Bonding, Hydrophilic, Self-Alignment, TSV

## 1. 서론

핸드폰 및 노트북과 같은 모바일 기기의 소형화 및 고성능화 추세에 따라 큰 메모리 용량과 고성능의 IC가 요구되고 있어 세계적으로 3D 패키징에 대한 연구가 활발히 진행 중이다. 3D 패키징은 칩을 수직으로 적층하여 패키징하는 방법으로 기존 2D 패키징에 비해 집적도가 높고 전기신호선의 길이가 짧아 RC 딜레이가 작은 장점이 있다.

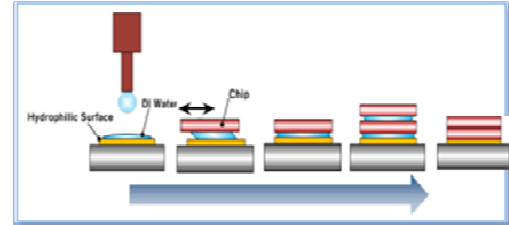
3D 패키징 방법으로는 적층 방식에 따라 POP (Package on Package), Wire bonding, Edge traces, TSV(Through Silicon Via) 적층 방법으로 구분된다.

최근에 각광을 받고 있는 TSV 적층 방법은 실리콘 웨이퍼에 DRIE (Deep Reactive Ion Etching)나 레이저 드릴링을 이용하여 수십 마이크로미터 이하의 미세 via를 형성하고 금속을 채운 뒤 그라인딩(grinding)과 CMP (Chemical Mechanical Polishing)를 통해 수십 마이크로 두께로 얇게 만들고 본딩 공정을 이용하여 적층함으로써 기계적/전기적 결합을 동시에 형성하는 방법이다. 이 방법은 칩의 전체 면적에 via 형성이 가능하고 칩의 두께가 얇아 집적도가 매우 높은 장점이 있으며 전기 신호 배선이 짧아 RC delay가 작으므로 고성능의 IC 제작이 가능하다[1-3].

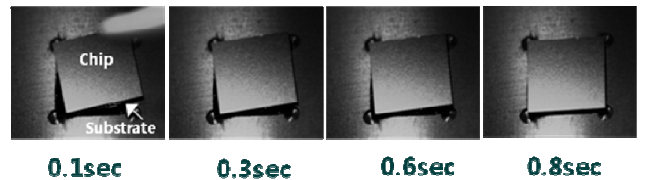
TSV를 이용한 3D 적층 W2C과 C2W 접합 방법은 적층 시 고속 정렬이 요구되고 핸들링이 어려운 단점이 있지만 접합 시 양품의 KGD (Known Good Die)만을 이용하므로 수율이 높은 장점이 있다. 본 연구에서 TSV를 이용한 3D 적층 W2C/C2C 접합방법으로 대기 플라즈마를 이용하여 실리콘의 소수성 표면을 친수성 표면으로 처리함으로써 친수성 표면의 자가정렬 효과로 고속으로 정렬하여 접합하는 방법에 관한 연구와 공정 조건에 따른 접합부의 기계적 특성을 평가하였다.

## 2. 자가 정렬효과를 이용한 실리콘 Oxide 접합 방법

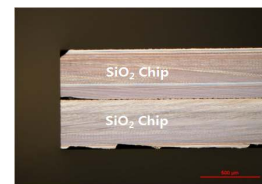
Fig. 1은 친수성 표면의 자가 정렬 효과를 이용한 하이브리드 Oxide 접합 방법으로 3D 적층에 관한 공정 및 접합된 시편을 보여주고 있다. 먼저 웨이퍼 표면에 칩을 위치시킬 영역을 플라즈마 처리를 통해 선택적으로 친수성 표면으로 생성하고 DI water를 친수성 처리된 웨이퍼 표면에 떨어뜨리고 친수성 처리된 칩을 위치시킨다. 이때 DI water는 친수성 표면에 젖음이 발생하고 표면에너지가 줄어드는 방향으로 칩이 이동하여 웨이퍼 표면의 친수성 처리된 표면에 정확히 정렬된다. 같은 방법으로 여러 개의 칩을 적층하고 오븐에 넣어 물을 증발시키면 각 칩이 정렬되고 웨이퍼 표면의 친수성기 실라놀그룹(-Si-OH)의 수소 결합에 의해 Pre-bonding 된다. 이렇게 Pre-bonding된 웨이퍼와 칩은 자유롭게 핸들링 가능한 장점이 있어 접합 시 정밀한 지그가 요구되지 않는 장점이 있다. 마지막으로 화학결합인 실록산본드(-Si-O-Si-)를 형성하기 위해서 오븐에서 높은 온도로 가열하여 화학결합을 통해 접합을 한다. 친수성 표면의 자가정렬을 이용한 실리콘 Oxide 접합 방법은 칩을 정밀하게 정렬하지 않더라도 자동으로 정렬되므로 접합 시 정밀한 정렬을 위한 지그가 요구되지 않고 pre-bonding된 후에는 자유롭게 핸들링이 가능하므로 기존 C2C/C2W 접합



(a) Hybrid Oxide Bonding using Self-Alignment



(b) Self-Alignment behavior between hydrophilic surfaces



(c) Self-Aligned and bonded chips

Fig.1 Schematic view of silicon oxide bonding using self-alignment

방법의 단점을 해결할 수 있을 것으로 판단된다. 실제로 Fig. 1 (b)는 대기 플라즈마 처리한 시편 사이의 자가정렬 거동을 나타내고 있으며 1sec 이내에 고속으로 정렬됨을 알 수 있으며 칩 사이의 정렬오차는 Fig. 1(c)와 같이 5 μm 이내로 매우 정밀하게 정렬되는 것을 알 수 있었다.

## 3. 공정조건에 따른 접합특성 평가 실험

친수성 표면의 자가 정렬을 이용한 하이브리드 Oxide

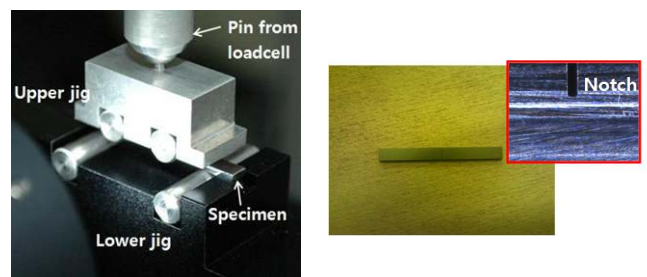


Fig. 2 4 point bending experimental system and specimen

본딩 방법의 접합에너지 및 접합부 특성을 평가하기 위하

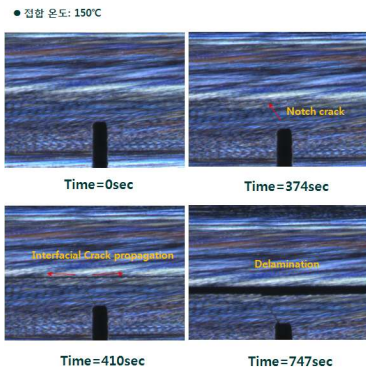
여 자가 정렬 방법을 이용하여 pre-bonding 한 후 150~350℃로 접합 온도를 변화시켜 가며 permanent bonding 을 수행하였다. 기공이 있는 시편의 경우 접합에너지를 정확히 측정할 수 없으므로 제작된 시편의 접합부 결합을 확인하기 위하여 파장 940nm 의 IR 조명을 이용하여 접합부의 기공을 관찰하였다. 접합된 시편의 접합에너지를 측정하기 위하여 Fig. 2 오른쪽 사진과 같이 접합된 시편을 3mm x 30mm 크기로 제작하였고 접합 계면에서 크랙이 발생하여 접합 계면이 분리되도록 분당된 칩의 상단을 half cutting 하여 4 point bending 시편을 제작하였다. 실험에 사용된 4 point bending 장치는 Fig. 2 왼쪽 사진과 같다. 4 point bending 장치의 지지점 롤러 간의 거리는 5mm 이며 하중 변위는 0.005mm/min 속도로 부가하였다. 4 point bending 에 의한 접합부의 접합 계면 에너지는 bending theory 에 의하여 다음과 같이 표현될 수 있다.

$$G = \frac{21(1-\nu^2)M^2}{4Eb^2h^3} = \frac{21(1-\nu^2)P^2L^2}{16Eb^2h^3}$$

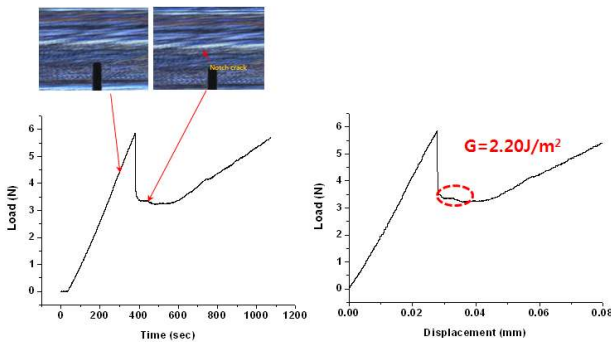
여기서  $\nu$ 는 실리콘의 프와송비,  $E$ 는 탄성계수,  $b$ 는 시편의 폭,  $L$ 은 4 point bending 시험 지그 롤러 사이의 거리,  $h$ 는 시편의 두께를 나타낸다.

#### 4. 접합특성 평가 결과

Fig. 3 은 150℃의 낮은 온도에서 permanent bonding 을 수행한 SiO<sub>2</sub> 칩의 4 point bending 실험 결과를 나타낸다. 시간이 지남에 따라 노치 부분에서 크랙이 진전되어 접합부 계면이 분리되는 것을 확인 할 수 있으며 Fig. 3 의 시간에 따른 접합면의 사진과 하중 그래프를 통해 초기에는 시간에 따라 하중이 증가하다가 노치에서 크랙이 발생하면 하중



(a) Captured images during separation



(b) Force-displacement curve

Fig. 3 Bonding interface separation behavior during 4 point bending experiment (Bonding Temp.=150℃)

이 증가하다가 노치에서 크랙이 발생하면 하중이 급격하게 감소하고 접합 계면이 분리되면서 하중이 일정한 구간이 나타나며 이 구간이 접합부 계면이 분리되는 구간임을 알 수 있다. 따라서 접합에너지를 계산해 보면 약 2.20J/m<sup>2</sup> 로 TSV 3D 적층에 사용될 수 있는 기준치 5J/m<sup>2</sup> 에 비해 작음을 확인할 수 있다.

접합 온도를 200℃로 증가시킨 경우 Fig. 4 와 같이 접합 에너지가 매우 커서 크랙이 접합 계면으로 전파되지 않고 분당된 칩이 하나의 재료처럼 붙은 채로 완전히 파괴되는 것을 알 수 있다. 이처럼 칩 기판이 깨어지는 경우에는 접합 에너지 측정이 불가능하며 정성적으로 하중이 급격하게 떨어지는 픽크점의 하중을 이용하여 대략적으로 예측 가능하며 따라서 200℃에서 분당된 시편의 경우 접합에너지는 10.69J/m<sup>2</sup> 이상으로 TSV 3D 패키징에 적용 가능한 기준치 5J/m<sup>2</sup>보다 2 배 이상 높은 것을 확인할 수 있다.

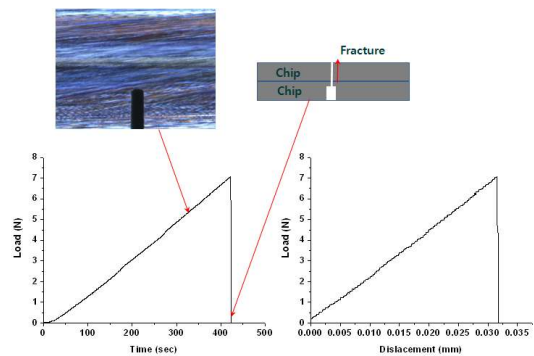


Fig. 4 Force-displacement curve (Bonding Temp.= 200℃)

접합온도가 200℃이상으로 높아짐에 따라 실록산 결합 생성 밀도가 증가하여 높은 접합 에너지를 보였으며 접합 에너지가 높아 계면에서 크랙이 전파되지 않고 기판이 깨어지는 현상을 보였다.

#### 5. 결론

본 연구를 통하여 친수성 표면의 자가 정렬 효과를 이용한 하이브리드 Oxide 접합을 이용하여 고속으로 C2C/C2W 접합을 수행할 수 있었으며 4 point bending 실험을 통해 접합 온도가 200℃이상에서 10.69J/m<sup>2</sup> 이상의 높은 접합에너지를 얻을 수 있었다.

#### 후기

본 연구는 지경부/산업기술연구회의 협동연구사업 일환인 “차세대 반도체 MCP 핵심 기술개발사업”의 지원에 의한 것입니다.

#### 참고문헌

1. J.U. Knickerbocker, P.S. Andry, B. Dang et al., “3D Silicon Integration”, IEEE Electronic Components and Technology Conference, 2008, pp.538-543
2. M. Sunohara, T. Tokunaga, T. Kurihara et al., “Silicon Interposer with TSVs (Through Silicon Vias) and Fine Multilayer Wiring”, IEEE Electronic Components and Technology Conference, 2008, pp.847-852
3. C. Scheiring and H. Kostner, “Advanced-chip-to-wafer technology : Enabling technology for volume production of 3D system integration on wafer level”, IMAPS, 2004.