

멀티칩 패키지 냉각 기술 개발 Development of cooling method for multi-chip package

*#현승민¹, #장봉균¹, 김재현¹, 이학주¹

*S. Hyun¹, #B. Jang(jangbk@kimm.re.kr)¹, J.-H. Kim¹, H.-J. Lee¹

¹ 한국기계연구원 나노융합생산시스템연구본부 나노역학연구실

Key words : Multi-chip package, Cooling method, Thermoelectric cooler

1. 서론

전자 제품에 사용되는 집적 회로가 고밀도, 고집적화 되는 것은 비용 절감 및 디바이스의 효율 향상과 관련되기 때문에 많은 연구가 수행되고 있다. 특히 반도체 칩의 집적화 방법 중의 하나인 MCP(Multi-Chip Packaging) 기술은 3차원 집적 회로를 제작하는 방법으로, 디바이스를 여러 층 쌓아 올려 프로세서와 메모리 등의 여러 소자를 하나의 시스템 안에 구현하는 방법이다[1]. MCP 기술의 장점은 개별의 모듈을 이용하여 회로를 구성하는 것 보다 전력 소모가 적고, 소요되는 면적이 최소화 되어 제작 비용이 감소할 뿐만 아니라 빠른 속도로 동작이 가능하기 때문에 고성능 고효율의 디바이스를 제작할 수 있다는 것이다. 하지만 여러 층의 칩을 적층할 때에 발생하는 문제점 중의 하나가 디바이스에서 발생하는 열에 의하여 디바이스의 성능 및 수명의 저하이다[2-3]. 실제로 디바이스가 높은 성능을 내기 위해서는 95 °C - 125 °C의 온도를 유지시켜 주는 것이 필요하다[4]. 하지만 MCP 기술을 이용한 MCM(Multi-Chip Module)의 경우에는 평면에 구현된 디바이스의 냉각 방식인 방열판과 냉각팬에 의한 냉각 방법으로는 효율적으로 냉각 시키는 것이 어렵다.

본 연구에서는 열해석을 통하여 MCP 기술을 이용한 MCM의 효율적인 냉각 방법에 대하여 알아보려고 하였다. MCM의 구조는 일반적으로 실리콘 칩이 2층 이상 적층되어 있고 그 사이에는 열기계적인 피로 문제를 해결해 줄 수 있는 고분자 복합 재료인 언더필(underfill)을 이용하여 채워진 것으로 가정하였다. 또한 MCM에는 각 층을 전기적으로 연결하기 위하여 Via를 설계하게 되는데, 이러한 Via는 열방출 경로의 역할을 수행하기도 한다[5]. 디바이스에서 열이 유입되었을 때에 유한 요소 해석을 이용하여 열전도 방정식의 해를 구하여 온도 분포를 구하는 방법을 통하여 열 해석을 수행하였다. 이를 통하여 열 방출을 위한 Via가 MCM의 냉각에 미치는 영향에 대하여 알아보도록 하였다.

2. 열 해석

일반적으로 열 전달 방법은 전도, 대류, 복사로 나누어지며, 복사에 의한 냉각 효과는 미비하며 보통 전도를 통한 열 이동과 외부의 기체, 또는 액체에 의한 대류에 의한 효과를 통한 냉각이 주로 이루어 진다. 본 연구에서는 MCM 구조를 가정하여 열이 유입되었을 때, Via의 영향을 알아보기 위하여 열전달 방정식의 해를 구하여 열 전도에 의한 열 방출 효과를 알아보았다. 이를 위하여 그림 1과 같이 3층의 디바이스를 언더필로 접합한 구조를 가정하였고, Via의 효과를 알아보기 위하여 6개의 Via를 각각의 층을 관통하도록 구성하였다. 디바이스에서 발생하는 hotspot의 위치는 가변적이라고 알려져 있으나 본 연구에서는 Via에 의한 열 방출 효과를 알아보기 위하여 가장 아래에 위치한 칩의 한 변으로부터 열류가 유입하는 것으로 가정하였다. 그리고 상층부에서는 25 °C로 온도 고정조건을 다른 면에서는 단일 조건을 주었다. 디바이스 층은 70 μm의 실리콘 칩으로 가정하였으며, 언더필은 10 μm의 BCB(Benzocyclobutene), Via는 단면이 30 μm의 원형으로 재

질은 구리고 가정하였다. 열 해석에 사용한 물성값은 표 1과 같으며 유한요소 해석에 사용한 Mesh는 그림 2와 같다.

Table 1 Material properties used in thermal analysis

Materials	Thermal conductivity (°)
Via (Cu)	401 W/mK
Underfill (BCB)	0.5 W/mK
Chip (Si)	130 W/mK

3. 결과 및 고찰

10 W/m²의 열류가 유입되었을 때, 유한 요소 해석을 수행하여 구한 적층 칩 모델의 온도 분포는 그림 3과 같다. 해석 모델에서 열 방출을 위한 via가 있는 경우에는 효율적으로 열 방출이 가능하게 되어 최대 온도가 낮은 것을 확인할 수 있다. 이것은 각 층의 단면에서의 온도 분포에서도 각각 확인할 수 있으며, via가 있는 경우에 하부의 칩에서는 via 주변의 온도가 낮고, 상부의 칩에서는 온도가 높은 것으로 보아 주로 via를 통하여 열이 이동하는 것을 알 수 있다. 이것은 그림 3의 via 주변의 온도 분포 및 열류 분포에서도 확인할 수 있다. 또한 유입되는 열류를 바꾸었을 때의 온도를 각각 계산하여 그래프로 나타낸 것이 그림 4이다. 본 모델은 적층 칩 구조의 일부분에 있어서 열원 주변에 수직 방향의 thermal via가 있는 경우를 가정하여 열 방출 효과로 인하여 온도를 감소시킬 수 있는 사실을 보여줄 수 있었다. 이것은 MCM의 구조가 일반적으로 수직 방향의 방열에 대하여 취약한 것을 어느 정도 보완할 수 있으며, 효율적인 thermal via 설계를 통하여 수직 방향 열 방출 효과를 극대화 할 수 있을 것이다. 또한 정량적으로 어느 정도 냉각이 가능한지를 알아보기 위해서는 디바이스에서 발생하는 실제 열량에 대한 계측을 통하여 전체 모델을 시뮬레이션 할 필요가 있을 것이다.

본 연구에서는 적층 칩에서 via에 의한 열 방출 효과에 대하여 알아보았지만, underfill의 재질에 따른 열 방출 및 열 설계, 방열핀 등의 설계를 통한 냉각 해석 기술 개발, 그리고 수동적인 냉각 방법이 아닌 능동적 냉각 방법 중의 하나인 열전 모듈을 이용한 냉각 장치 등을 개발한다면 열적 신뢰성을 높이는 설계 방안을 제시하는 것에 도움을 줄 것이다.

4. 결론

MCP 기술을 이용한 반도체 칩에서 문제가 되는 열적 신뢰성 문제를 해결하기 위한 냉각 방법의 개발은 필수적이다. 본 연구에서는 적층 칩 구조의 MCM을 가정하여 디바이스에서 열이 발생하였을 때에 Via에 의한 효과를 알아보았다. 적층 칩에서 문제가 되는 것이 수직 방향의 열 이동이 어렵다는 사실인데, Via를 통하여 수직 방향의 열 이동이 가능해지고, 이러한 사실은 Via의 위치 등에도 의존하기 때문에 열 방출을 위한 적절한 Via 설계를 하는 것이 필요하다. 열 이동 매개체의 구조 및 재질을 이용한 수동적 냉각 방법뿐만 아니라 능동적인 냉각 방법에 대한 연구가 계속된다면 MCP 기술을 이용한 적층 칩에서의 열적 신

뢰성을 높이는 설계가 가능해 질 것이다.

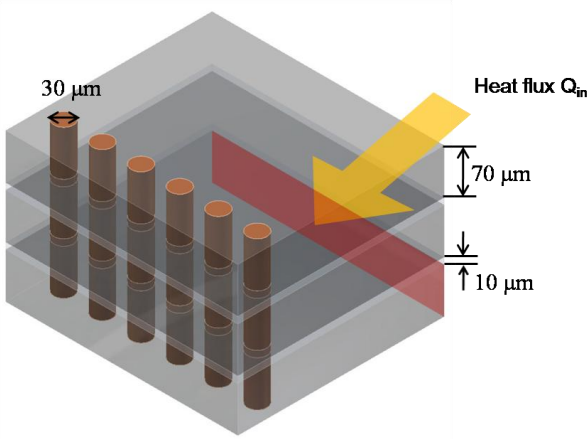


Fig. 1 A schematic of MCP model with three chips and thermal vias analyzed in the simulation.

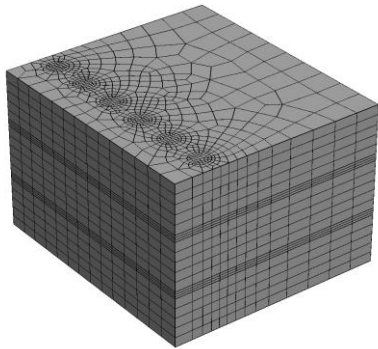
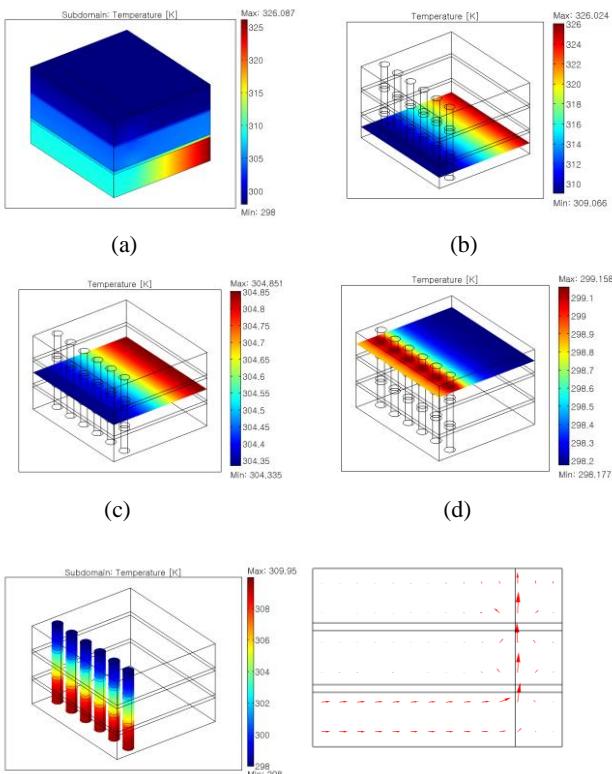


Fig. 2 A finite element mesh for MCP model for thermal analysis.



(e) (f)

Fig. 3 Temperature distribution obtained by finite element analysis; (a) outer-side of the model, (b) top layer of underfill, (c) middle layer of underfill, (d) bottom layer of underfill, (e) Vias and (f) heat flux.

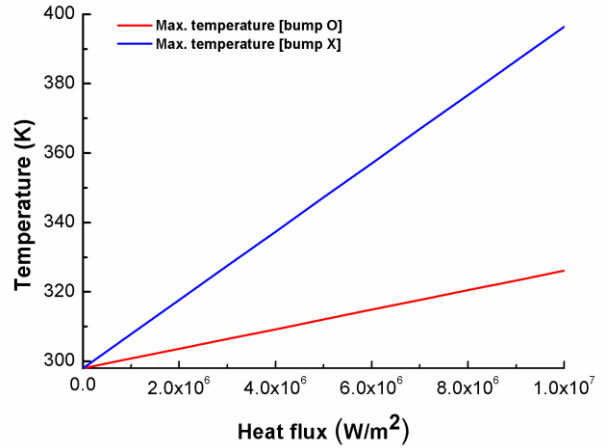


Fig. 4 Maximum temperatures of MCP with and without thermal vias depending on the magnitude of heat flux Q_{in} .

후기

본 연구는 지식경제부, 산업기술연구회의 협동연구사업 일환인 “차세대 반도체 MCP 핵심 기술 개발 사업”의 지원에 의한 것입니다.

참고문헌

1. Al-Sarawi, S. F., Abbott, D. and Franzon, P., “A review of 3-D packaging technology,” IEEE Trans-CPMT-B, **21**, 2-14, 1994.
2. Majumdar, A., “Helping chips to keep their cool,” Nature Nanotechnology, **4**, 214-215, 2009.
3. Lee, Y. C., Ghaffari, H. T. and Segelken, J. M., “Internal thermal resistance of a multi-chip packaging design,” Electronics components conference, Proc. of the 38th, 293-301, 1988.
4. Garrou, P., Bower, C. and Ramm, P., “Handbook of 3D Integration, Technology and Application of 3D Integrated Circuits, Volume 2,” Wiley-VCH Verlag GmbH & Co. KGaA, 2008.
5. <http://en.wikipedia.org>