

기판위에 전사된 단결정실리콘 박막트랜지스터의 접착층에 의한 효과

The effect of adhesive layer on single-crystal silicon thin film transistors printed on substrate

*김지훈¹, #안종현^{1,2}

*Jeehoon Kim¹, #Jong-Hyun Ahn(ahnj@skku.edu)²

¹성균관대학교 신소재공학과, ²성균관대학교 나노과학기술원

Key words : Non-adhesive layer, Dry transfer, Hysteresis

1. 서론

발달된 웨이퍼 기술을 통하여, 웨이퍼 위에서 선택적인 고온공정(오믹접촉 형성)을 사용한 후 플라스틱 기판 쪽으로 분리하기 때문에 포토리소그래피와 에칭공정을 이용하여 일반적인 웨이퍼로부터 만들어진 고질의 마이크로 또는 나노 스케일의 무기소자는 고성능 유연전자소자로서 적합하다 [1]. 마이크로 또는 나노 스케일 무기재료의 유용한 통합 및 집적은 목표기판에 원하는 배치대로 그것들을 전달할 수 있는 방법을 요구한다. Polydimethylsiloxane (PDMS) 스탬프와 같은 단성재료를 사용하는 건식 전사 인쇄법은 저온에서 유리, 플라스틱 기판, 반도체 웨이퍼 위로 마이크로/나노 와이어, 리본, 박막과 같은 특수한 유형의 고체물질을 전사 할 수 있기 때문에 유용한 해결방법이다 [1,2,3]. 이런 접근 유형은 얇은 플라스틱 기판 위에 구부릴 수 있는 소자 배열 및 회로를 설명하기에 매우 성공적이다. 전사 인쇄법에서 무기재료와 기판 사이의 접착력을 향상시키기 위해 목표기판에 광경화성 고분자와 같은 접착층을 코팅하는 것이 필요하다. 그러나 이런 접착층은 완성된 소자의 전기적인 특성에 부정적인 영향을 미치기 때문에 좀 더 흥미 있고 가치 있는 공정으로서 어떤 접착층도 없이 접착력을 제어하기 위해 스탬프의 점탄성적인 특성을 활용하는 것이 있다.

본 연구에서 우리는 폴리아믹 산 및 SU-8 접착층을 사용하여 PDMS 스탬프를 이용한 건식 전사방법에 의해 유리기판 위에 단결정 실리콘 박막트랜지스터를 제작하였다. 그런 다음 접착층 없이 PDMS 스탬프의 점탄성적인 특성을 활용하여 만든 단결정 실리콘 박막트랜지스터와의 전기적인 특성을 비교하여 접착층의 유무가 트랜지스터에 미치는 영향을 고찰하였다.

2. 실험

단결정 실리콘 박막트랜지스터를 제작하기 위하여 우선 Silicon-On-Insulator (SOI) 웨이퍼(p-type : Si (100nm) / SiO₂ (300nm)) 위에 Plasma Enhanced Chemical Vapor Deposition (PECVD)을 이용하여 도핑 마스크로 사용 할 SiO₂를 300nm 증착하였다. 도핑 패턴은 포토리소그래피에 의해 만들어 졌으며, Reactive Ion Etching (RIE)을 통해 SF₆ 가스를 이용하여 도핑할 영역의 SiO₂를 식각하였다. 그 후 인을 사용하여 950°C에서 급속 열처리를 통한 열 확산방법을 통해 실리콘 100nm까지 도핑을 하였다. 도핑과정이 완료된 뒤에는 HF용액에 buried oxide인 SiO₂를 제거하고, PDMS 스탬프를 이용하여 유리기판 위에 건식 전사를 하였다. 접착층이 없는 단결정 실리콘 박막트랜지스터의 경우에는 스탬프의 점탄성적인 특성을 이용하였고, 접착층이 있는 경우에는 접착층 물질로서 폴리아믹 산 및 SU-8을 이용하여 건식 전사를 하였다. Fig. 1은 유리 기판 위에 전사된 실리콘 박막을 보여주고 있다. 이 후 포토리소그래피 및 RIE를 이용하여 실리콘 박막을 isolation시킨 다음 gate dielectric으로 사용 할 SiO₂를 PECVD를 통해 100nm 증착시켰다. 마지막으로 Thermal evaporation를 사용하여 전극으로 사용할 Cr/Au (5nm/80nm)를 증착하여 박막트랜지스터를 완성하였다. 완성된 박막트랜지스터는 컨택 저항을 줄이기 위해 급속 열처리 공정을 이용하여 250°C에서 30분간 열처리를 하였다.

제작된 실리콘 박막트랜지스터의 전기적인 특성을 알아보기 위해 probe station 및 I-V measurement system을 이용하여 hysteresis를 측정하였다.

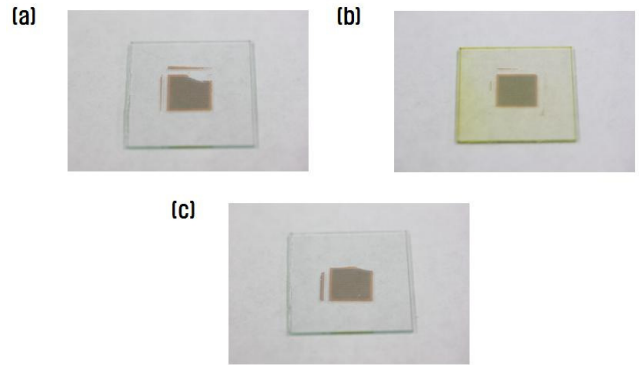


Fig. 1 Photograph of a 100nm silicon membrane printed onto a glass substrate (a) without an adhesion layer (b) with polyamic acid (c) with SU-8

3. 결과 및 고찰

Fig. 2는 동일한 조건에서 제작된 단결정 박막트랜지스터의 접착층의 유무 및 종류에 의한 게이트전압 변화에 따른 드레인 전류의 전달특성을 나타내는 곡선이다. 여기서 제작된 소자의 채널의 길이(L) 및 폭(W)은 각각 25um, 200um이며 걸어준 드레인 전류는 0.1V이다. 접착층없이 전사되어 제작된 트랜지스터의 경우 전자 이동도는 118cm²/Vsec 이며, 폴리아믹 산 및 SU-8을 접착층으로 사용한 트랜지스터의 전자 이동도는 각각 88cm²/Vsec, 105cm²/Vsec 이다. 접착층없이 전사되어 제작된 트랜지스터의 전자 이동도가 가장 크지만 접착층을 사용한 트랜지스터의 전자 이동도와 비교했을 때 큰 차이는 없는 것으로 확인되었다.

Fig. 3은 접착층의 유무 및 종류에 의한 게이트전압 변화에 따른 on/off current ratio 및 히스테리시스 특성을 나타내는 곡선이다. on/off current ratio의 경우 세 조건 모두 >10⁵으로 거의 비슷하게 나타난 것을 확인하였다. 그러나 히스테리시스 특성의 경우 접착층을 사용하지 않은 트랜지스터의 특성이 접착층을 사용한 경우보다 월등하게 좋은 것으로 나타났다. 이것을 통해 접착층이

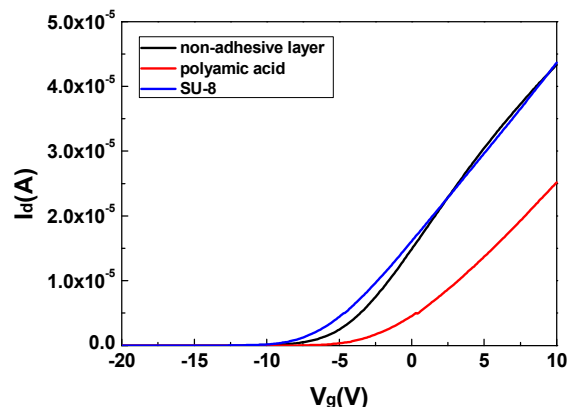


Fig. 2 I-V Transfer characteristics of single-crystal silicon transistor on glass substrate without an adhesive layer and with polyamic acid, SU-8

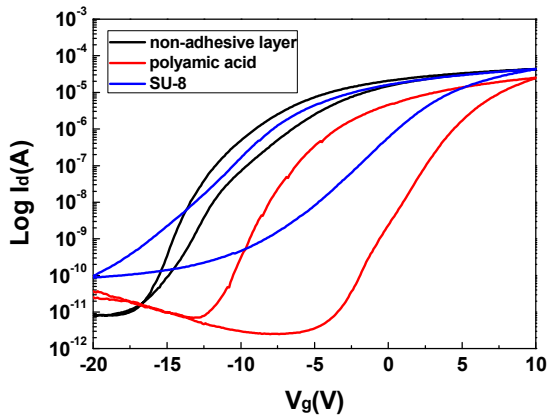


Fig. 3 I-V Hysteresis characteristics of single-crystal silicon transistor on glass substrate without an adhesive layer and with polyamic acid, SU-8

소자의 전기적인 특성에 부정적인 영향을 미친다는 것을 확인할 수 있었다.

감사의 글

본 연구는 지식경제부의 산업원천기술개발사업(No. 10033309)의 연구지원에 의해 이루어졌습니다.

참고문헌

1. J.-H. Ahn, H.-S. Kim, K. J. Lee, S. Jeon, S. J. Kang, Y. Sun, R. G. Nuzzo, J. A. Rogers, "Heterogeneous Three-Dimensional Electronics by Use of Printed Semiconductor Nanomaterials", *Science* vol. 314, pp. 1754-1757, 2006.
2. S.-H. Hur, D.-Y. Khang, C. Kocabas, and J. A. Rogers, "Nanotransfer Printing by use Noncovalent Surface Forces: Application to thin-film transistor that use Single-walled Carbon nanotube Networks and Semiconducting Polymers", *Appl.Phys.Lett.* vol. 85, pp. 5730, 2004.
3. M. A. Meitl, Z.-T. Zhu, V.Kumar, K. J. Lee, X. Feng, Y. Y. Huang, I. Adesida, R. G. Nuzzo, and J. A. Rogers, "Transfer Printing by Kinetic Control of Adhesion to an elastomeric stamp", *Nature Mater.* vol 5, pp. 33, 2006.