

저 효율 시험장비에서 고속동작 낸드 플래시 메모리 제품의 전기적 특성 시험방법 개발에 관한 연구

A High Frequency Electrical Test Setup for NAND Flash In Low Frequency Tester

*박인재¹, #박현호², 김종국³, 김낙문³

*I. J. Park¹, #H. H. Park(hh0713@samsung.com)², J. K. Kim³, R. M. Kim³

¹ 삼성전자가공과대학교(SSIT) 반도체공학과, ² 삼성전자 Memory 사업부

Key words : Low frequency tester, Magnum, High frequency NAND

1. 서론 1-1 연구목적

최근 Market trend의 변화에 따라 High-frequency operation을 요구하는 대용량 NAND Flash 제품의 개발 진행되고 있어 이에 맞는 New Electrical Test 대응이 요구되어 이에 따른 개선방안을 연구하고자 한다. Flash 제품은 Non-volatile Memory의 대표적인 제품이다. 특히 NAND 제품의 경우 대용량 Data storage 목적으로 개발 되고 있다.

NAND 제품의 동작특성을 살펴보면 크게 3 가지 operation으로 구분되며 Threshold voltage(Vth)의 level에 따라 Erase(Vth<0V), Program(Vth>0V) 그리고 해당 Cell의 상태를 확인하는 Read 동작으로 구분된다.

User level의 특성을 Coverage하기 위해 FAB Out 후 수많은 Electrical Test 항목이 있으며 Component 조립 후 양산 출하 전 Back-end process Test 항목은 DC / MBT / POB 공정에서 특성평가 및 신뢰성 확보를 진행하고 있다.

기존 NAND Flash 제품은 50Mhz Tester에서 Electrical test 및 양산 대응이 가능하였으나 차세대 High-frequency 제품인 초고속 NAND(133Mbps)대응을 위해 기존 SDR(Single Data Rate) 보다 Data Rate를 2 배 향상시킨 DDR(Double Data Rate) Option 및 DFT(Design For Test)를 통한 Test Mode 개발이 필요하게 되었다.

1-2 NAND FLASH 동향 및 기술

Fig. 1의 NAND 제품 응용 처 변화에서 알 수 있듯이 SSD(Solid State Disk) 보급의 용이화를 위해서 기술적 진보가 필요하며 특히 공정 미세화 및 MLC 제품 기술개발 그리고 SSD 제품의 특성 향상을 위한 Data 전송 Rate 개선을 위한 NAND FLASH 제품의 고속 읽기 / 쓰기기술 개발이 필요하다.

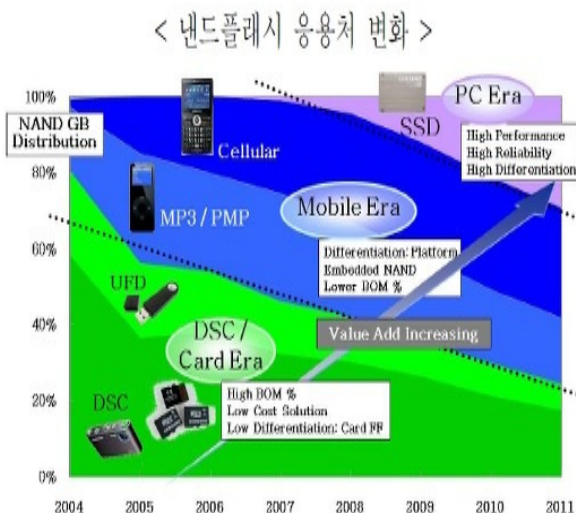


Fig. 1 Changes of NAND FLASH memory application

* MLC(Multi Level Cell) : NAND Flash 셀의 세분화를 통해 비트 밀도를 높이는 기술로 SLC(Single Level Cell)에 비해 30~40% 저렴함.

* 기술진보 :

- ① 미세화(40nm→30nm→20nm)
- ② SLC, 2bitMLC, 3bitMLC..
- ③ SDR→DDR(Data 전송 Rate) 진화
- ④ PRAM 등 신 메모리기술

2. Hardware 구성 및 평가 2-1 Hardware 구성

Backend process 내 Post-burn Test를 진행하는 주력 설비는 Nextest社의 Magnum 설비이다.

Magnum 설비의 최대 Data rate은 50Mhz이며 Data rate 기준 현재까지 기존 SDR NAND의 Test 대응에는 문제가 없었다. 그러나 고속동작을 요구하는 초고속 NAND 제품(133Mbps)의 개발출시로 기존 설비 사양 및 Test 방법으로는 대응이 불가능한 문제가 발생되었다. 이런 문제로 인해 High frequency tester를 신규 투자해야 하는 상황에 직면하게 되었다. Backend 원가 경쟁력 확보를 위해 신규 Infra의 투자 없이 기존 Low frequency 설비로 Test 대응 방법을 확인 하던 중 DDR(Double Data Rate)기능의 사용을 확인하게 되었다.

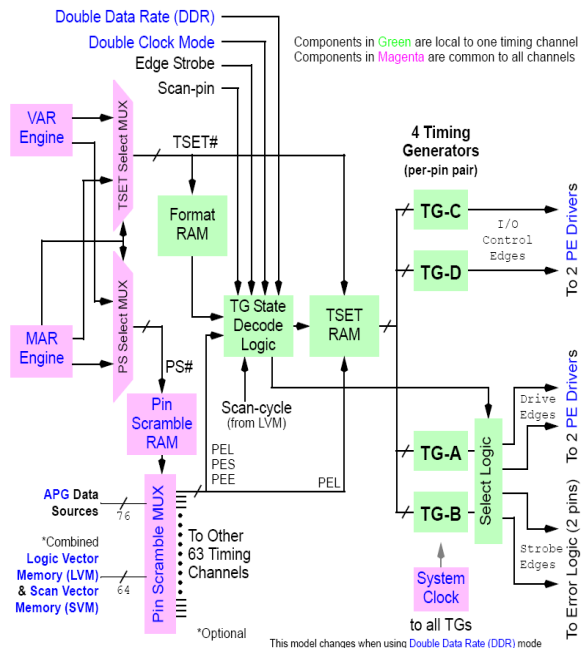


Fig. 2 Hardware architecture of Magnum tester (Nextest Corp.)

Fig. 2는 Magnum 설비의 Hardware architecture를 나타낸 것이다. 기존 Timing generator는 SDR 방식으로 Rate / CLK / Strobe 등을 발생하여 System의 AC cycle test에 사용하여 왔다. 이러한 방식을 Double Data format으로 구현함으로써 인해

기존 50MHz 에서 Double CLK 인 100Mbps 가 가능하다. Timing generator 에서 발생하는 format 을 Double CLK format 으로 발생하여 Enable 신호를 SDR 대비 2 번 Latch 하게 되어 System rate 인 50MHz 내에서 data 효율을 2 배 향상한 100Mbps 를 달성할 수 있게 된다.

2-2 Program 구현

앞서 언급된 H/W 제약사항의 문제를 극복하기 위하여 기존 DDR option 외 추가적인 방법이 필요하게 되었다. 이를 위해 개발된 방법이 Hardware Pin mux mode 이다. DDR option 처리된 CLK 을 2 분기 하는 방법으로 해당 Hardware option 개발을 통해 Drive / IO CLK Rate 제약을 극복할 수 있었다. 궁극적으로 개발 target Rate 인 DDR 133Mbps 제품의 Electrical test 가 가능하도록 구현 하였다.

```

/* DUT Pin      Tester          */
/* Name         Function        */
SCRAMBLE2( RE , t_cs3 , t_drive_high )
SCRAMBLE2( RE_E, t_cs3 , t_drive_high )
SCRAMBLE2( WE , t_cs1 , t_drive_high )
SCRAMBLE2( DQS , t_cs8 , t_drive_low )
SCRAMBLE2( DQS_E, t_cs8 , t_drive_low )
SCRAMBLE2( D0 , t_d0 , t_d8 )
SCRAMBLE2( D1 , t_d1 , t_d9 )
SCRAMBLE2( D2 , t_d2 , t_d10 )
SCRAMBLE2( D3 , t_d3 , t_d11 )
SCRAMBLE2( D4 , t_d4 , t_d12 )
SCRAMBLE2( D5 , t_d5 , t_d13 )
SCRAMBLE2( D6 , t_d6 , t_d14 )
SCRAMBLE2( D7 , t_d7 , t_d15 )
SCRAMBLE2( D0_E , t_d16 , t_d24 )
SCRAMBLE2( D1_E , t_d17 , t_d25 )
SCRAMBLE2( D2_E , t_d18 , t_d26 )
SCRAMBLE2( D3_E , t_d19 , t_d27 )
SCRAMBLE2( D4_E , t_d20 , t_d28 )
SCRAMBLE2( D5_E , t_d21 , t_d29 )
SCRAMBLE2( D6_E , t_d22 , t_d30 )
SCRAMBLE2( D7_E , t_d23 , t_d31 )
    
```

Fig. 3 DDR condition changed pin scramble PGM (Test Program)

Fig. 3 은 Pin MUX mode 를 적용하기 위해 실제 pin scramble pgm 을 구현한 것이다. 하나의 CLK Pin 을 Even(_E) / Odd enable pin 으로 구분하여 DDR A-cycle / DDR B-cycle 로 동작을 구분하였다. pin scramble pgm 에 의해 control 된 CLK 은 해당 cycle 에서 valid data 를 latch 하도록 구분되고 이는 timing & pattern generator 에 의해 서로 다른 Data 를 처리 및 판정 하도록 control 된다. 이로써 해당 System cycle 내 2 분기된 CLK control 이 가능하게 되어 System 효율이 향상되었다.

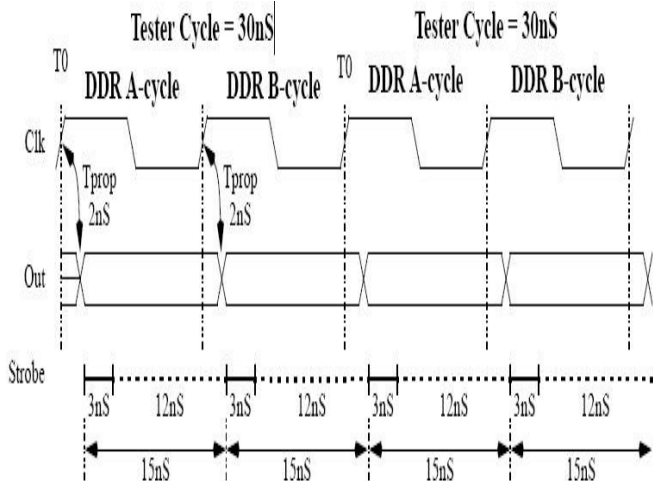


Fig. 4 Timing diagram of DDR & MUX mode (Nextest Corp.)

Fig. 4 은 Pin mux mode 의 Cycle Rata 구현 방식을 나타낸 Timing diagram 이다. System Data rate 의 제약이 DDR option 으로 2 배 향상되어 100Mbps 대응이 가능하게 되고 추가적으로 Pin MUX mode 를 통해 최종 개발 target 인 133Mbps 를 대응할 수 있도록 구현 하였다.

4. 결론

이를 바탕으로 신규 평가물량의 Mass product 평가를 통해 신제품 조기양산 기초 신뢰성 결과를 여러 항목에 걸쳐 확보 하였다. 금번 초고속 NAND 제품은 NAND 제품으로는 최초로 DDR option 이 적용되었으며 추가적으로 Pin mux mode 라는 신규 Hardware option 으로 Test 된 제품이다. Fig. 5 의 Test 결과 Data 는 신제품의 양산 진행에 앞서 제품의 양산 Qualify 를 결정하는데 기준이 되는 품질 지표이다. 하기 신뢰성 결과를 바탕으로 reference 제품인 SDR NAND 제품과 비교하여 Test coverage 를 만족하는 수준으로 제품 품질에 문제가 없음을 알 수 있었다.

| Item | Condition | Time_1 | Time_2 | Time_3 |
|----------|-----------|--------|--------|--------|
| ILT/HTOL | Temp_1 | Pass | Pass | Pass |
| IR+HTS | Temp_2 | Pass | Pass | Pass |
| IR+HTDR | Temp_3 | Pass | Pass | Pass |
| Pre QV | Temp_4 | | Pass | |
| Mass QV | Temp_5 | | Pass | |
| ESD/L-up | Temp_6 | | Pass | |

Fig. 5 Reliability evaluation results table

후기

이번 발표 논문은 NAND FLASH 제품의 응용 처 변화에 따른 초고속 읽기·쓰기기술 개발이 적용된 초고속 NAND 제품의 Electrical test method 를 개발하는데 목적이 있다. 신제품의 조기 Ramp-up 달성을 위해 Hardware option 개발 및 평가를 통한 Test 방안을 연구함으로써 인체 Backend test coverage 를 확보할 수 있었다. 추가적으로 초고속 NAND 의 Backend process 선행 기술력 확보를 통해 향후 Cell 공정 미세화(30nm → 20nm → ...) 에 따른 Back-end test 공정의 대응기술을 선행 확보할 수 있었다.

참고문헌

[1] Hyunggon Kim, et al., "A 159mm2 32nm 32Gb MLC NAND-Flash Memory with 200MB/s Asynchronous DDR Interface", ISSCC Dig. Tech. Papers, pp. 442-443, Feb., 2010.
 [2] D. Nobunaga, et al., "A 50nm 8Gb NAND Flash Memory with 100MB/s Program Throughput and 200MB/s DDR Interface", ISSCC Dig. Tech. Papers, pp. 426-427, Feb., 2008.
 [3] Ko dae-sik et al., "A Design of DDR-1 Solid State Drive using PCI-e Interfacel", Ext. Abst. Of APCC, pp. 889-891, Oct. 2009.
 [4] T. Cho et al., "A dual-mode NAND flash memory: 1-Gb multilevel and highperformance512Mb single-level modes", IEEE J. Solid-State Circuits, vol. 36, no. 11, pp. 1700-1706, Nov. 2001.
 [5] K.-T. Park et al., "A Zeroing Cell-to-Cell Interference Page Architecture With Temporary LSB Storing and Parallel MSB Program Scheme for MLC NAND Flash Memories", IEEE J. Solid-State Circuits, vol. 43, no. 4, pp. 919-928, Nov. 2008.