

3차원 순차적 NOR 게이트의 전기적 상호작용

안태준^{1,2} · 김영백² · 유운섭¹

¹한경대학교 전기전자제어공학과 · ²한국생산기술연구원

Electrical Coupling of 3D Monolithic NOR Gate

Tae Jun Ahn^{1,2} · Young Baek Kim² · Yun Seop Yu¹

¹Department of Electrical, Electronic and Control Engineering, Hankyong National University

²Group for Nano-Photonics Convergence Technology, Korea Institute of Industrial Technology

E-mail : jigo1235@hknu.ac.kr

요 약

이 논문은 3차원 순차적 NOR 게이트 구조에 존재하는 전기적인 상호작용을 TCAD 시뮬레이션을 이용해 조사하였다. 3차원 순차적 NOR 게이트의 전기적 상호작용은 하층 및 대각선에 위치한 소자에 의해 발생할 수 있다. 대각선에 위치한 소자의 PgateB에 전압의 유무에 관계없이 상층 NMOSFET의 드레인 전류가 동일하게 나타났고, 대각선 방향으로의 전기적인 상호작용은 소자 특성에 영향을 주지 않는 것을 확인하였다.

ABSTRACT

We have investigated the electrical coupling in a 3D monolithic NOR gate structure using TCAD simulation. The electrical coupling of 3D monolithic NOR gate can be caused by the transistor located in the upper/lower or diagonal transistors. The drain current of the upper layer NMOSFET is the same when the voltage of PgateB is 0 V and 1 V. It has been confirmed that the electrical coupling in the diagonal direction does not affect the device characteristics.

키워드

3차원 NOR 게이트, monolithic 3D, 3차원 논리소자, TCAD, 전기적 상호작용

1. 서 론

반도체 집적회로는 무어의 법칙(Moore's Law)에 따라 지속적인 스케일 다운을 통해 성능을 높여왔다. 하지만 수 나노미터 급의 공정이 요구되면서 물리적인 한계로 인해 더 이상 스케일 다운을 통한 성능 향상은 물리적, 기술적인 면에서 매우 힘들어졌다. 이와 같은 문제를 해결하기 위해 최근 3차원 순차적 집적 회로(Monolithic 3D Integrated Circuit, M3DIC)에 대한 연구가 활발하게 이루어지고 있다. 3차원 순차적 집적은 두 개의 웨이퍼를 각각 제조하고 via를 통해 연결하는 기존의 TSV(Through Silicon Via) 방식과는 다르게 하나의 웨이퍼에 여러 층의 소자들을 제조하는 3차원 공정 기술이다. 3차원 순차적 집적의 층 간 산화막(Inter Layer Dielectric, ILD)의 두께는 나노미터 단위로 TSV 방식에 비해서 적게는 수십 많게는 수백

배까지 차이가 나기 때문에 집적도 및 배선으로 인한 전달 지연 부분에서 많은 이점을 가진다. ILD의 두께가 매우 작기 때문에 상호 인접한 층에서는 하층 게이트에 의한 전기적인 상호작용이 발생한다[1]. 회로설계 시에 층 간 산화막 길이에 따른 전기적 상호작용을 고려해야 하기 때문에 기존의 연구는 가장 기본적인 인버터 구조에 대한 전기적 상호작용을 조사하고 회로 시뮬레이션을 위한 모델을 제안하고 파라미터를 추출하였다[2]. 여러 가지 회로의 설계 및 회로 시뮬레이션을 위해 추가적으로 NAND와 NOR와 같은 논리 게이트의 전기적인 상호작용에 대한 조사가 필요하다.

본 논문에서는 4개의 트랜지스터로 이루어진 NOR 게이트 구조에 대하여 TCAD 시뮬레이션을 이용해 인접한 트랜지스터에 의한 전기적인 상호작용을 조사하였다.

II. 본 론

2.1 3차원 순차적 NOR 게이트

시뮬레이션에 사용된 3차원 순차적 NOR 게이트는 그림 1과 같이 각각 상층에 NMOSFET 2개와 하층에 PMOSFET 2개, 총 4개의 트랜지스터로 이루어져 있다. 상층과 하층은 금속 배선을 통해 연결되어 있으며 ILD의 두께는 10 nm 이고, 게이트의 길이는 30 nm이다. 게이트 산화막은 SiO₂이고 두께는 1 nm이다. MOSFET의 도핑은 N_d , N_{ch} , N_s 가 10^{21} cm^{-3} , 10^{15} cm^{-3} , 10^{21} cm^{-3} 이다.

시뮬레이션은 Silvaco사의 ATLAS를 이용하였고 이동도 모델은 CVT, 재결합 모델은 Auger와 SRH 모델을 사용하였다. 캐리어 특성 모델은 Fermi 모델을 사용하였고, 온도는 300k이다[3].

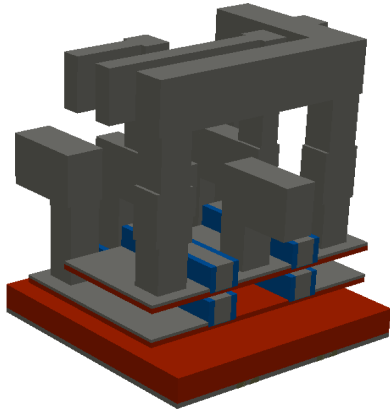


그림1. 3차원 순차적 NOR 게이트의 구조

2.2 전기적 상호작용 및 시뮬레이션

그림 2는 3차원 순차적 NOR 게이트의 전기적 상호작용의 영향을 나타낸 것이다. 기존의 3D 순차적 인버터 2개를 연결해 놓은 구조로 상하층에 의한 전기적인 상호작용 및 추가적으로 대각선에 위치한 트랜지스터에 의한 전기적인 상호작용도 존재 할 수 있다. TCAD 시뮬레이션을 이용하여 대각선으로 발생하는 전기적인 상호작용에 대하여 조사하였다.

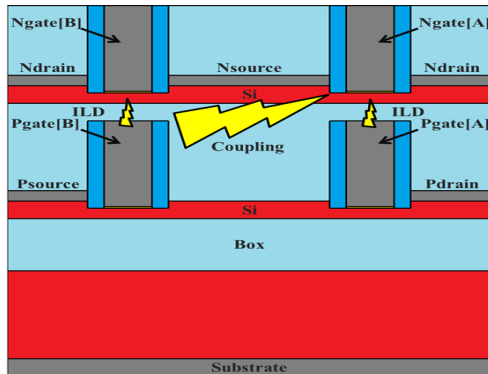


그림2. NOR 게이트의 전기적인 상호작용

그림 3은 TCAD 시뮬레이션을 통해 얻은 3차원 순차적 NOR 게이트의 상층 NMOSFET 전류-전압 특성이다. 기호와 실선은 각각 대각선에 위치한 PgateB의 전압이 0V와 1V인 경우의 전류-전압 특성이다. 대각선에 위치한 PgateB 전압의 유무로 전기적인 상호작용의 존재를 확인하였다. PgateB 전압에 관계없이 드레인 전류가 같은 것을 확인할 수 있다.

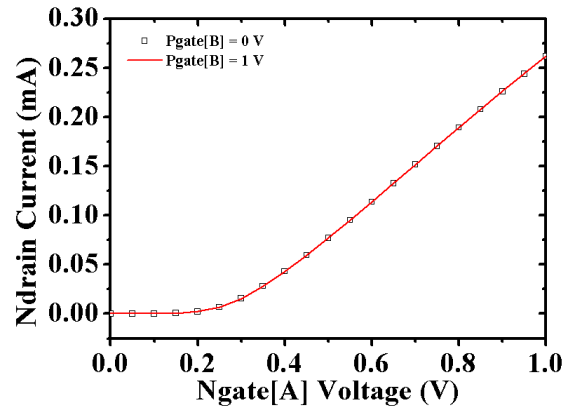


그림3. 3차원 순차적 NOR 게이트의 Pgate[B] 전압(0V,1V)에 따른 NMOSFET의 전류-전압 특성

III. 결 론

본 연구에서는 3차원 순차적 NOR 게이트에 존재하는 전기적 상호작용을 알아보기 위해 TCAD 시뮬레이션을 이용하여 조사하였다. 기존 3D 순차적 인버터를 2개 연결한 구조로 상하층의 인접한 소자에 의한 전기적인 상호작용 및 추가적으로 대각선에 위치한 소자에 의한 전기적인 상호작용이 존재하는지 확인할 필요가 있었다. PgateB의 전압을 다르게 주어 상층 NMOSFET의 드레인 전류를 확인한 결과 동일하게 나타났다. 따라서, 대각선에 위치한 소자는 전기적인 상호작용을 일으키지 않는 것을 확인하였다.

Acknowledgement

This research was supported by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (NRF-2016R1D1A1B03932711).

References

- [1] M. Vinet, *et al*, "3D monolithic integration:

- Technological challenges and electrical results",
Microelectronic Engineering, vol. 88, no. 4,
pp. 331-335, 2011.
- [2] T. J. ahn, et al., "Parameter Extraction and
Power/Performance Analysis of Monolithic 3D
Inverter (M3INV)" *IEEE Trans. Electron
Devices*, vol. 66, no. 2, pp. 1006-1011, 2019.
- [3] SILVACO, int. "ATLAS Users Manual",
Santa Clara, CA, 2014.