

프로그래밍 가능한 유한 임펄스 응답 필터 설계

천재일¹ · 최예지¹ · 길근필¹ · 성명우¹ · 김신곤¹ · Murod Kurbanov¹ · Delwar Tahesin Samira¹ · Abrar Siddique¹ · 류지열¹ · 노석호² · 윤민¹

¹부경대학교 · ²안동대학교

Design of Programmable Finite Impulse Response Filter

Jae-Il Chun¹ · Ye-Ji Choi¹ · Myeong-U Sung¹ · Keun-Pil Kil¹ · Shin-Gon Kim ·

Murod Kurbanov¹ · Delwar Tahesin Samira¹ · Abrar Siddique¹ ·

Jee-Youl Ryu¹ · Seok-Ho Noh² · Min Yoon¹

¹Pukyong National University · ²Andong National University

E-mail: ryujy@pknu.ac.kr

요 약

본 논문은 신호에 포함되어 있는 다양한 잡음을 효과적으로 제거할 수 있는 프로그래밍 가능한 디지털 유한 임펄스 응답 필터를 제안한다. 이러한 필터는 복잡도 등을 고려하여 3차 회로로 설계되어 있다. Altera사의 FPGA(Field Programmable Gate Array)인 cyclone II EP2C70F89618를 이용하여 설계하였다. 신호에 포함된 미세하고 다양한 잡음을 제거하기 위한 알고리즘을 개발하였다. 이를 바탕으로 필터 적용 후 출력 영상은 적용 전의 출력 영상에 비해 다양한 잡음에 대해 우수한 출력 영상을 확인하였다.

키워드

프로그래밍 가능, 디지털 유한 임펄스 응답 필터, FPGA, 잡음 제거

I. 서 론

최근 컴퓨터 및 통신시스템 분야의 발전으로 인해 기초가 되는 디지털 신호의 처리기술이 꾸준히 중요한 요소로 대두되고 있다. 디지털 신호처리 기술을 이용함으로써 회로의 크기를 줄이거나 동작의 신뢰성을 보장하고 안정성, 고정밀도, 완전한 선형위상, 잡음 제거 등을 실현할 수 있다. 따라서 IIR/FIR 디지털 필터와 FPGA를 이용한 다양한 장치의 개발과 연구가 여러 분야에서 활발하게 진행되고 있다[1-6]. 디지털 필터는 아날로그 필터에 비해 주위 시간 및 온도 변화에 따른 영향이 적기 때문에 부품 간 임피던스 정합문제 등을 고려할 필요가 없고 안정도가 높으면서 외적 잡음에도 강하다[1-3].

본 연구에서는 신호에 포함되어 있는 다양한 잡음을 효과적으로 제거하기 위한 프로그래밍 가능한 디지털 FIR 필터 및 잡음제거 알고리즘을 제안한다. 데이터 신호에 포함된 잡음 제거 알고리즘을 바탕으로 한 영상 신호 제거 결과를 분석한다.

II. 본 론

기존 알고리즘을 적용한 디지털 필터는 고정된 차단주파수를 가지기 때문에 다양한 주파수 특성을 지닌 누설 잡음에 대해 특정 주파수의 잡음만을 제거할 수 있는 반면 본 연구에서 제안하는 알고리즘은 프로그래밍 가능 즉, 입력 누설 잡음이 가진 다양한 주파수 성분을 파악하여 자동으로 불필요한 주파수 성분을 차단하고 신호 성분만 통과시키는 특성을 지닌다. 반사파 도달 전압(위상)에 포함된 다양한 주파수 영역의 잡음, 즉 고주파 잡음에서 저주파 잡음까지를 효율적으로 제거하기 위해 새로운 구조의 프로그래밍 가능한 디지털 유한 임펄스 응답(FIR) 필터를 제안한다. FIR 필터식은 식 (1)~(3)과 같이 표현이 가능하다.

$$y[n]=b_0x[n]+b_1x[n-1]+\dots+b_Nx[n-N] \quad (1)$$

$$f_s=kf_c \quad (2)$$

$$f_0=(k/n)f_c \quad (3)$$

여기서, $x[n]$ 은 입력신호, $y[n]$ 은 출력신호, $b_0 \sim b_N$ 은 필터 계수, f_s 는 입력신호의 샘플링 율(rate), k 는 샘플링 수, f_c 는 필터의 차단주파수, f_0 는 출력신호의

주파수, N 은 필터 차수를 각각 나타낸다.

그림 1은 본 연구에서 제안하는 프로그램 가능한 디지털 FIR 필터의 신호 흐름도를 나타낸 것이다. 고주파 누설 또는 충격 잡음에서 저주파 잡음까지를 효율적으로 제거하기 위해 잡음 제거는 다음과 같이 3단계로 구성되어 있다. 1단계에서는 2차 FIR 필터로 동작(스위치 S_1 및 S_2 개방)한다. 식 (3)에서 $k=20$ 으로 설정하고, $n=2$ 이므로 출력신호 주파수의 10배가 되는 고주파 잡음($f_o=10f_c$)을 제거할 수 있다. 또한 2단계에서는 3차 FIR 필터로 동작(스위치 S_1 도통 및 S_2 개방)하며, $k=15$ 로 설정하고, $n=3$ 이므로 출력신호 주파수의 5배가 되는 고주파 잡음($f_o=5f_c$) 제거가 가능하다. 3단계에서는 4차 FIR 필터로 동작(스위치 S_1 및 S_2 도통)한다. $k=5$ 로 설정하고, $n=4$ 이므로 출력신호 주파수의 1.25배가 되는 고주파 잡음($f_o=1.25f_c$)을 제거할 수 있다.

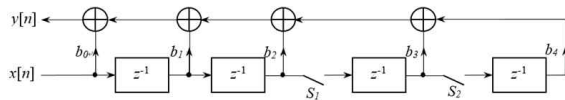


그림 1. 프로그램 가능한 디지털 FIR 필터 신호 흐름도

III. 측정 결과

그림 2는 잡음제거 알고리즘 및 디지털 FIR 필터에 대한 주파수 응답을 나타낸 것이다. 기존 알고리즘을 적용한 필터는 고정된 차단주파수를 가지기 때문에 다양한 주파수 특성을 지닌 누설 잡음에 대해 특정 주파수의 잡음만을 제거할 수 있는 반면 제안 알고리즘은 프로그램 가능 즉, 입력 누설 잡음이 가진 다양한 주파수 성분을 파악하여 자동으로 불필요한 주파수 성분을 차단하고 신호 성분만 통과시키는 특성을 지닌다.

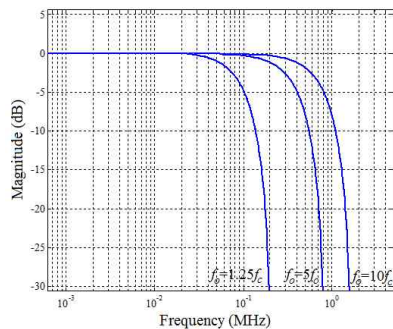
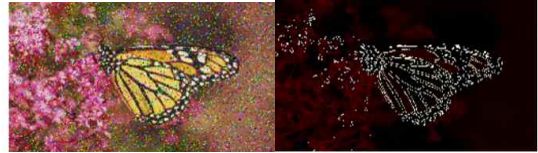


그림 2. 디지털 유한 임펄스 응답 필터의 주파수 응답

그림 3은 본 연구에서 제안하는 알고리즘을 이용하여 salt 및 pepper 잡음에 대한 모서리 검출

력 영상을 나타낸 것이다. 원 영상에 포함된 다양한 잡음에 의해 손상된 디지털신호를 정상적으로 복원하였다.



(a) 잡음을 가진 영상 (b) 모서리검출

그림 3. 잡음에 대한 모서리 검출 출력 영상

IV. 결론

본 논문은 우수한 잡음 제거 능력을 가진 프로그램 가능한 FIR 필터 및 알고리즘을 제안하였다. Intel 사의 FPGA cyclone II EP2C70F89618를 이용하여 구현하였다. 구현한 장치를 활용하여 신호에 포함된 잡음을 제거하는 FIR 필터를 제작하였고, 이를 통해 손상된 디지털신호를 정상적으로 복원하였다.

향후 연구에는 디지털 필터의 성능을 향상시켜 다양한 잡음을 가진 영상에 적용할 계획이다.

Acknowledgement

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (2018R1D1A1B07043286).

References

- [1] P. Chandrasekar, K.-P. Kil, M.-U. Sung, S.-G. Kim, M. Kurbanov, A. Siddique, J.-Y. Ryu, S.-H. Noh, M. Yoon, and D.-H. Ha, "Realization of Programmable Digital Filter for Noise Cancellation," Proceedings of Conference on Information and Communication Engineering, Vol. 22, No. 1, pp. 437-438, June 2018.
- [2] P. Chandrasekar, M.-U. Seong, M. Kurbanov, A. Siddique, S.-G. Kim, G.-H. Choi, S.-J. Heo, J.-W. Woo, K.-P. Kil, S.-H. Noh, M. Yoon, and J.-Y. Ryu, "특성 기반 캐스캐이드 클래시피어를 이용한 실시간 영상 면 검출," 2017 대한 임베디드공학회 ICT 대학생 논문 경진 대회논문집, Vol. 2, No. 1, pp. 65-66, June 2017.
- [3] P. Chandrasekar and J.-Y. Ryu, "Design of Low-Noise Programmable Digital FIR/IIR

- Filter,” International Journal of Applied Engineering Research , Vol. 11, No. 15, pp. 8467-8470, August 2016.
- [4] P. Chandrasekar, M.-U Sung, G.-H. Choi, H. Rastegar, S.-G. Kim, M. Kurbanov, S.-K. Choi, K.-P. Kil, J.-Y. Ryu, S.-H. Noh, and M. Yoon, “FPGA Implementation of Programmable Digital FIR/IIR Filter,” 2016 International Conference on FICE, Vol. 8, No. 1, pp. 101-104, June 2016.
- [5] T. M. Khan, D. G. Bailey, M. A. U. Khan, and Y. Kong, “Real-time edge detection and range finding using FPGAs”, Optik, Vol. 126, pp. 1545-1550, 2015.
- [6] R. Verma and R. Mehra, “Area Efficient FPGA Implementation of Sobel Edge Detector for Image Processing Applications”, International Journal of Computer Applications, Vol. 56, No. 16, pp. 7-11, October 2012.