

GaAs DIC 기술동향

김동구* 박형무**

〈요약〉

본 고에서는 GaAs DIC (Digital Integrated Circuits)의 최근 연구경향을 공정기술을 중심으로 소개한다. GaAs DIC의 역사, 공정, 설계, 집적도에 대하여 살펴봄으로써 초고속 GaAs DIC 개발의 향후 방향을 모색하고자 한다. 본 고는 1987년 SPIE지에 게재된 일본 NTT연구소의 Hirayama와 Ikegami의 논문 내용을 중심으로 편역한 것이다.

I. 서론

반절연기판을 이용한 GaAs LSI(Large Scale Integration)은 낮은 소비전력, 높은 내방사선성, 초고속 특성을 지닌 회로이다. GaAs 고속 디지털 회로는 HP사에서 1974년 처음으로 시도되었고 1977년 recess gate FET와 epitaxial 기판을 사용하여 4Gb/s 속도로 동작하는 데 성공하였다. 이러한 기술은 화학 etching에 의해 행해졌으므로 낮은 신뢰성을 보였다.

1980년 Rockwell International사에서 처음으로 LSI를 제작하였다. Planar FET을 사용하여 1K gate급 8×8 bit multiplier를 제작한 것이다. 이

목 차

- I. 서론
- II. 본론
 - 1. Self-Aligned FET
 - 2. BP-MESFET
 - 3. 신뢰성
 - 4. MESFET를 이용한 LSI
 - 5. Barrier Height가 높은 FET
 - 6. GaAs LSI의 첨단기술
 - 7. FET의 g_m Simulation 결과
- III. 결론

* 화합물집적회로연구실

** 화합물집적회로연구실 실장

때 planar FET 제작을 위해 반절연 GaAs 기판에 이온주입법을 처음 사용하였다. 약 1.5V나 되는 논리진폭을 가지고 회로동작여유(margin)를 맞추기 위해 SDFL(Schottky Diode FET Logic)을 가지고 설계하였다.

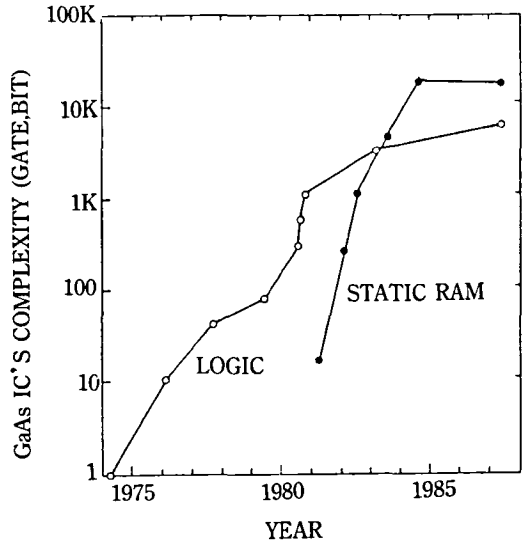
그 후 NTT에 의해 직렬저항을 감소시킨 SAINT (Self-Aligned Implantation for n+-layer Technology)와 DCFL(Direct Coupled FET Logic)을 이용하여 1Kb SRAM (Static Random Access Memory)을 실현시켰다. SAINT로 제작된 1 μ m gate FET는 100에서 120 mS/mm 정도의 높은 g_m (trans conductance)을 가졌으며 이때 1kb SRAM의 address access time은 1.5ns 였다. 이처럼 높은 g_m 은 필요한 동작여유를 맞출수 있었으며 0.5V의 논리 진폭을 갖는 DCFL회로를 1kb SRAM 설계에 적용할 수 있었다.

In doped LEC (Liquid Encapsulated Czochralski) GaAs 기판은 결함이 없거나 300cm²정도의 매우 낮은 EPD(Etch Pit Density)을 갖는다. 따라서 FET 임계 전압(V_{th})은 매우 균일한 분포를 갖는다. 향상된 Stepper와 RIE(reactive ion-etcher)의 출현은 FET의 크기와 배선폭과 간격을 줄였다. 1983년 NTT에서는 In doped 기판과 미세 photolithography 공정을 사용하여 최고집적도 LSI인 16Kb SRAM과 완전히 동작하는 4Kb SRAM을 개발하였다. SRAM개발에 사용한 기술을 이온주입과 건식식각법과 함께 <그림 1>에 나타내었다.

	YEAR					
	'82	'83	'84	'85	'86	'87
LSI DEVICE	1Kb RAM 4Kb RAM 16Kb RAM4/16ch TSW 8bALU etc SAINT FET(Lg=1 μ m) BP-SAINT FET(Lg=0.5 μ m)					
ION IMPLTN	60/67KeV		30KeV			
ALIGNER	CONTACT			STEPPER		
ETCHER	PLASMA ETCHER		REACTIVE ION ETCHER			
WAFER	LEC(2 ϕ)		DF-LEC(2 ϕ)		DF-LEC(3 ϕ)	

<그림 1> NTT연구소의 GaAs LSI기술 발전경향

16Kb SRAM과 16 \times 16 bit multiplier을 제작한 이후 GaAs LSI의 gate수는 <그림 2>에서 보는 바와 같이 포화되었다.

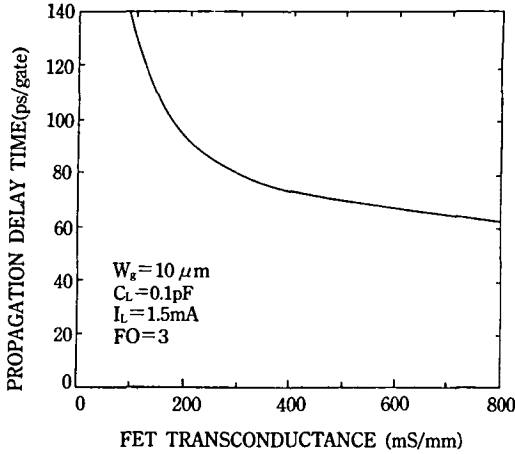


<그림 2> 년도별로 본 GaAs IC의 gate수 증가

이 포화의 원인으로서는 DCFL회로의 동작여유를 유지하는 일, 균일한 FET의 평균 임계 전압유지, 기대하는 초고속 동작획득에 어려움을 들 수 있다. 많은 회로 설계자들은 이러한 어려움을 극복하기 위해서 SDFL, LPFL(Low Pitch-off FET Logic), CDFL (Capacitor Dioded FET Logic)과 같은 새로운 switching gate를 고안하여 왔다. 그러나 이러한 회로는 2개의 임계전압을 사용해야 하는 점, FET의 낮은 g_m 때문에 만족스럽지 못했다. 이러한 문제를 해결하는 방법으로 NTT에서 LSCFL(Low Power Source Coupled FET Logic)회로와 1/2 μ m gate 길이의 SAINT FET을 제시하였다. LSCFL의 특징을 살펴보면 gate에서 또 다른 gate에로의 신호전달이 두 상(true와 complement)이며 한 개의 임계전압을 가지고 있다.

g_m 에 따른 gate당 지연시간의 변화는 부하

capacitance 0.1 pF와 부하전류 1.5mA 인 조건 하에서(약 1K gate 급 LSI) <그림 3>과 같다.



<그림3> GaAs LSI에서 계산된 전달지연시간

동작속도는 g_m 이 350 mS/mm에서 포화된다. 전달지연시간의 포화되는 정도는 배선의 capacitance에 충전되는 시간에 의해 결정된다. 높은 충전전류는 지연시간을 줄이기 위한 소비전력을 증가시킨다. LSI 설계에 시간과 소비전력은 utility를 최대로 하는 g_m 이 200 mS/mm와 300mS/mm를 갖는 FET의 지연시간은 각각 100, 80 ps. 기대된다.

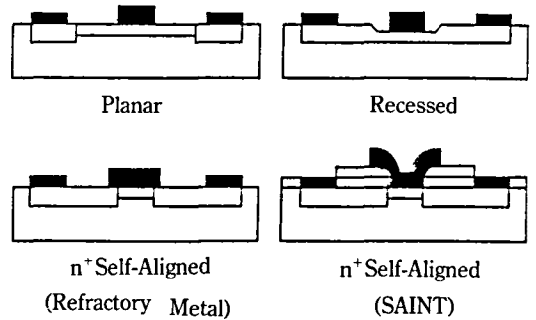
200mS/mm보다 큰 g_m 은 1 μ m gate MESFET으로는 얻을 수 없다. 그러나 hetero junction FET로는 가능하다. 따라서 가장 보장받는 방법은 gate길이를 줄이는 일이다. 본 논문에서는 이러한 특성을 갖는 self-aligned MESFET구조, 높은 균일성을 가지면서 높은 g_m 을 갖는 FET구조, 1/2 μ m gate MESFET을 이용한 LSI설계, 내방사선성에 대해 보고하고자 한다 또한 앞으로의 반도체 기술 전망에 대해 barrier height가 큰 재료를 이용한 FET제작, RTA(Rapid Thermal Annealing)를 측정 data와 함께 서술하고자 한다.

II. 본 론

1. Self-aligned FET

가. SAINT

SAINT은 GaAs MESFET에서 핵심되는 기술이다. GaAs 반도체는 표면에 이상적인 passivation막을 형성하지 못하는 단점이 있다. <그림 4>는 MESFET의 기본적인 구조를 보여준다. 이중 planar MESFET은 surface potential의 변동때문에 직렬저항이 커져 낮은 g_m 을 가지며 직렬저항의 재현성이 매우 나쁘다. 이 문제는 recess FET을 사용함으로써 drain/source에서의 활성층두께를 증가시켜 직렬저항을 줄일 수 있다.



<그림4> GaAs LSI에 이용되는 여러가지 MESFET구조

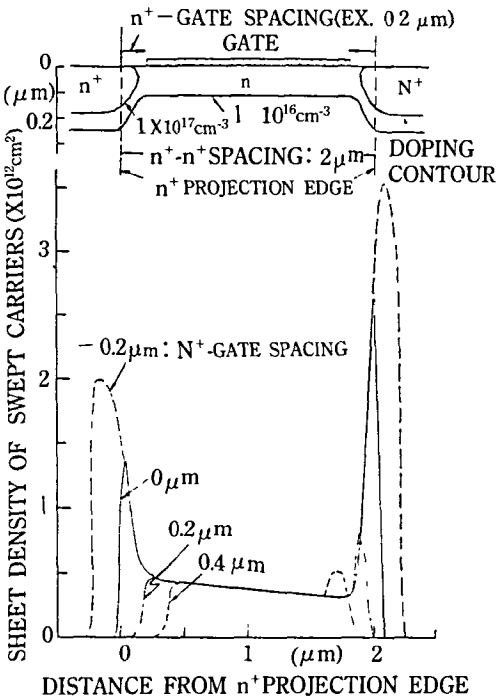
실질적으로는 n^+ self-aligned 기술이 이 문제를 해결한다. 또한 depletion 층이 n^+ 층으로 확대되는 것을 막아 FET의 직렬저항을 줄인다. 이 기술의 두가지 제안된 방법은 내열성 금속을 mask로 하는 공정과 다층 resist을 mask로 하는 공정이다. 내열성 금속은 주로 W를 사용한다. 부가적으로 Si 또는 Al도 쓰인다. 열적안정성을 위해 N_2 분위기에서 reactive sputtering을 행한다.

보통 WSi, WAl, WN을 사용한다. 이 물질들은

Si LSI의 배선재료로 사용되던 것이다. 2개의 n⁺ self-aligned 구조의 근본적인 차이는 공정 순서와 과잉 gate capacitance이다. 내열성 금속을 사용할 경우 다층 resist를 사용하는 경우보다 공정이 간소화된다. 내열성 금속을 사용하여 이온주입할 때 이온주입된 ion을 gate아래 영역에 recoil되어 과잉 gate capacitance를 유도, 결과적으로 고속동작을 방해한다.

나. 과잉 운반자 Simulation

과잉 gate capacitance를 gate와 source/drain 간의 간격과 관련해서 분석하였다. <그림 5>는 그 결과를 보여 주고 있다. 수직축은 on/off 상태 천이에서 gate channel 층으로 부터 n⁺ 층으로 이동된 운반자의 sheet density를 나타낸다. n⁺층형성을 위한 Si 이온 주입 에너지는



<그림5> Self-aligned GaAs MESFET 에서 n⁺ 층으로 이동된 운반자와 Sheet density

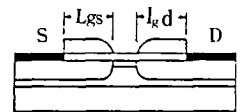
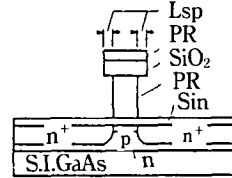
60KeV이고 1500A 두께의 SiN을 통한 n⁺층 형성을 위한 이온 주입 에너지는 200KeV이다. n⁺층의 측면 확산의 표준편차는 complementary error 함수인 것으로 가정하였다. 계산편리상 열적 확산은 고려하지 않았다. 0.2 μ m 간격일때와 비교해서 간격이 0 μ m일때 전체 운반자의 이동은 1.6배로 증가한다. 실제로는 n⁺층에서 열적 재분포가 일어난다.

2. BP-MESFET

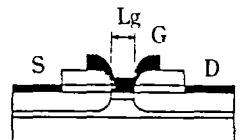
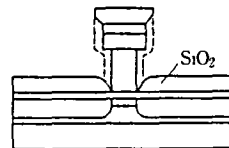
가. 공정기술

먼저 다층 resist를 사용한 BP-MESFET공정을 고려해 보자. Mask는 최적 n⁺층을 형성하는데 2가지 역할을 한다. <그림 6>에서는 다층 resist를 사용한 FET제작 공정순서를 나타내고 있다. 1단계에선 다층 resist중 SiO₂는 n⁺층 이온주입이 gate 영역으로 들어가는 것을 막는다. 하층 resist의 undercut은 gate와 source/drain 사이 간격의 함수이다. 이미 언급한 바와 같이 이 간격은 과잉 gate capacitance의 억제에 효과가 있으며 다층 resist를 사용하는 공정에서 조절

1. n⁺ION IMPLANTATION 3. OHMIC CONTACT



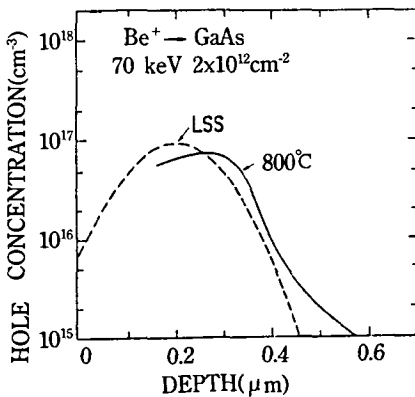
2. PATTERN INVERSION 4. GATE FORMATION



<그림6> 다층 Resist를 이용한 n⁺ Self-aligned MESFET 공정 순서도

할 수 있다. Ohmic 접촉과 gate는 AuGe/Ni과 Ti/Pt/Au로 각각 형성하였다. Gate 길이는 하층 resist의 undercut에 의해 결정되며 하층 resist폭과 일치한다. Undercut은 0.05~0.2 μ m이다. 상층 1 μ m을 사용하여 0.5 μ m gate 길이를 실현할 수 있다.

BP(buried P)층은 6~9 $\times 10^{11}$ cm² 농도를 가지면서 70~90 KeV로 이온주입한다. 이온주입된 Be 이온의 활성화도중에 일어나는 거동을 규명하기 위해 Schottky diode를 이용하여 C-V 방법에 의해 측정하였다. 2 $\times 10^{12}$ cm² 농도의 Be이온은 반 절연 GaAs 기판위에 70 KeV로 이온 주입시켰다. SiN을 capping한 후 N₂분위기하에서 800°C annealing하였다. Schottky diode는 Al증착으로 형성하였다. 얻어진 정공 profile은 <그림 7>과 같으며 LSS이론에 의해 예측된 Be 분포와 비교하였다. 결과로서 활성화율은 거의 100% 였으며 BP-MESFET에서 사용된 10¹⁷cm⁻³이하의 낮은 농도에서 획적 확산은 무시할 만큼 작았다. 하층 resist의 undercut 공정이 gate와 source/drain사이간격을 결정한다. undercut을 너무 작게하면 gate capacitance가 크게 되고 너무 크게하면 source/drain 저항을 크게 한다.

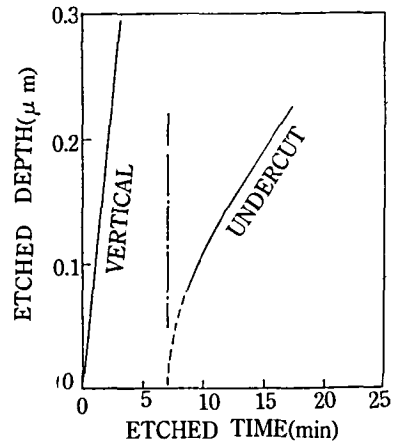


<그림7> 활성화후 정공농도의 Profile

Undercut의 조절능력은 LSI공정의 중요한 점이다. 하층 resist의 etching깊이를 etching시간에 따라 그려보면 <그림 8>과 같다. 이것으로 부터 수직방향의 etching이 끝난 후 etching 출력과 gas압력에 따라 측면방향의 etching이 되는 것을 알 수 있다. Undercut의 재현성은 매 회마다 확인하였는데 tolerance가 0.01 μ m 이하였다.

BP-MESFET을 전에 서술한 바와 같은 공정으로 제작하였고 ring oscillator 지연시간을 측정한 결과 10ps/gate이하였다. 다층 resist를 이용한 BP-MESFET의 특징은 다음과 같다.

- (1) 과잉 gate capacitance가 낮다.
- (2) Gate 저항이 낮다.
- (3) Channel 하의 기판에 흐르는 전류가 매우 낮다.
- (4) 넓은 범위의 gate 재료를 적용할 수 있다.
- (5) Gate 길이를 쉽게 짧게 할 수 있다.
- (6) 공정의 재현성이 높다.

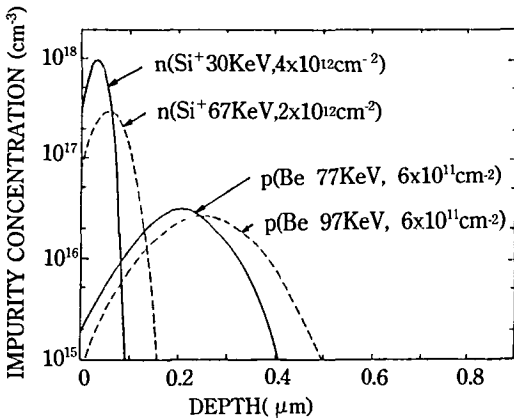


<그림8> Etching시간에 따른 하층 Resist Etching 깊이

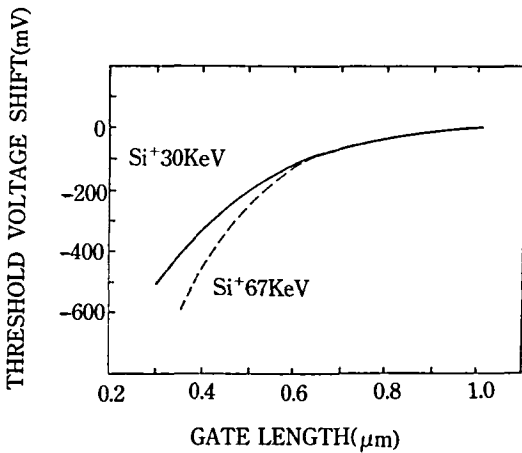
나. 얇은 활성층 형성을 위한 이온주입

FET 크기는 gate 길이 뿐만 아니라 활성층 두께에서도 즐겨져야 한다. 이온주입에너지를

줄이는 것은 channel층을 줄이는 효과적인 공정이다. n층과 p층의 계산된 농도 profile은 <그림 9>와 같다. n층 형성을 위한 이온주입 에너지는 높은 g_m 을 위해 67KeV에서 30KeV로 줄여진다. p층 운반자 농도는 p-n접합의 built-in potential에 의해 항상 고갈되어 있다. P층은 기판전류를 막기 위하여 channel층 아래 부분뿐 아니라 source/drain층 아래부분도 분포해야 한다.



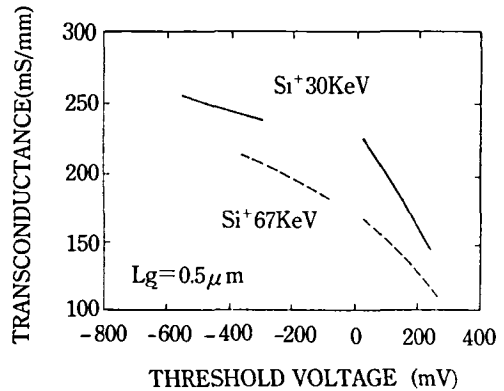
<그림9> Deep 과 shallow 이온주입의 n과 p 층의 계산된 불순물농도 Profile



<그림10> BP-MESFET에서 임계전압의 gate길이 의존성

Gate 길이에 따른 임계전압의 변동은 <그림 10>에서 보여준다. Shallow와 deep 이온주입사의 임계 전압변동은 gate 길이가 0.6μm이하에서 나타난다. 0.5μm gate와 1.0μm gate FET의 임계전압 변동은 200mV이다. 이것은 7절에서 설명될 simulation 결과와 거의 일치한다.

얇은 활성층 형성결과 g_m 의 증가는 <그림 11>에서 분명히 알 수 있다. 얇은 활성층의 normally-off FET은 깊은 활성층의 FET보다 약 30% 높은 g_m 을 보여준다. gate 전압이 0.5~0.6V, drain 전압이 1V인 조건에서 측정된 결과이다.



<그림11> BP-MESFET에서 얇은 활성층 이온주입에 의한 g_m 의 증가

다. 임계전압의 균일성과 조절능력

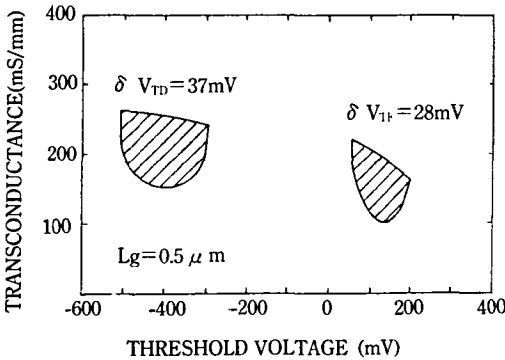
LSI을 실현시키는데 가장 중요한 특성은 GaAs 기판의 균일성과 이온 주입에 의해 제공되는 임계전압의 균일성 그리고 임계전압을 조절하는 능력이다. 이것은 초고속 집적회로인 경우 더욱 그렇다. 가장 균일한 기판은 In doped기판이며 가장 균일한 이온주입법은 parallel ion scanning법이다.

일반적으로 short channel FET의 특성은 임계전압과 g_m 이 심하게 scattering을 보이며 이

두가지 모두 공정 dimension에 결정적으로 의존한다.

3" 기판에서 제작된 0.5 μ m FET의 측정 결과를 <그림 12>에 나타내었다. 임계전압의 표준편차가 normally-on 과 normally-off FET에 대해 각각 28mV, 37mV였다. 이러한 결과는 LSI에서 1 μ m-FET의 가장 좋은 값과 비교할만 하다. 즉, short channel 효과는 이 기판상에서 완전히 억제되었다고 생각된다.

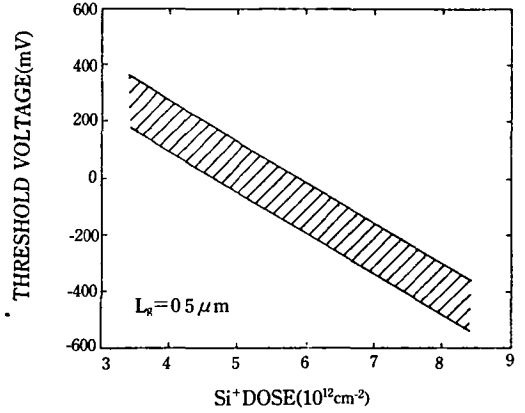
g_m 의 분산은 직렬저항이 모든 FET에 대해 일정하게 제어되지 않았기 때문에 큰 것으로 나타났다. 이 문제는 최적공정조건을 찾음으로써 제거할 수 있을 것이다.



<그림 12> 3" In doped 기판에서 임계전압과 g_m 의 분포

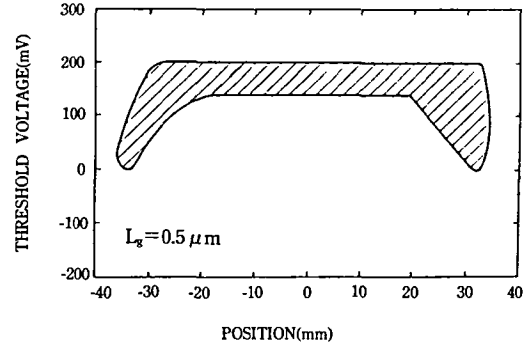
In doped 기판에서 제작된 FET의 dose 양에 따른 임계전압의 분포를 <그림 13>에 나타내었다. 100mV폭의 belt zone이 제어할 수 있는 범위이다. 이 값은 Cr doped LEC 기판에서 제작된 1 μ m FET 경우보다 약간 크다. 곧 belt zone의 폭이 줄어들리라 믿는다.

3" In doped 기판에서 제작된 2 μ m FET의 임계전압측정을 통해 GaAs 기판의 균일성을 평가하였다. <그림 14>에서 보듯이 40mm지름의



<그림 13> 불순물 농도에 따른 실제임계전압의 분포

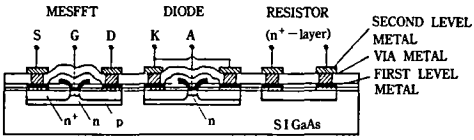
중앙부분은 매우 높은 균일성을 보여주고 있다. 주변의 임계 전압은 결정결함에 의해 낮은 값을 나타내며 중앙부분의 임계전압의 표준편차는 약 10mV로 추정된다.



<그림 14> 3" In doped 기판에서 제작된 2 μ m FET의 임계전압의 분포

라. 소자배선

LSI는 능동소자, 수동 소자와 배선으로 이루어져있다. GaAs LSI를 구성하고 있는 소자, 즉 n^+ self-aligned MESFET driver, 부하저항, level shifter를 구성하는 diode, 그리고 두층금속과 via로 이루어진 배선을 <그림 15>에 나타내었다.



〈그림 15〉 Planar 배선을 갖는 GaAs LSI 단면

부하저항은 반절연 GaAs 기판위에 선택적 이온 주입된 활성층을 이용하여 제작한다. 불순물농도와 이온주입에너지는 FET channel층으로 부터 독립적으로 결정된다. 일반적으로 BP 층은 저항에 적용하지 않는다. 저항에서 고려해야 하는 점은 전장세기이다.

GaAs 에서는 전장과 전자속도와의 관계가 비선형적이다. 전장세기가 1.5KV/cm이하에선 선형이 유지되며 3KV/cm이상에서 부하전류가 포화된다. 설계자에 의해 선형부하저항 또는 전류포화 비선형저항이 선택된다. 후자는 source 와 gate 거리가 짧은 normally-on FET의 특성과 비슷하다. 전자는 sheet 저항이 200~100 Ohms범위에서 사용된다. 200 ohms의 저항값은 이온주입에너지는 200 KeV로, 전통적인 열처리에서 운반자 농도는 $1 \times 10^{18} \text{cm}^{-3}$ 로 제약되어 있어 제약되는 값이며, 1000 Ohms의 저항값은 공정의 재현성에 의해 제약되는 값이다. GaAs의 surface state는 이상적인 passivation 막이 없으므로 이상적으로 조절할 수 없다. Surface potential은 표면으로 부터의 공핍층두께를 변화시켜 sheet 저항값을 변화시킨다. 실험적으로 sheet 저항이 높을 때 $800 \pm 200 \text{ohms}$, 낮은 경우 $200 \pm 20 \text{ohms}$ 로 나타났다.

Diode는 일반적으로 MESFET과 같은 공정기술로서 제작한다. MESFET과 같은 구조를 갖는 diode의 문제중 하나는 큰 직렬저항이다. 만약 이 직렬저항을 통해 많은 양의 전류가 흘러 전압강하가 일어나면 level shift 단의 전압이동은

증가될 것이다. 따라서 회로 설계자는 직렬저항을 줄이도록 넓은 폭의 anode를 사용하거나 multifinger anode diode를 사용해야 한다.

〈그림 15〉에서 배선은 완전한 planar 구조이다. 1층 배선금속인 Ti/Pt/Au는 SiN막을 mask로 하여 lift-off하여 형성하였고 선폭과 간격은 1.5 μm 이며 가장 작은 via hole 크기는 1.5 \times 1.5 μm^2 이었다. 2층배선의 patterning은 ion etching을 이용하였다. 선폭과 간격은 3 μm 이고 다른 mask간의 정렬 정확도는 0.2 μm 이었다. 2층 배선금속 Au는 부식되지 않으므로 passivation층을 올리지않았다.

다. 예비 수율

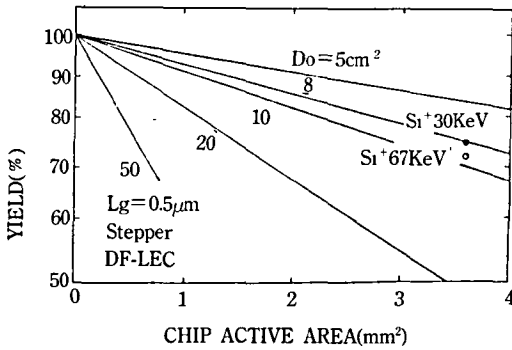
GaAs LSI의 모든 공정기술은 노광과 현상을 포함한 photolithography를 제외하고는 Si공정기술과 다르며 성숙되어 있지않다. 현재 GaAs 기술은 공정여유가 큰 대량생산 line에서 수율을 얻을 수 있는 단계는 아니다. 그러나 실험실적 수준에서 예비수율을 고려하는 것도 공정향상을 위해 충분히 의미 있는 일이라 생각된다.

〈그림 16〉에서는 0.5 μm FET를 가진 GaAs LSI에 대한 예비수율을 나타내고 있다. 이때 사용된 공정장비는 stepper와 RIE장비였다. 이온주입에너지가 수율에 영향을 미치지 않는 것은 당연하다. 여기서 사용한 기판은 In doped GaAs 기판이다. 회로는 LSCFL을 사용하여 설계하였다. 여러 공정단계의 수율을 알아보기 위하여 다음과 같은 Poisson 분포로 부터 유도된 실선을 〈그림 16〉에 나타내었다.

$$Y = \exp(-DoA) \dots\dots\dots(1)$$

여기서 Do와 A는 chip의 결함밀도와 활성층 면적을 나타낸다. 〈그림 16〉에서 보여주는 자료는 5~8 cm^2 의 결함밀도를 가지며 이 정도의 결함밀도는 아마도 lift-off공정에서 pattern 결함을 유도할 수 있다. 임계전압과 부하저항의 불균

일성은 수율을 줄인다. 결국 5cm^2 이하의 결합 밀도를 갖는 공정이 LSI 제작에 필요하다.



〈그림 16〉 $0.5\mu\text{m}$ FET로 제작된 GaAs LSI의 예비수율

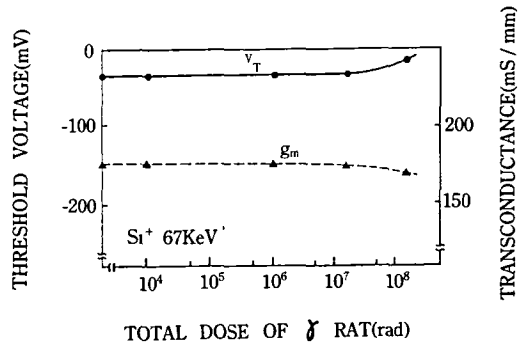
3. 신뢰성

AuGe/Ni을 사용하는 ohmic contact 공정, Ti/Pt/Au를 사용하는 gate 형성 공정과 같은 매우 일반적인 GaAs 공정은 고온에서의 신뢰성이 확인되고 측정되고 있다. GaAs FET는 넓은 band gap을 갖고 gate 절연박막을 사용하지 않기 때문에 Si 소자보다 100배 이상 강한 내 방사선성을 갖고 있다고 알려져 있다.

BP-MESFET을 γ 선과 전자방출하에서 측정하였다. γ 선의 source는 Co^{60} 이었다. MESFET의 gate 길이는 $0.55\mu\text{m}$, gate 너비는 $20\mu\text{m}$ 이며 normally-on FET 구조이다. 측정을 위해 ceramic packaging 하였고 solder로 봉입하였다. 측정된 결과를 〈그림 17〉에 나타내었다. 임계전압과 transconductance은 10^7 rad 까지 일정하였고, 10^8 rad 이후 임계전압의 증가가 20mV 정도, g_m 의 감소가 10mV 정도로 관찰되었다. ohmic contact 저항은 10^8 rad까지 변하지 않았다.

전자방출에 의한 효과는 임계전압과 g_m 에서 $10^{15}\text{e}/\text{cm}^2$ 까지는 나타나지 않았다. 이러한 parameter는 $10^{16}\text{e}/\text{cm}^2$ 에 가서야 γ 선의 영향과 비슷한

양상을 보였다. γ 선과 전자방출에 의한 이러한 변화는 방사선이 결정에 충격을 주고 그 결과 운반자 농도를 감소시키기 때문인 것으로 생각된다. BP-MESFET을 사용한 SRAM에서의 soft error가 방사선하에서 보고된 바가 아직까지 없다.



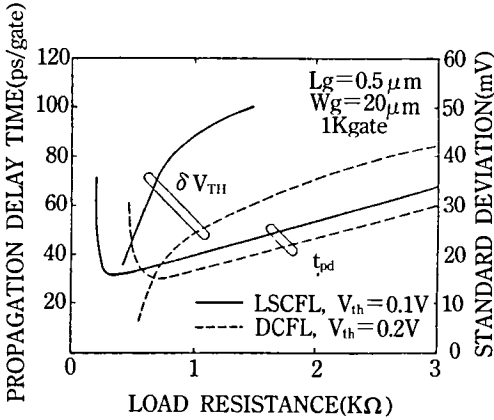
〈그림 17〉 γ 선 방출하에서 BP-MESFET 특성의 변화

4. MESFET을 이용한 LSI

가. 회로동작 속도와 공정여유

GaAs LSI 동작속도와 tolerance를 부하저항 변화에 따라 〈그림 18〉에 나타내었다. 이 결과는 gate 길이 $0.5\mu\text{m}$, 너비 $20\mu\text{m}$ 인 FET로 구성된 1K gate LSI에서 회로 simulation으로 부터 추정하였다. 회로 simulation은 LSCFL과 DCFL 두가지 회로 구성에 대해 행하였다. 각 회로에 대해 결정된 임계전압 값은 최대 표준편차를 허용하는 최적값이었다. 두 회로 간의 전달지연시간차이는 그리 크지 않았다. 부하 저항의 최소 허용값은 LSCFL일 경우 200ohms , DCFL인 경우 500ohms 이었다. 1K ohms 부하저항에 대해 허용된 임계전압의 표준편차는 LSCFL인 경우 500ohms 이었다. 1K ohms 부하저항에

대해 허용된 임계전압의 표준편차는 LSCFL인 경우 44mV, DCFL인 경우 24mV로 나타났다. 회로 simulation 결과는 LSCFL 동작여유와 DCFL보다 두배크나 소비전력은 2~3배 큰 것으로 나타났다.



<그림 18> 부하저항에 따른 GaAs LSI의 동작 속도와 허용표준 편차

나. GaAs LSI의 성능

지난 2년동안 BP-MESFET으로 구현한 LSI를 <표 1>에 정리하였다. 16 channel 시간 switch를 제외한 모든 LSI는 LSCFL을 사용하여 설계하였다. 4 channel 시간 switch LSI는 1,176개 소자의 231 gate로 구성되어 있다. 전달 지연시간은 48 ps/gate, 소비전력은 1.4mW/gate로 나타났으며 전체소비전력은 0.64W이었다.

DCFL로 설계된 16channel 시간 switch는 연결 shift register, data latch, 조절단자, counter, 입출력 buffer 회로로 구성되어 있다. SCFL 회로는 complementary신호를 발생시키기 위해 buffer 회로에서만 사용하였다. 이 switch LSI는 3,571개소자의 1,110 gate로 구성되어 있다. Chip의 크기는 3.05×3.2 mm²이고 전달지연시간이 부하가 있는 경우와 없는 경우 각각 189 ps/gate, 51ps/gate이었고 소비전력은 1.22W이었다.

MUX/DMUX는 직렬, 병렬 부하 shift register, data latch, control unit으로 구성되어 있다. 3 level 직렬 gate인 LSCFL회로는 모든 회로에 사용하였다. true와 complementary 신호는 gate 너비가 20μm, 임계전압이 0.15V인 FET을 구동한다. 이 MSI는 250 gate을 가지며, 1,202소자로 이루어져 있는데 ECL interface level에서 2.5 Gb/s 동작을 하며 소비전력이 1.9W이었다. Chip의 크기는 2.9×3.2mm²이었다.

8 bit ALU (Arithmetic Logic Unit)은 4bit ALU block 2개가 ripple carry에 의해 연결되어 있다. gate수는 250개이며 LSI전달지연시간은 57ps/gate이고 소비전력은 5.9mW/gate이다. 전체소비전력은 2.16W이었다.

<표 1> BP-MESFET을 이용한 GaAs LSI

LSI	SCALE	PERFORMANCE
4 CHANNEL TIME SWITCH LSI	231 GATE	2 Gb/s
16 CHANNEL TIME SWITCH LSI	1100 GATE	740 Mb/s
UNIVERSAL MUX/DEMUX	248 GATE	3 Gb/s
8 BIT ARITHMETIC LOGIC UNIT	250GATE	0.8 ns

5. Barrier Height가 높은 FET

가. 새로운 Schottky 재료

GaAs MESFET에서 barrier height가 큰 Schottky을 쓰면 gm과 회로동작여유가 향상된다. GaAs에 적용 하고 있는 Schottky 물질은 모두 낮은 barrier height을 갖고 있다. (0.7~0.8V) 그러나 비정질 Si-Ge-B (A-Si-Ge-B)은 1.0V의 barrier height을 갖는다. A-Si-Ge-B은 일본 NTT에 의해 발명되었고 GaAs 와 Si FET에 적용하고 있다.

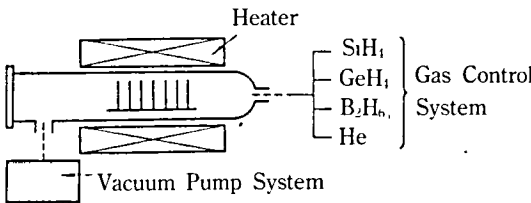
A-Si-Ge-B은 금속성 energy band를 갖는 새로운 재료이다. A-Si-Ge-B와 GaAs 와의 접촉은 1.0V정도의 Schottky barrier를 갖는다. 이 장벽 높이는 증착공정에서 B₂H₆과 GeHu의 유량비에

의존한다.

〈그림 19〉에는 A-Si-Ge-B 증착에 사용된 LP-CVD장치를 실었다. 이 장치는 다음과 같은 특징을 가지고 있다.

- (1) CVD 공정에서 생기는 오염은 무시할 만하다.
- (2) 박막증착을 정확히 조절할 수 있다.
- (3) 박막조성과 두께 균일성을 쉽게 유지할 수 있다.
- (4) 많은 양의 기판을 batch 공정으로 증착할 수 있다.

Gas source SiH_4 , B_2H_6 , GeH_4 는 가스조절기에 의해 조정되며 표준증착조건은 〈그림 19〉와 함께 표시하였다.



Temperature	450°C
Pressure	0.2Torr
Deposition rate	~5 Å/min
Gas composition	Variable

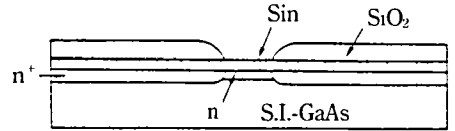
〈그림19〉 비 정질 A-Si-Ge-B 증착 System

나. Metallic Amorphous Silicon gate(MAS) FET

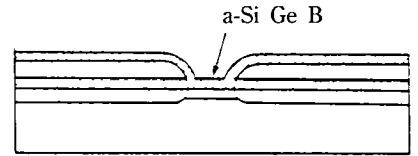
MASFET은 A-Si-Ge-B을 gate 재료로 사용한 GaAs FET이다. 공정순서와 MESFET의 단면을 〈그림 20〉에 나타내었다. 1단계 공정은 다층 resist inversion pattern과 annealing을 보여준다. CVD에 의한 A-Si-Ge-B의 증착 (450 C, 0.2 Torr, 5 Å/min 증착률)이 2단계로 행해진다. Ohmic 형성후 Al를 etching mask로 하여 A-Si-Ge-B의

gate pattern을 형성한다. Al은 lift-off에 의해 pattern형성하였고 gate저항을 줄이는 기능이 있다. 동시에 비교하기 위해 gate 길이 1µm인 MESFET을 기준시편으로 제작하였다.

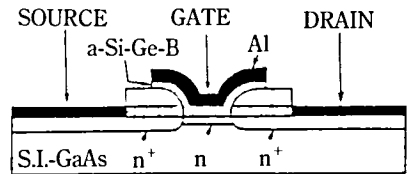
1. INVERTED RATTERN



2. a-Si Ge B DEPOSITON

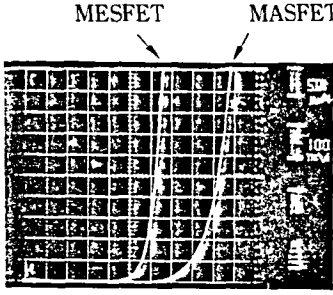


3. ELECTRODE FORMATION

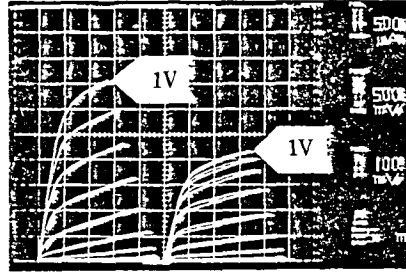


〈그림20〉 MESFET 공정순서와 단면도

Source와 drain 간의 거리가 짧은 diode의 순방향 전류특성을 〈그림 21 (a)〉에 나타내었다. I-V 특성으로 부터 MASFET의 경우 barrier height가 1.0V, MESFET의 경우 0.78V를 얻었다. 〈그림 21(b)〉에서 볼 수 있듯이 MASFET이나 MESFET 모두 거의 0.27 V인 임계전압을 나타내었다. Gate 전압은 0V에서 1V까지 0.1V씩 증가하면서 가하였다. Gate전압 0.7V까지는 MESFET의 drain 전류는 MASFET과 거의 같다. 그러나 0.8~1.0V 영역의 gate 전압에서는 MESFET의 drain 전류가 MASFET의 경우보다 작다. MASFET의 최대 g_m 은 175mS/mm이나 MESFET의 경우는 110mS/mm이었다.



GaAs MASFET and MESFET
GAFE I-V CHARACTERISTICS
MASFET : $\phi_B = 1.0V, n = 1.14$
MESFET : $\phi_B = 0.78V, n = 1.10$

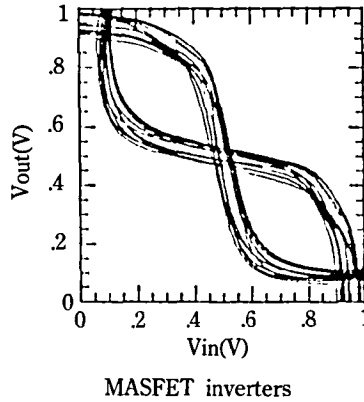
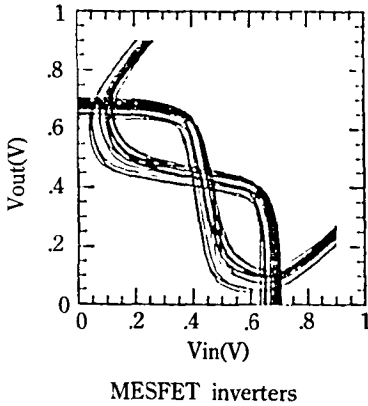


MASFET MESFET ET
GaAs MASFET and MESFET
 $L_g = 1\mu m, W_g = 40\mu m, V_{gs} = 0 \sim 1.0V$

<그림21> (a) MASFET과 MESFET의 순방향 gate 전류특성
(b) MESFET과 MASFET의 I-V 특성

Barrier height가 증가하면 회로동작 여유가 향상된다. DCFL를 사용한 inverter의 전달 특성 측정결과를 <그림 22>에 실었다. 그림에서 알 수 있듯이 inverted curve들이 교차하는 것을

볼 수 있다. MESFET의 clamp 또는 포화전압은 거의 1V이고 MESFET의 경우는 0.7V이다. 0.3V의 차이는 회로동작 여유를 크게 향상시킨다.



<그림22> MESFET과 MASFET의 inverter특성

회로 동작 여유를 유지하기 위한 임계전압의 허용표준편차를 25,000개 소자(10K gate)에 대하여 다음과 같은 가정하에 계산해 보았다.

(1) 어떤 FET의 임계전압보다 논리 low level이

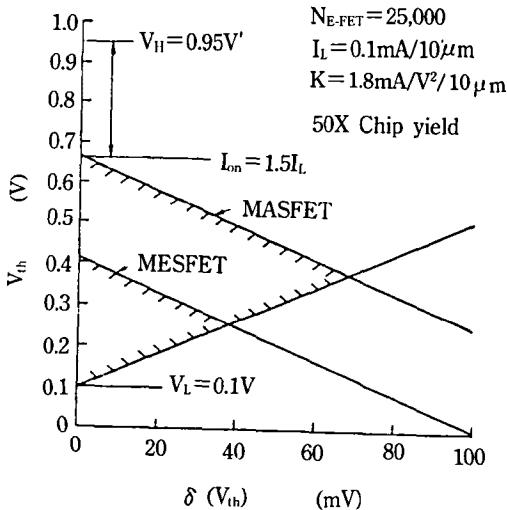
0.1V 높다.

(2) $10\mu m$ 너비 gate FET의 부하 전류는 0.1 mA이고 driver FET 최대 포화 전류의 2/3보다 작다.

- (3) 10 μ m 너비 gate FET를 갖는 driver FET의 K 값은 1.8mS/V이다.
- (4) 임계전압은 Gaussian 분포를 한다.
- (5) Chip의 수율은 50%이고 pattern 결함이 없다.

계산된 결과를 <그림 23>에 나타내었다. 작고 큰 삼각형영역은 각각 MESFET과 MASFET의 동작여유를 보여준다. 0.95V의 clamp 전압은 MASFET의 허용평균 임계전압의 표준편차를 2배 정도 크게 한다.

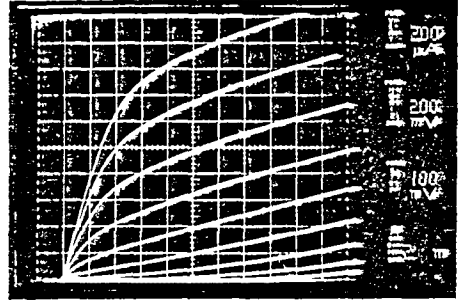
Ring oscillator를 이용하여 전달지연시간을 측정하였다. 0.5 μ m FET에서 최소 지연시간은 16.4 ps/gate였다. 이 결과는 소수운반자 injection이 존재하더라도 무시할 정도라는 것을 의미한다. 이 기술을 4Kb SRAM 제작에 응용하였고 address access time 측정에도 성공하였다. 동작여유가 큰 사실은 bit선 pull-up 전압에서 확인되었다.



<그림23> MASFET과 MESFET의 임계전압의 허용평균값과 표준편차

BP층은 0.8 μ m gate MASFET 제작에 적용하였다. BP-MASFET의 평균 g_m 은 260 mS/mm,

임계전압은 0V이었다. I-V특성은 <그림 24>에 보여주었다. 0.8 μ m gate MASFET의 g_m 은 0.5 μ m gate MESFET의 g_m 과 비교할 만하다. 이 결과는 MASFET인 경우, 서로 gate 길이가 같은 경우 g_m 이 큰 것을 의미한다.



BP-MASFET

$L_g = 0.8 \mu\text{m}$, $W_g = 15 \mu\text{m}$, $V_{gs} = 0 \sim 0.8 \text{V}$

<그림24> 0.8 μ m gate BP-MASFET의 I-V특성

6. GaAs LSI의 첨단기술

가. Sub- μ gate

GaAs LSI 성능은 공정기술발전에 의해 향상되고 있다. 주요한 item을 <표 2>에 정리하였다. Gate 길이는 i-선 또는 excimer laser를 사용한 sub- μ stepper, 높은 생산성의 전자 beam 노광 system을 사용함으로써 1990년전까지 0.2 μ m까지 줄일것이다. 가장 발전된 g-선 stepper는 생산

<표2> GaAs LSI에서 공정기술의 발전추세

ITEM	NEW TECHNOLOGY	EFFECT
GATE LENGTH	SUB-HALF MICRON	HIGH f_T
ION IMPLANTATION	10~20KeV	HIGH g_m
THERMAL ANNEALING	RAPID ANNEALING	HIGH g_m
BARRIER HEIGHT	MORE THAN 0.8V	LARGE N_M
INTERCONNECTION	TRI-LEVEL	HIGH DENSITY
LINE WIDTH/SPACE	SUB-MICRON	HIGH DENSITY

line에서 0.8 μ m 선폭과 간격을 얻을 수 있고 실험실적 규모에서 0.6 μ m 선폭과 간격을 얻을 수 있다. 만일 0.15~0.2 μ m의 side etching 기술을 사용한다면 gate 길이는 0.3 μ m가 가능하며 GaAs LSI에 적용할 수 있다.

나. Molecular beam implantation

이온주입기술은 두가지 방법에 의해 GaAs에 얇은 활성층을 형성한다. 첫째는 10~20 KeV 정도로 이온주입에너지를 줄이는 것이고 활성화처리에 의해 열적확산없이 형성된다면 활성층 두께는 200~350 Å이 될 것이다.

둘째는 SiF₂와 같은 조성의 molecular beam을 사용한 이온주입방법이다. 이온주입되는 층의 두께는 2.3배 이상 줄어들 것이다.

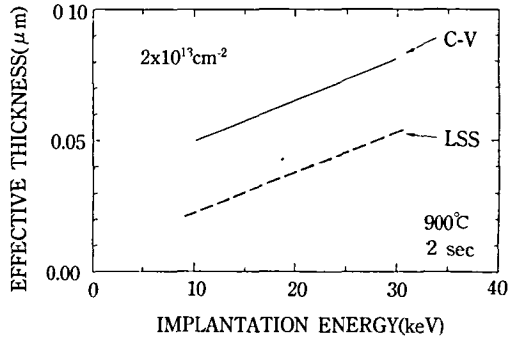
다. 급속열처리 (RTA)

RTA는 최소한의 열적확산과 source/drain의 n⁺층의 높은 운반자 농도를 갖는 얇은 활성층 형성을 위해 연구되어 왔다. 전통적인 열처리 조건(800~850°에서 20분)은 이온주입된 깊고 높은 불순물을 최적조건이지만 얇고 낮은 불순물 channel 층에 대해서는 과대한 열처리이다. 최소의 열적확산을 유도하는 RTA는 FET의 g_m을 향상시킨다. 또한 운반자 농도를 증가시킨다. 활성층두께의 이온주입에너지에 따른 의존성을 <그림 25>에 나타내었다. 유효활성층두께는 다음식으로 나타난다.

$$t_{eff} = R_p + \sqrt{8/\pi} \times \sigma p \dots\dots\dots(2)$$

여기서 R_p, σp 는 각각 ion projection범위, 그의 표준편차를 나타낸다. LSS 이론과 C-V 측정 data로부터 구한 두직선을 <그림 25>에 나타내었다. 시편의 dose는 2×10¹³cm², 이온주입 에너지는 10~30 DeV였으며 900 °C에서 2초동안 RTA로 열처리하였다. C-V 방법에 의해 측정된

활성층 두께는 LSS이론과 비교해 보면 0.035 μ m큰것으로 나타났다. 이것은 이온주입에서 channeling 효과와 열적 확산이 조금 일어난것으로 생각된다. 최고 운반자농도는 2×10¹⁸cm⁻³으로 전통적인 열처리 방법보다 2배 큰것으로 나타났다. RTA가 다층 resist를 mask로 사용한 BP-MESFET에도 성공적으로 적용할 수 있었다.



<그림25> 낮은 이온 주입 에너지의 유효 Channel층 두께

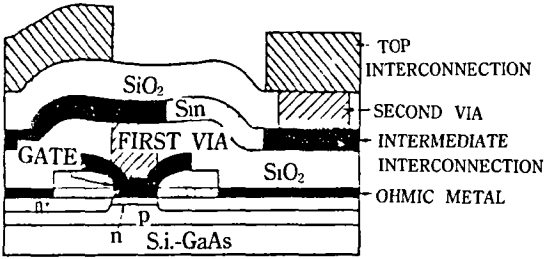
라. Barrier Height의 증가

Barrier height 증가에 대해서는 이미 5절나항점에서 언급하였다. A-Si-Ge-B은 n층 self aligned FET와 4Kb SRAM에 적용하였다. Barrier height가 0.9V인 LaB₆도 GaAs contact에 이용되며 Hitachi에 의해 self-aligned FET에 성공적으로 적용하고 있다.

마. 3층 배선 기술

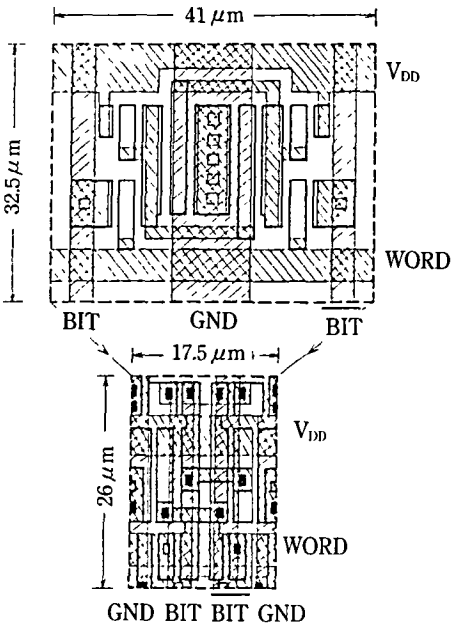
FET에 관련된 또하나의 기술은 다층배선기술이다. 3층배선기술은 <그림 26>과 같이 높은 집적도를 실현하기 위해 사용한다. 합금된 ohmic층은 약 3ohms의 제약된 sheet 저항을 가지고 있기 때문에 짧은 길이의 배선으로 gate array cell이나 memory cell의 배선급속으로만 가능하

다. 선폭이나 간격을 줄이는 것은 chip에서 배선에 소모되는 면적을 줄이는데 중요하다.



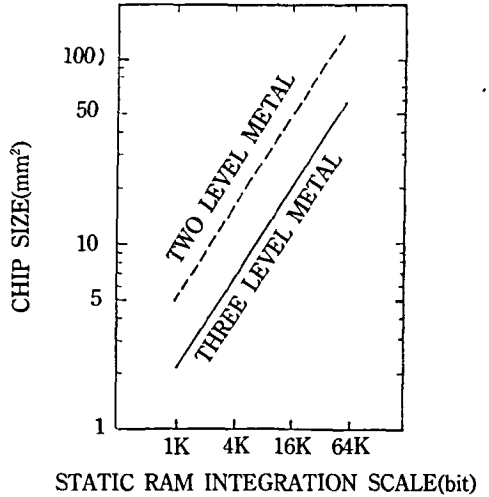
〈그림26〉 BP-MESFET에 응용된 3층배선 기술

2층과 3층배선을 갖는 memory cell의 layout pattern은 〈그림 27〉과 같다. 윗그림은 2층배선을 사용한 16Kb SRAM의 layout이고 아래 그림은 가장 새로운 memory cell로서 윗 layout의 면적의 1/3정도로 500 μm^2 보다 작다. 이 배선기술은 10⁹ sec 이하의 address access time을 갖는 1Kb SRAM또는 4 Kb SRAM에 적용할 수 있다. 64 Kb SRAM의 chip 크기는 〈그림 28〉에서 보듯이



〈그림27〉 2층과 3층 배선을 이용한 SRAM의 layout

60mm²이다.



〈그림28〉 2층과 3층 배선기술을 이용한 SRAM의 크기

7. FET의 g_m Simulation 결과

높은 g_m은 Short channel 효과를 억제하는 상황에서 얻어진다. BP층은 기판의 전기적 potential을 증가시키므로 channel층 아래에서의 전류흐름을 막는 데 매우 효과적이다. 2차원적 simulation에 의해 매우 높은 g_m의 FET를 최소화 parameter 조건하에서 얻을 수 있을 것으로 보고 되었다. Simulation GaAs 기판이고 n⁺층은 이온주입에 의해 형성되었으며 n층도 균일한 운반자 농도를 갖는다고 가정한다.

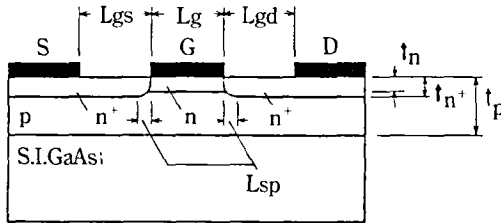
〈그림 29〉에서 L_{sp}는 source/drain과 gate과의 간격이다. 이것은 과잉 gate capacitance을 줄여 높은 차단 주파수를 실현하는 효과를 가지고 있다. 이 영역은 이온 주입때 Si⁺의 recoil에 의해 형성된다. Scaling law을 이용하여 〈그림 29〉의 최적크기를 결정하였다. 각 부분의 scaling factor와 표준치를 〈표 3〉에 실었다. 이 경우

n^+ 층의 최대 운반자 농도가 10^{19} cm^{-3} 로 제한되어 있기 때문에 n^+ 층의 scale 인자는 sheet 저항이 일정하도록 고정한다. Simulation에서 전자이동도는 운반자농도에 따라 변한다. 포화전자속도는 $2.3 \times 10^7 \text{ cm/s}$ 로 나왔는데 이는 I-V특성의 실험적인 결과와 gate 길이가 0.3에서 $0.9 \mu\text{m}$ 까지의 2차원적 simulation 결과 모두 잘 일치하고 있다.

FET의 임계전압을 결정하는 parameter는 short channel효과를 나타내는 N_G 값이다. N_G 는 다음 식에 의해 결정된다.

$$I_{DS} = A \exp(qV_{GS}/N_G kT) \dots\dots\dots(3)$$

여기서 I_{DS} , A, V_{GS} , k, T 는 각각 포화 drain전류, 비례상수, gate bias 전압, Boltzmann 상수, 온도이다. N_G 의 판정기준은 gate 길이가 긴 FET의 임계전압으로부터 변화가 0.2V정도되는 1.5로 정하였다.



<그림29> 2차원 Simulation을 위한 FET 단면도

<표3> GaAs MESFET의 Scaling 인자와 표준값

ITEM	SCALING FACTOR	STANDARD VALUE
n THICKNESS t_n	$1/K$	$0.1 \mu\text{m}$
p t_p	$1/K$	$0.4 \mu\text{m}$
n^+ t_{n^+}	$1/K$	$0.1 \mu\text{m}(\sqrt{2})^2$
n CARRIER ND	k^2	$1.3 \times 10^{17} \text{ cm}^{-3}$
p NA	k^2	$1.6 \times 10^{16} \text{ cm}^{-3}$
n^+ N^+ peak	K	$1.0 \times 10^{18} \text{ cm}^{-3}$
n G SPACING L_{sp}	$1/K$	$0.1 \mu\text{m}$

g_m 의 추정결과 $0.2 \mu\text{m}$ gate인 경우 850 mS/mm , $0.5 \mu\text{m}$ gate인 경우 400 mS/mm 로 나타났다. Simulation 결과 모든 길이의 gate에 대해 임계전압이 0.05V로 나타났다. 부하시 지연시간은 현재 LSI와 비교해 볼 때 $0.2 \mu\text{m}$ gate인 경우 1/4정도, $0.5 \mu\text{m}$ gate인 경우 1/2정도 작은 것으로 나타났다.

III. 결론

$0.5\text{-}1 \mu\text{m}$ gate 길이를 갖는 FET로 구현한 LSI의 개발은 공정기술의 안정성과 GaAs 기판에 의존하는 공정 재현성에 의존한다. In doped LEC기판과 다층 resist를 mask로 사용하는 BP-MESFET기술은 short channel 효과를 억제하는데 매우 유망한 기술이다.

GaAs LSI 제작에 BP-MESFET을 응용한 결과 $2\text{-}3 \text{ Gb/s}$ 속도로 회로 동작이 가능했으며 예비수율을 고려하였다. 결정결함을 측정된 결과 $5\text{-}8 \text{ cm}^2$ 로 나타났다. 또한 BP-MESFET의 재현성을 r선과 전자방출하에서 평가하였다.

비정질 Si-Ge-B의 새로운 재료가 FET제작에 응용되었는데 barrier height가 1.0V로 나타나 회로 동작 여유가 3배 정도 향상되었다.

MESFET의 연구에서 주요 주제는 전달지연 시간 10ps/gate 보다 작은 것을 구현하는 g_m 의 향상이다. 2차원 simulation을 행한 결과 $0.2 \mu\text{m}$ gate FET에서 850 mS/mm 을 얻었다. 낮은 에너지와 molecular beam, 그리고 급속열처리를 이용한 얇은 활성층 형성기술은 매우 큰 transconductance을 갖는 FET 제작을 가능케 한다.

참 고 문 헌

- [1] H. Hirayama and T. Ikegami, "GaAs Self-aligned MESFET Technologies," SPIE vol. 797 (Advanced Processing of Semiconductor Devices), pp296-308, 1987.