

<연구논문>

Ion Beam Mixing과 급속열처리 방법을 이용한 Ti-SALICIDE용 TiSi₂ 박막 개선에 관한 연구

최병선 · 구경원* · 천희곤 · 조동울

울산대학교 재료공학과 울산 680-749

*충청실업전문대학 전자과

(1991년 11월 23일 접수)

Study on the Improvement of TiSi₂ Film for Ti-SALICIDE Process Using Ion Beam Mixing and Rapid Thermal Annealing

B. S. Choi, K. W. Koo*, H. G. Chun and T. Y. Cho

Department of Materials Science and Engineering, University of Ulsan, Ulsan, 680-749, Korea

**Department of Electronics, Choongcheong Junior College, Cheong-Joo, Korea*

(Received November 23, 1991)

요 약—Ion beam mixing과 질소분위기에서 Rapid Thermal Annealing을 이용하여 형성된 TiSi₂ 박막의 표면과 계면의 물리적, 전기적 특성이 크게 개선되었으며, 기존 Ti-SALICIDE의 신뢰도 측면에서 문제가 될 수 있는 Oxide Spacer 상에서의 Lateral Silicide 형성이 최대한 억제될 수 있었다. 또한, Ti-SALICIDE 공정에서의 Ti/Si와 Ti/SiO₂의 Interaction을 반응조건별로 연구하였다.

Abstract—The surface and interface morphology as well as the sheet resistance, and uniformity of TiSi₂ film are significantly improved and the lateral titanium silicide growth over the oxide spacer is minimized by the use of ion beam mixing and rapid thermal annealing in nitrogen ambient. In addition, TiSi₂ film formations on Ti/Si and Ti/SiO₂ system were also studied.

1. 서 론

Self-Aligned Metal Silicide(SALICIDE)는 고집적 반도체소자 제작에서 Poly-Si Gate 영역과 Source/Drain Diffusion 영역을 동시에 Silicide화 시킬 수 있는 기술이다[1]. 이 기술은 Gate와 Source/Drain 간의 면저항을 낮추고, Metal과 Source/Drain과의 접촉저항을 낮춤으로서 RC Delay Time을 줄일 수 있고, 또한 Device에서는 Current Driving Capabi-

lity를 높일 수 있다.

Ti-Silicide를 이용한 SALICIDE 공정은 특히 낮은 비저항치(13~16 μΩ-cm), 비교적 높은 고온 열안정성, Silicide 형성시 Silicon 표면 위의 자연산화막을 분해시키는 특성으로 인하여 관심의 대상이었다[2]. 이에 따라 Ti/Si, Ti/Poly-Si에서의 Silicide 형성과 특성, 상성장 속도, 전기적 특성 그리고 SALICIDE 적용시 문제점과 개선방안 등에 대하여 방대한 연구가 이루어져 왔다[3,4].

Ti-SALICIDE 공정 기술을 CMOS에 적용하는데는 다음과 같은 문제점들이 있다.

*이 논문은 1990년도 교육부 학술연구조성비에 의하여 연구되었음.

1) Ti/Si 계면에 존재하는 자연산화막(10~20 Å 두께의 SiO_2)은 Silicide화 반응을 부분적으로 지연시키고, 그 결과 형성된 Silicide 표면 및 계면이 거칠어져서 면저항이 증가한다.

2) Silicide 형성시에 Furnace 어닐링과 같이 Mass Effect가 큰 Direct Thermal Diffusion을 이용하면, Silicide 표면 및 계면의 Morphology가 거칠어져 재현성이 있는 전기적 특성을 얻기 어렵다.

3) Ti은 대기 중 또는 반응가스 중 미량의 산소와의 반응에 민감하므로 Furnace 어닐링시 Critical Ambient Control이 요구된다.

4) Ti/Si의 경우 Silicide 형성시에 Si 원자가 Dominant Diffusion Species이므로 Gate와 Source/Drain 간의 Short를 유발시킬 수 있는 Oxide Spacer 위에서의 Lateral Silicide Growth가 큰 문제로 나타난다 [5].

5) N-channel의 경우 고농도의 As이 Ti/Si 계면에서의 Silicide 반응을 지연시킴으로써 N^- 지역과 P^+ 지역에서 생성되는 Silicide의 두께와 Dopant들의 분포가 크게 달라지며 그 결과 Junction Depth의 정확한 조절과 양호한 Ohmic Contact를 얻기가 어려운 경우가 많다[6].

본 연구에서는 첫째로, Ti/Si, Ti/ SiO_2 에서 형성되는 silicide와 계면의 분석, 전기적 특성 변화를 조사 분석하였으며, 둘째로, Rapid Thermal Annealing (RTA)과 Ti/Si에서 Ion beam mixing을 이용하여 앞서 기술된 문제점들 중 (1)~(4)를 개선하고자 한다.

2. 실험

2.1. Si와 SiO_2 substrate에서의 Ti-Silicide 형성 실험

150 mm dia., lightly-doped P-type (100) Si 기판을 이용하여, 일부는 650 Å 두께의 SiO_2 층을 형성시켰다. Fig. 1에 표시된 바와 같이 Ti은 Sputtering 방법으로 300, 550, 800 Å 두께로 증착하였으며, 증착 직후의 면저항은 약 $15.6 \Omega/\square$ 이었다.

열처리는 Rapid Thermal Processing을 이용하여 600, 700, 800°C 질소분위기에서 각각 진행되었다. 사용된 RTA 장비는 A. G. Associate사의 Heatpulse 410(halogen lamp heating)이었으며, 면저항은 Veeco

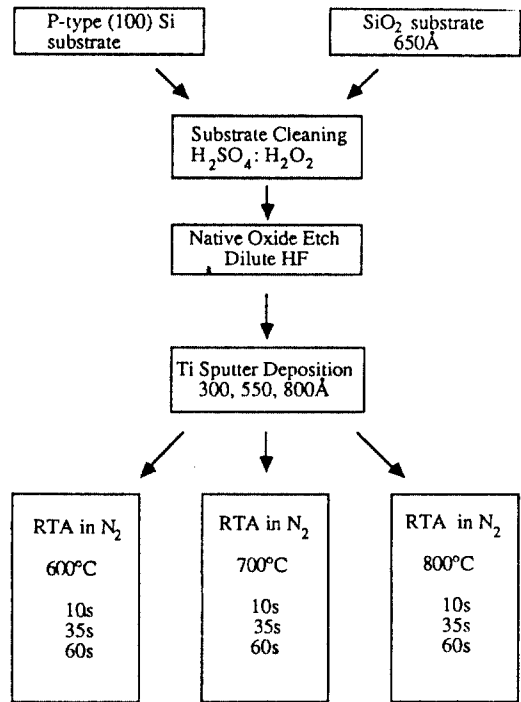


Fig. 1. Ti/Si 구조 및 Ti/ SiO_2 구조에서 시료 제작과정.

FPP 5000 4pt. probe로 측정하였다. Silicide Film 내 존재하는 상의 종류, 성분, Silicide 형성 판정은 X-ray Diffractometer, TEM, XTEM 방법과 AES(Auger Electron Spectroscopy)로 분석되었다. 특히 AES 분석에서 Ti와 N Peak를 구분하기 위하여 379 eV(Ti+N) 이외에 Ti의 Second Peak인 418 eV를 Subtraction 방법으로 data를 처리하였다.

2.2. Ion beam mixing에 의한 Ti-Silicide 박막 개선

Ti-Silicide 공정에서 면저항을 $2 \Omega/\square$ 이하로 얻기 위하여 Ti 박막 두께를 750 Å으로 정하였다. 고에너지 이온법에 의한 Interface Mixing 효과는 이온주입 에너지와 Dose에 좌우된다. LSS Projected Range Statistics에 의하면 Ti 750 Å 두께에 요구되는 Si^{4+} 의 에너지는 약 85 KeV이다[7]. 본 연구에서는 앞서 수행된 Motorola Project의 연구 결과를 인용하여 100 KeV로 에너지가 선정되었다.

Fig. 2와 같이 P-type(100) Si 기판에 Oxide Spacer Pattern을 만든 뒤, Ti을 Sputtering 방법으로 750 Å

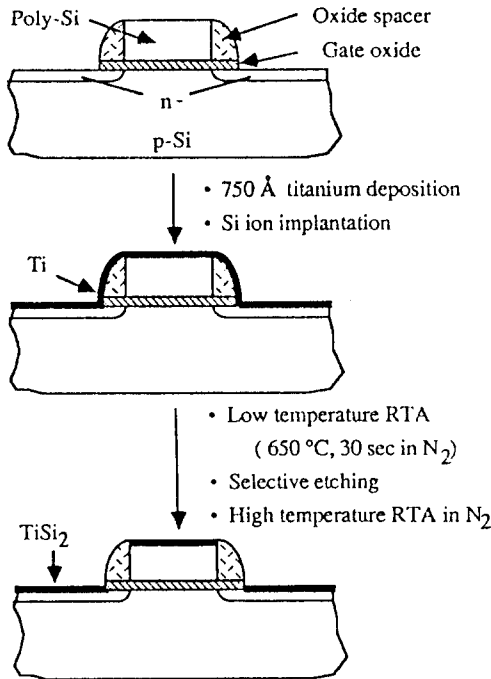


Fig. 2. Ion beam mixing을 이용한 SALICIDE 공정의 진행순서.

두께로 형성시킨다. 이들 기판은 SiF₄ Source Gas를 이용하여 Si⁴⁺ 이온들을 100 KeV에서 5.0×10¹⁵/cm² dose로 이온주입 시킴으로써 계면에 존재하는 자연산화막(SiO₂)을 파괴하고자 하였다. 600°C, 질소분위기에서 RTA에 의하여 TiSi를 형성한 뒤, Silicide를 형성하지 않은 unreacted Ti와 TiN 층을 선택적으로 에칭시켰다. 이 때 사용한 Etchant의 혼합비는 H₂O₂ : NH₄OH : H₂O = 1 : 1 : 5이다. 시료를 다시 질소분위기에서 RTA(900°C, 20 sec) 처리를 하면 안정된 C54-TiSi₂ 상을 얻는다. Ti-Silicide 두께는 Dektak II Stylus로 측정되었으며, 표면과 계면 그리고 Lateral Silicide 유무는 SEM과 XTEM으로 관찰하였다.

3. 실험결과 및 분석

3.1. Si와 SiO₂ substrate에서의 Ti-Silicide 형성
600°C 열처리 후에는 Metal-rich한 Ti₅Si₃와 약간의 TiSi 상이 나타난다. Ti₅Si₃는 Hexagonal 구조, TiSi는 Orthorhombic 구조를 갖는 준안정상이다. Diffraction 분석에서 Ti peak도 발견되었는데 이는 표면층에서

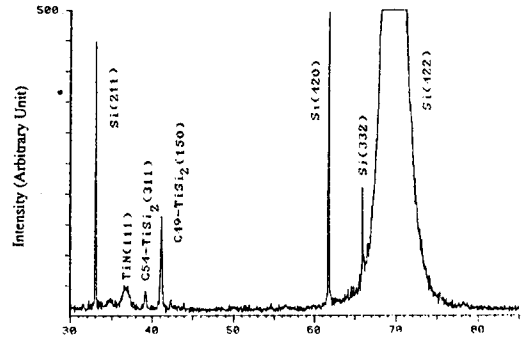


Fig. 3. X-ray diffraction에 의한 Ti-Silicide 상의 분석 (Ti/Si 구조, RTA 조건 : 700°C, 60 sec, N₂).

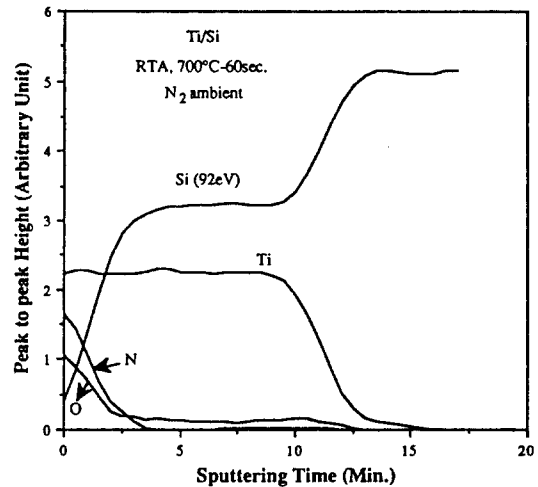


Fig. 4. 700°C, 60 sec 조건에서 형성된 Ti-Silicide 층의 AES depth profile.

반응하지 않은 Metal Ti이 잔류함을 알려준다. Fig. 3, 4, 5는 700°C로 열처리 후에 얻어진 상으로서, C49-TiSi₂와 C54-TiSi₂의 혼합상으로 나타나고, 표면층에는 TiN_xO_y 층이 존재함을 알 수 있다. C49-TiSi₂는 Orthorhombic 결정구조를 갖는 준안정상으로 비저항은 약 90 μΩ-cm로 다른 Silicide에 비하여 매우 높다. ASTM Card에 따르면 격자 상수는 a=3.62 Å, b=13.76 Å, c=3.605 Å이다. 반면 C54-TiSi₂는 Face-Centered Orthorhombic 결정구조를 갖는 열역학적으로 매우 안정한 조직이다. 13~18 μΩ-cm 크기의 낮은 비저항을 가지며 격자 상수는, a=8.267 Å, b=4.80 Å, c=8.55 Å를 갖는다. 800°C 열처리에서 얻어진 C54-TiSi₂는 안정된 단일상으로 나타난다. Fig. 6에서 보는 바와 같이 표면층에는 TiN 층이 뚜렷하게 나

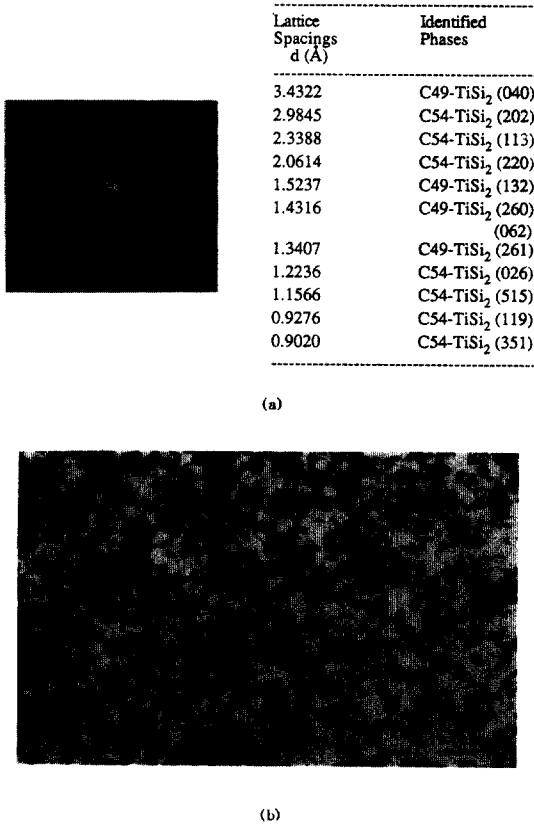


Fig. 5. 700°C, 60 sec 조건에서 형성된 Ti-Silicide 상의 분석. (a) TEM diffraction pattern과 분석, (b) planar TEM 사진 → 준안정 C49-TiSi₂ 상과 안정한 C54-TiSi₂ 상과 같이 분포.

타나고, 본 논문에서는 첨부되지 않았으나 AES depth profile에서 Oxygen peak가 TiN과 C54-TiSi₂ 계면에 편석되어 있음을 알 수 있었다. 이는 Ti/Si 계면과 Ti 층에 흡착되어 있던 Oxygen이 C54-TiSi₂ 성장함에 따라 표면쪽으로 밀려나가 TiN 밑에 편석되었다고 믿어진다[8]. Fig. 7은 RTA 처리온도에 따라 Ti/Si간에 존재하는 상의 분석결과를 요약 정리한 것이다. Fig. 8은 RTA 온도에 따라 존재하는 Silicide의 면저항 변화를 보여주는 것으로서 Metal Ti은 16 Ω/□이었으나, Anneal 온도가 증가함에 따라 Silicide 두께도 두꺼워짐으로써 급격히 감소되었다. Ti₅Si₃, TiSi, C49-TiSi₂가 존재하는 700°C 이하에서는 750°C 이상에서의 값과 비교할 때 면저항이 높는데, 이는 상기의 Silicide의 자체 비저항이 높기 때문이다. 550°C → 750°C

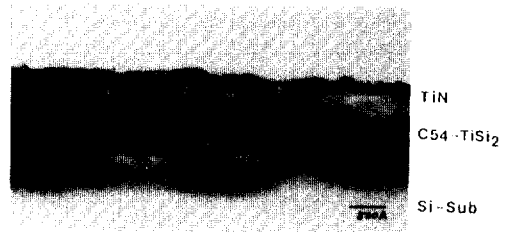


Fig. 6. Ti/Si 구조에서 TiSi₂ 상(800°C, 60 sec, N₂)과 TiN 표면층을 보여주는 XTEM 단면사진.

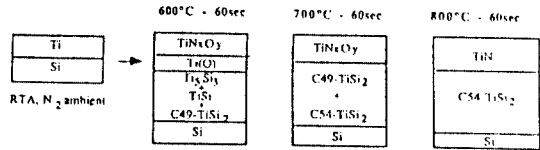


Fig. 7. Ti/Si 구조에서 RTA 조건에 따라 존재하는 Ti-Silicide 상의 요약.

로 온도가 증가함에 따라 면저항이 급격히 감소하는 이유는 낮은 비저항 값을 갖는 C54-TiSi₂(13~18 μΩ-cm)의 상대적인 비율이 점점 높아지기 때문으로 보인다. 750°C 이상의 RTA 온도에서는 면저항이 매우 안정하게 나타나는데 이는 Fig. 7에서 알 수 있듯이 C54-TiSi₂가 단일상으로 존재하기 때문이다.

Ti-SALICIDE 공정에서 열고자하는 조직은 C54-TiSi₂이며, 1차 Anneal(650°C, 30 sec) 후에 나타나는 C49-TiSi₂, TiSi, Ti₅Si₃의 혼합상은 Selective Etchant (NH₄OH + H₂O₂ + 5H₂O)에 의하여 Silicide 보다 10배 이상의 빠른 속도로 Etch-out 된다.

Ti-SALICIDE 공정이란 Ti-Silicides와 Metal Ti간의 Etching Selectivity를 이용한 것이므로, Ti/Si 구조와 마찬가지로 Ti/SiO₂ 계면에서의 연구는 매우 중요하다. 이는 Ti/SiO₂ 계면에서 Ti와 SiO₂간의 Si이 반응하여 Ti-Silicide가 형성된다면, 10배 이상의 Etch Selectivity를 얻을 수 없기 때문이다. 본 연구에서는 500~900°C 온도구간에서 Ti-SiO₂ Interaction을 실험하였으나 여기서는 주요한 결과만을 설명하겠다. Fig. 9에서는 700°C, 60 sec 후 Ti와 SiO₂간에 형성된 Ti₅Si₃ 층이 Non-uniform하게 형성되었음을 보여준다 [9, 10]. Fig. 10에서는 각 온도 조건에서 Ti와 반응하여 소모된 SiO₂의 두께 변화를 나타내었다. 600°C에서는 200 Å 정도로 온도에 따라 계속 증가하였다.

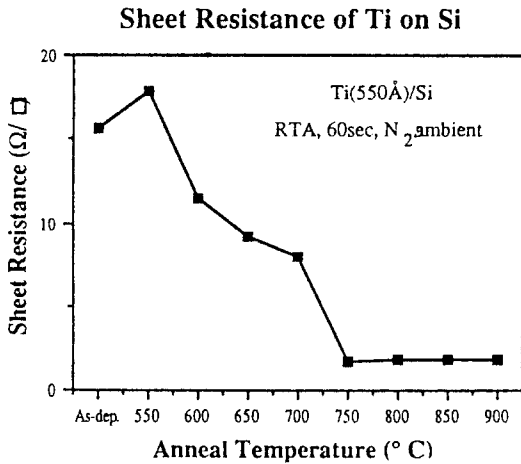


Fig. 8. RTA 온도에 따른 Ti-Silicide의 면저항 변화 → 존재하는 상의 종류와 일치함. 750°C 이상에서는 안정된 C54-TiSi₂로 존재.

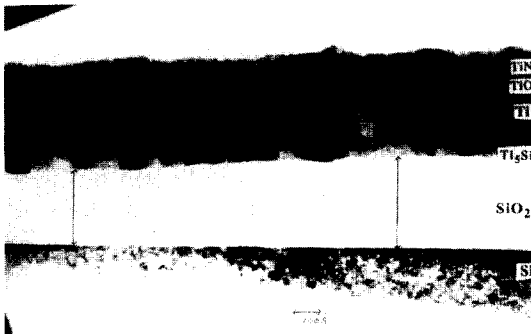


Fig. 9. Ti/SiO₂ 구조에서 RTA 후 XTEM 단면사진 → 계면의 SiO₂가 Ti와 반응하여 Ti₅Si₃ 층을 형성 (Ti₅Si₃ 상은 600, 700, 800°C 전 조건에서 관찰되었음).

이 결과는 Fig. 11의 요약과 Fig. 12에서 면저항이 온도가 증가함에 따라 계속 감소하는 것과 잘 일치하고 있다. Fig. 2에서의 Selective Etching 공정 이전의 1 단계 열처리하는 650°C, 30 sec에서 진행되는데, 이 온도에서는 대략적으로 60~80 Å의 Ti₅Si₃ 층이 존재하게 된다. 따라서 1차 열처리 후 Spacer Oxide 위에는 약 500~520 Å 두께의 Metal Ti와 60~80 Å 두께의 Ti₅Si₃가 존재하게 된다. Etch Selectivity가 10 : 1임을 고려한다면, Metal Ti은 매우 빠른 속도로 제거되고 60~80 Å의 Ti₅Si₃가 제거되기 위해서는 여분의 Etching time이 필요함을 알 수 있다. 실제 Ti-SALICIDE 공정에서는 Etching time을 SiO₂ 상의

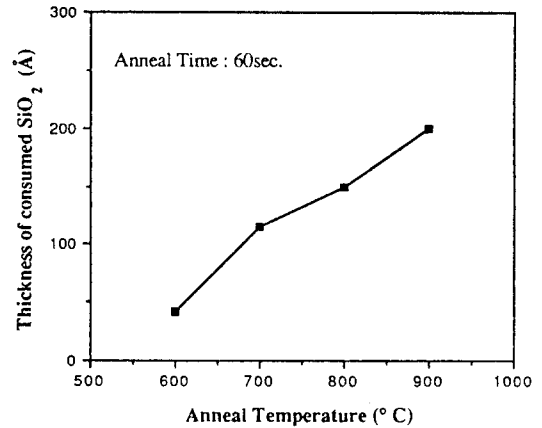


Fig. 10. Fig. 9에서 Ti와 반응하여 소모된 SiO₂ 두께의 변화.

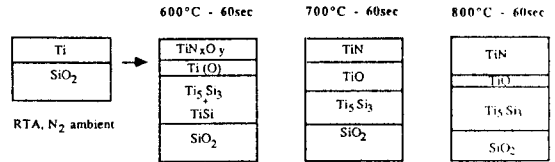


Fig. 11. Ti/SiO₂ 구조에서 RTA 조건에 따라 존재하는 Ti-Silicide 상의 요약.

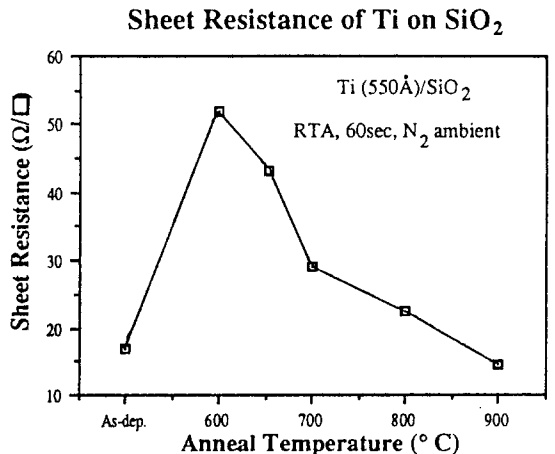


Fig. 12. Ti/SiO₂ 구조에서 RTA 온도에 따른 면저항의 변화 → Ti₅Si₃ 층이 두꺼울수록 면저항은 감소.

Metal Film을 제거하는데 소요되는 시간의 3배 이상으로 진행하기 때문에 Spacer Oxide 위의 Ti-Silicide는 완전히 제거될 수 있다.

Silicide 형성 연구에서 얻어진 주요 내용은 다음과 같다.

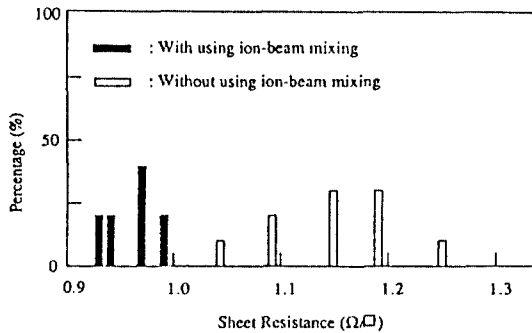


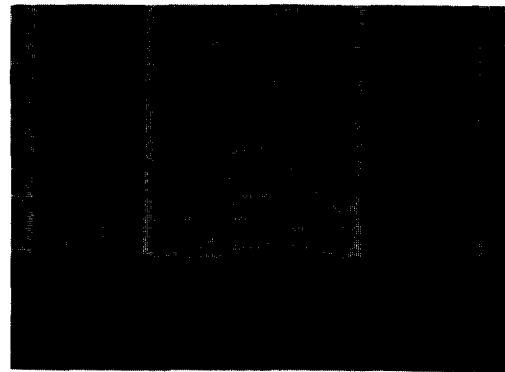
Fig. 13. Ion beam mixing 하였을 때 측정된 면저항의 크기와 분포도.

Ti/Si 시료는 600°C 조건에서 대부분 Ti_5Si_3 상을 형성하였으며, 적은 양의 준안정된 $TiSi$ 상과 C49- $TiSi_2$ 상도 관찰되었다. 700°C 조건에서는 비저항이 약 $44 \mu\Omega\text{-cm}$ 로 높게 나타나고 안정된 C54- $TiSi_2$ 상과 준안정된 C49- $TiSi_2$ 상이 혼합되어 나타났으며, 표면층에서 TiN_xO_y 층이 관찰되었다. 800°C 이상의 고온 조건에서는 비저항이 $10 \mu\Omega\text{-cm}$ 로 크게 감소되고 TiN (190 \AA)/C54- $TiSi_2$ (890 \AA)의 2개층이 확인되었다. Ti/SiO_2 시료에서는 Ti_5Si_3 가 전 온도구간에서 계면에서 수십~수백 \AA 두께로 계면에서 관찰되었으며 이들의 두께는 Anneal 온도가 높을수록 증가하였다.

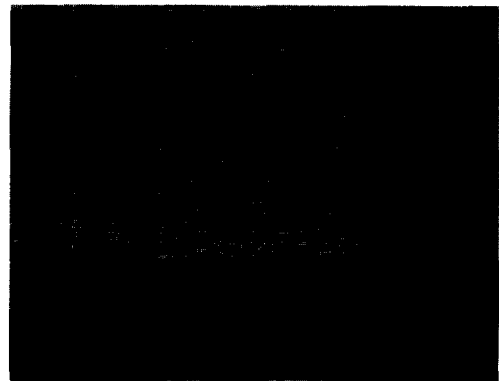
이상의 결과에서 Ti-SALICIDE의 최적 열공정 조건이 찾아졌으며, 특히 650°C, 30 sec 조건에서 Spacer Oxide 위에 형성된 Ti_5Si_3 층의 두께는 60~80 \AA 인데 이 정도의 두께는 다음 공정인 Selective Etching 중 완전히 제거되어 Bridging 현상은 없는 것으로 밝혀졌다.

3.2. Ion beam mixing에 의한 Ti-Silicide 개선

SALICIDE 공정 중에 Field Oxide와 Spacer Oxide가 Ti와 바로 접하여 열처리 되므로 Ti/SiO_2 계면 반응의 연구는 매우 중요하다[11]. SiO_2 상의 Ti-Silicide 반응물이 Selective etch 후에도 계속 존재한다면 이는 Device 특성을 크게 저해할 뿐 아니라 Gate와 Source/Drain간의 Bridging으로 인한 Short가 유발될 수 있다. 이런 현상 때문에 수행된 연구 결과에 따르면(Fig. 10) SiO_2 상의 Ti_5Si_3 층의 두께는 650°C RTA 조건에서 100 \AA 이하이며 이 정도 두께의 Silicide는 Selective etching 과정에서 제거될 수 있음을 보여줬다.



(a)



(b)

Fig. 14. a) Ion beam mixing 없이 Fig. 13에 따라 제작된 test pattern → rough surface와 lateral silicide 관찰; b) Ion beam mixing 후 얻어진 silicide → smooth surface와 no lateral silicide.

앞서 설명한 바와 같이 Ti-Silicide 형성에서는 Si 원자가 Dominant Moving Species다. 열처리 하는 동안 상당량의 Si 원자가 Gate, Source, Drain 영역에서 Spacer 영역(SiO_2)으로 이동하여 Lateral Silicide를 형성한다[12]. Ti-Silicide 화에서 Lateral Growth에 필요한 활성화에너지는 750~950°C 범위에서 약 1.89 eV임이 알려져 있다[13]. Lateral Silicide 성장을 억제하기 위하여 질소분위기에서 열처리를 한 경우, 우선 표면층의 Ti이 상당량의 질소를 흡착, 용해하고 열처리 온도에 따라 TiN 이 형성되기 시작한다. 한번 형성된 TiN 은 Diffusion Barrier 역할을 하여 Si 원자가 Spacer 쪽으로 확산되는 것을 저지함으로써 Lateral Silicide 생성을 억제하는데 부분적으로 기여한다.

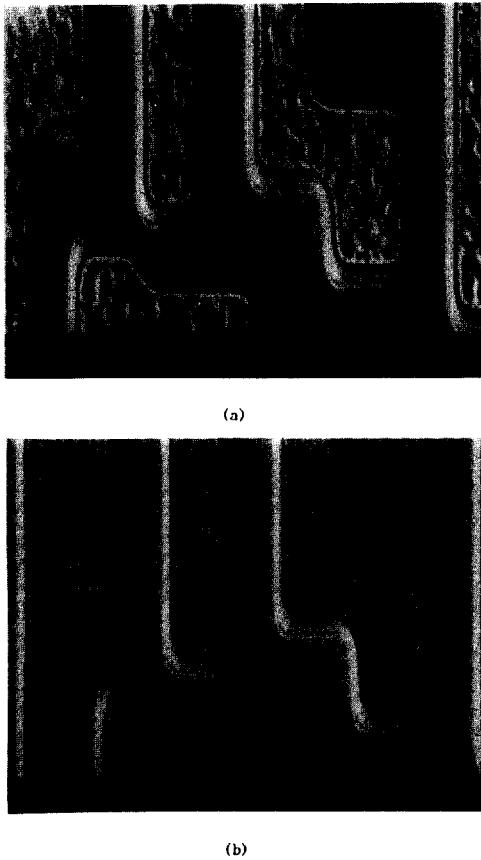


Fig. 15. Fig. 14와 유사한 test pattern의 top view. (a) w/o Ion beam mixing; (b) w/ Ion beam mixing.

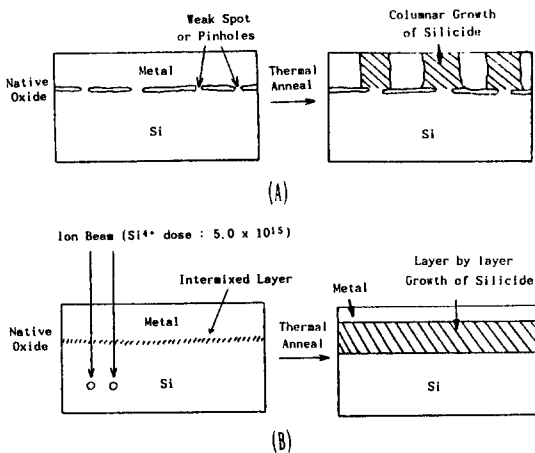


Fig. 16. Ion beam mixing에 의한 Ti/Si 계면의 자연산화막(SiO₂)의 파괴와 Silicide 형성을 보여주는 개략도. (a) w/o Ion beam mixing; (b) w/ Ion beam mixing.

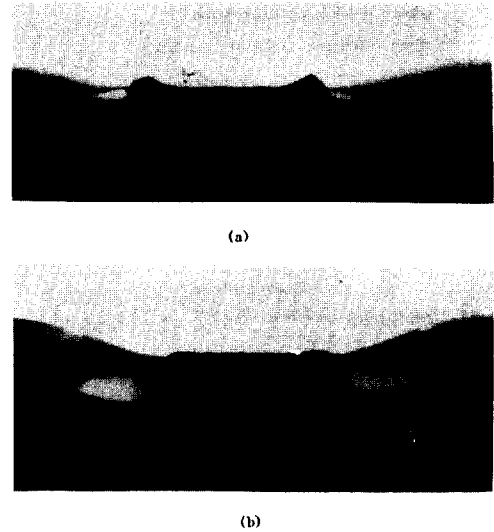


Fig. 17. Fig. 15에서 얻은 sample의 XTEM 단면도. a) lateral silicide와 less dense silicide (w/o mixing); b) no lateral silicide와 layer-by-layer growth에 의한 denser silicide (w/ mixing).

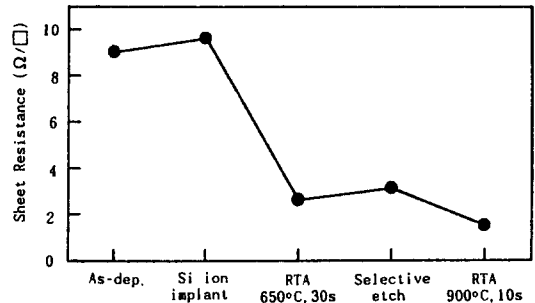


Fig. 18. Ion beam mixing을 이용한 SALICIDE 공정별 면저항의 변화.

Lateral Growth가 Si 원자의 확산반응임을 고려할 때, Ion beam mixing을 이용하면 Ti/Si간의 자연산화막(SiO₂)을 파괴하여 수직방향으로 Ti-Si 반응을 증가시키고, RTA를 이용하여 짧은 시간 동안 열처리 한다면, 앞서의 TiN 효과와 합쳐서 Lateral Growth를 최대한 억제시킬 수 있다. TiSi₂/Si의 면저항을 4장의 Si 기판에서 각각 20 pt.를 측정 한 결과 비저항 분포도가 Fig. 13에 나타내었다. 그림에서 Ion beam mixing을 하지 않은 경우는 평균 면저항이 1.15 Ω/□ 이고, 처리를 한 경우는 약 0.96 Ω/□로써 큰 차이는 보이지 않았으나, Data의 신뢰도는 후자의 경우가

훨씬 높다.

Fig. 14, 15는 Test Pattern에서 상기의 방법으로 Silicide의 Lateral Growth가 억제됨을 보여주고, Fig. 16은 이에 대한 Mechanism을 도식적으로 표현하였다. 이러한 추정은 Fig. 17의 TEM 단면사진에서 보는 바와 같이 Ion beam mixing에 의하여 Porous 구조와 양 끝에 Lateral Silicide를 갖는 조직 대신에 Layer-by-layer 형성에 의한 치밀한 조직을 형성시킬 수 있음을 보여주고 있다.

Fig. 18은 Si 기판에 형성된 C54- $TiSi_2$ 단면상과 약 250 Å 두께의 TiN 층을 보여주며, Fig. 2의 공정 순서를 진행하면서 각 단계에서의 면저항의 변화를 나타내었다.

이상의 결과에서 Ti-SALICIDE 공정에서 발견되는 Lateral Silicide 형성을 제거하고 전반적인 전기적 특성을 향상시키기 위하여 제안된 방법들 가운데서, 특히 Si^{4+} Ion implantation을 이용한 Ion beam mixing 방법은 Lateral Silicide 형성을 억제하고 계면 특성을 향상시킨다는 것을 알았다. 질소분위기에서의 Rapid Thermal Annealing으로 반응을 진행시키는 경우 상기의 효과가 더욱 뚜렷하였다. 따라서 Conventional Ti-SALICIDE 공정에서 문제가 된 Spacer Oxide 상에서 Lateral Silicide는 Ion beam mixing에 의하여 억제됨으로써, Gate와 Source/Drain 상의 Electrical Short 문제는 해결될 수 있을 것으로 본다.

4. 결 론

본 연구는 Ti-SALICIDE Device의 특성을 향상시키기 위한 선행 연구로서, 다음과 같은 주요 결론을 얻었다.

1) Ti-SALICIDE 공정을 질소분위기에서 RTA로 진행한 경우 각 단위 공정에서 최적 공정을 찾았다.

2) Ti/SiO_2 구조를 열처리 하면 Ti_5Si_3 상을 형성하지만, 상의 두께는 수십 Å로써 이는 Selective Etching 공정에서 제거될 수 있음을 알았다. 따라서 Ti-SALICIDE 공정에서 Low Temperature Anneal은

650°C, 30 sec 조건이 적합한 것을 재확인하였다.

3) 질소분위기에서의 RTA는 표면층에 TiN_xO_y (700°C 이하) 또는 TiN(800°C 이상)라는 수십-수백 Å 두께의 층을 형성시켜 Ti-SALICIDE 공정시 Spacer Oxide 상으로의 Si 원자의 확산을 저지하는 효과가 있음을 재확인하였다.

4) Si^{4+} Implantation에 의한 Ti/Si 계면에서의 Ion beam mixing은 표면과 계면의 Roughness를 개선하고 낮고 안정된 면저항의 분포를 보여주었다. 질소분위기에서 RTA 공정과 Ion beam mixing 방법을 동시에 사용하면 Lateral Silicide가 형성되지 않은 신뢰도 높은 Ti-SALICIDE 공정을 정립할 수 있다.

참고문헌

1. C.Y. Ting, *IEDM Tech. Dig.*, 110 (1984).
2. C.M. Osburn, *et al*, Proc. 1st Int'l Symp., *VLSI Science and Technology, Electrochem. Soc.*, **82-7**, 213 (1982).
3. S.P. Murarka, *Silicides for VLSI Applications*, Academic Press, New York, 1983.
4. K.L. Wang, *et al*, *IEEE J. Solid State Circuit*, **SC-17**, 177 (1982).
5. C.Y. Ting, *et al*, Proc. 1st Int'l Symp., *VLSI Science and Technology, Electrochem. Soc.*, 224 (1982).
6. D.C. Chen, *et al*, *IEEE Trans. Electron Devices*, **ED-33**, 1463 (1986).
7. J.F. Gibbons, *et al*, *Projected Range Statistics-Semiconductor and Related Materials*, Halstead Press, 1975.
8. B.Z. Lit, *et al*, *J. Vac. Sci. and Tech. B*, **5**, No. 6, 1667 (1987).
9. ASTM X-ray Diffraction data card No. 29-13621, 10-225, 5-0682 and 17-424.
10. E.D. Adams, *et al*, *J. Vac. Sci. and Tech. A*, **3**, No. 6, 2264 (1985).
11. L.J. Brillon, *et al*, *Appl. Phys. Letter*, **47**, No. 10, 1080 (1985).
12. S.P. Murarka and D.B. Fraser, *J. Appl. Phys.*, **52**, 342 (1980).
13. P. Revez, *et al*, *J. Appl. Phys.*, **54**(4), 2114 (1983).