Journal of the Korean Vacuum Society
Vol. 1, No. 1, February 1992 pp.176-182

〈연구논문〉

CVD 텅스텐의 응력 및 접합 누설전류 특성

이종무 · 최성호 · 이종길†

인하대학교, †삼성전자

(1991년 12월 23일 접수)

Stress and Junction Leakage Current Characteristics of CVD-Tungsten

Chong Mu Lee, Seong Ho Choi and Jong Gil Lee†

Inha University, †Samsung Electronics

(Received December 23, 1991)

요 약－CVD 텅스텐의 응력 및 접합 누설전류 특성을 조사하였다. 응력-연속어닐링온도의 그래프는 냉각곡선의 응력이 가열곡선의 그것보다 더 높게 나타나는 이력현상을 보인다. SiH_4 환원에 의하여 증착된 텅스텐 막이 수소환원에 의하여 증착된 막보다 전반적으로 내부응력 뿐만 아니라 열응력도 더 큰 것으로 나타났으며 전자가 후자에 비해 실리콘 기판과의 부착특성이 불량한 것도 이러한 응력차와 유관한 것으로 생각된다. SiH_4 환원에 의하여 형성된 텅스텐 막은 상온에서 인장응력 상태에 있으며, 온도가 증가됨에 따라 응력이 감소하다가 700℃ 부근에서 압축응력 상태로 바뀌고, 계속 더 온도가 증가됨에 따라 압축응력이 급격히 증가한다.

SiH_4 환원에 의한 텅스텐막의 증착온도가 증가함에 따라 n^+/p 접합의 누설전류가 크게 증가하며, 특히 400℃로 온도가 증가함에 따라 누설전류의 증가폭이 크게 나타났는데, 이것은 수소환원 반응시와 유사하게 텡스텐의 침투(encroachment)에 의한 실리콘 소모가 그 원인이다. SiH_4/WF_6 유속비의 증가에 따라서도 누설전류가 증가하는데 그 효과는 미소한 것으로 나타났다.

Abstract－Stress and junction leakage current characteristics of CVD-tungsten have been investigated. Stress versus continuous annealing temperature plot shows hysteresis curve where the stress level of the cooling curve is higher than that of the heating curve. It is found that the thermal and intrinsic stress of tungsten film deposited by SiH_4 reduction is higher than that by H_2 reduction.

The tungsten film deposited by SiH_4 reduction is in the tensile stress state below 700℃ and the stress of the film decreses with increasing annealing temperature. The stress state changes into compressive stress at about 700℃ and the compressive stress increases rapidly with increasing temperature.

Leakage current of the n^+/p diode increases rapidly especially in the range of 400～450℃ with increasing deposition temperature of the CVD-W by SiH_4 reduction, which is due to the Si consumption by W encroachment. On the other hand leakage current of the n^+/p diode slightly increases with increasing SiH_4/WF_6 ratio.

1. 서 론

초고집적 집적회로(ultra large scale integrated circuit : ULSI)의 컨택홀(contact hole) 또는 비어홀(via hole)을 잘 메꿀(filling)수 있고 낮은 비저항(resistivity) 값을 갖는 새로운 배선(interconnect) 재료로 화학증착법(chemical vapor deposition)에 의한 텅스텐(CVD-W)이 유력시되고 있다. W가 Si와의 부

Table 1. Deposition conditions of CVD-W film for stress property

	Deposition temp. (℃)	Pressure (m torr)	SiH_4 flow rate (sccm)	WF_6 flow rate (sccm)	H_2 flow rate (sccm)
SiH_4 reduced W films	300	100	10	20	1000
H_2 reduced W films	400	1000	–	80	1600

착특성은 양호하나 SiO_2와 같은 절연막과는 부착특성이 매우 나쁜 점을 이용하여 층간절연막에 컨택홀을 형성하고 이 컨택홀에만 W를 선택적으로 증착하는 텅스텐 선택증착 기술[1]은 Si 웨이퍼 표면에 TiN과 같이 W와의 부착특성이 좋은 막을 덮고 그 위에 웨이퍼 전면에 걸쳐 W를 증착하는 blanket-W 기술[2]보다 공정이 더 간단하다는 장점이 있다. 텅스텐 선택증착 기술에서는 WF_6를 SiH_4으로 환원시켜 W를 얻는 SiH_4 환원법이 WF_6를 H_2로 환원시켜 W을 얻는 H_2 환원법보다 더 널리 사용되는데, 그것은 H_2 환원법에서는 W의 수평방향으로의 침투(encroachment)에 의한 Si의 소모가 일어나고 그로 인하여 전류누설이 많이 발생하기 때문이다.

물론 SiH_4 환원에서도 H_2 환원법에서 보다 정도는 덜하지만 전류누설이 자주 발생하여 실제 공정개발의 걸림돌이 되고 있다. SiH_4 환원법에 의한 W의 또 한 가지 문제점은 H_2 환원법에 의한 W에 비하여 Si와의 부착특성이 나빠 컨택홀에서 W막의 박리(peeling)현상이 더러 나타나는 것으로 이것은 전자가 후자에 비해서 막의 응력이 더 크기 때문으로 추정된다.

본 논문에서는 SiH_4 환원법과 H_2 환원법에 의한 CVD-W막들의 열처리 온도(heat cycle)에 따른 응력상태의 변화와 증착압력에 따른 컨택홀에서의 전류누설 특성에 관하여 조사한 내용을 보고하고자 한다.

2. 실험방법

2.1. 응력측정

P형 (100) Si 웨이퍼를 100 : 1 HF 용액에 45초 담구어 표면의 자연 산화막을 제거한 후 Table 1의 공정조건으로 CVD-W막을 도포(deposition)한 다음, 웨이퍼를 가열 및 냉각하면서 온도의 변화에 따른 W막의 응력(stress)의 변화를 조사하였다.

Fig. 1은 본 실험에서 W막을 증착하기 위하여 사용한 LPCVD 장비의 개략도를 보인 것이다. 웨이퍼를

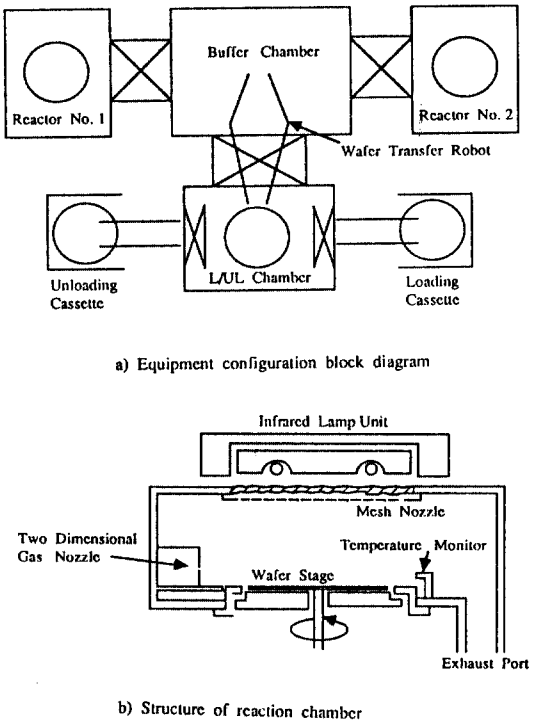

Fig. 1. Schematic representation of LPCVD equipment.

한 매씩 처리하는 냉벽형(cold wall type) 반응으로서 웨이퍼 앞면을 적외선 램프로 가열하는 방식을 사용한다. 한편, Fig. 2는 W막의 응력을 측정하는데에 사용한 장치(FLEXUS사의 stress gauge)의 원리를 나타낸 것으로 박막의 응력은 웨이퍼의 곡률반경으로부터 구해진다.

2.2. 누설전류 측정

P형 (100) Si 웨이퍼에 200 Å 두께의 고온열 산화막(HTO)을 성장시킨 다음 APCVD SiO_2를 8,000 Å 두께로 증착하였다. 이어서 500 μm×500 μm 크기의 정사각형 컨택홀(contact hole)을 형성하고 As^+ 주입에 의하여 간단한 n^+/p 다이오드(diode)를 만들

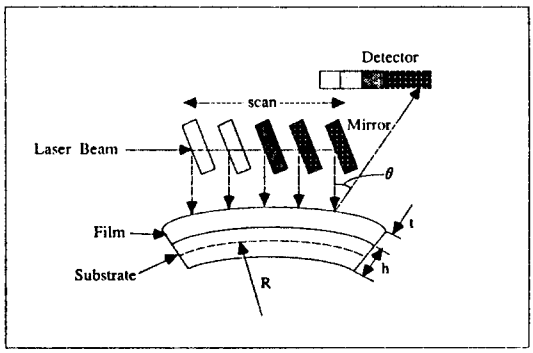

Fig 2. Thin film stress measurement system.
$\sigma = E\ h^2/(1-\nu)\ 6\ R_f$
where, $E/(1-\nu)$ = The biaxial elastic modulus of the substrate (1.805E11 Pa for 100 Si wafers)
h = Substrate thickness (m)
t = Film thickness (m)
R = Substrate radius of curvature (m)
σ = The average film stress (Pa)

었다. 이온주입 손상을 제거하기 위해 900℃의 질소 분위기에서 30분간 어닐링 처리하였다. 100 : 1 HF 용액에 담구어 컨택홀 내의 자연산화막을 제거해 준뒤 CVD-W막을 SiH_4 환원법에 의하여 증착하였다. 이때 W막의 증착 공정조건은 Table 2에 보인 바와 같다. 이렇게 준비된 시편들에 대해 HP 4145로 역바이어스(reverse bias)하에서 I-V 특성곡선을 얻음으로써 누설전류를 측정하였다.

3. 실험결과 및 검토

3.1. W막의 응력

Fig. 4는 SiH_4 환원에 의하여 얻어진 W막과 수소환원에 의하여 얻어진 W막에 대해 어닐링온도의 변화에 따른 막의 응력변화를 조사한 것이다. 증착 직후 W막의 응력은 SiH_4 환원의 경우가 수소환원의 경우에 비해 응력이 2배 이상이며, 450℃까지 가열했다가 다시 냉각하는 동안 SiH_4 환원에 의한 W막의 응력이 수소환원에 의한 W막의 응력보다 일관성 있게 더 높은 수준을 나타내고 있다. 두 경우 모두 450℃까지의 전온도범위에 걸쳐 인장응력(tensile stress) 범위에 있으며, 냉각곡선이 가열곡선보다 높게 위치하여 이른바 응력의 이력현상을 나타낸다. 가열시 온도의 증가에 따른 응력완화는 증착시 미처 완전히 결정화

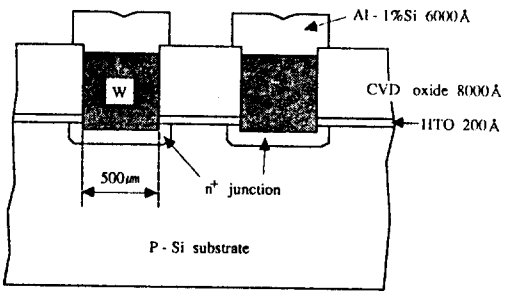

Fig. 3. Schematic representation of the n^+/p diode for junction leakage test.

Table 2. Deposition conditions of CVD-W film for junction leakage test

Deposition temperature(℃)	200	250	300	350	400	450
Sample No.	E1	E2	E3	E4	E5	E6

Pressure : 100 mTorr, SiH_4 : 10 sccm, WF_6 : 20 sccm, H_2 : 1000 sccm

SiH_4/WF_6 flow ratio	0.3	0.5	0.7	0.9	1.1	1.3
(SiH_4 flow rate, sccm)	(6)	(10)	(14)	(18)	(22)	(26)
Sample No.	F1	F2	F3	F4	F5	F6

Temperature : 300℃, pressure : 100 mTorr, WF_6 : 20 sccm, H_2 : 1000 sccm

(crystallization)되지 못한 부분의 결정화와 결정립 성장(grain growth)에 따른 막 밀도의 증가와 변형, 그리고 W막과 Si 기판간의 열팽창계수 차에 따른 열응력에 기인하는 것으로 보인다. 그러나 냉각시 온도의 감소에 따른 응력의 증가는 결정화나 결정립 성장과는 무관하고, 탄성(elastic) 및 소성변형(plastic deformation)과 W막과 Si 기판간의 열팽창계수의 차에 따른 열응력에 의한 것으로 생각되며, SiH_4 환원에 의한 W막이 수소환원에 의한 W막보다 증착 직후에도 응력이 더 높을 뿐 아니라 후속 열처리 과정에서도 더 많은 열응력을 받음을 알 수 있다. 일반적으로 기계적 변형으로 인한 응력은 어닐링 처리에 의하여 열적으로 풀어줄 수 있고, 증착 공정시 막내에 생긴 응력 또한 용융점이 낮은 재료의 경우에는 어닐링에 의하여 풀어줄 수 있다. 그러나 W는 용융점이 높은 재료이므로 W막이 높은 응력상태에 있을 때에는 어닐링 효과가 적으며, 오히려 막과 기판(substrate)

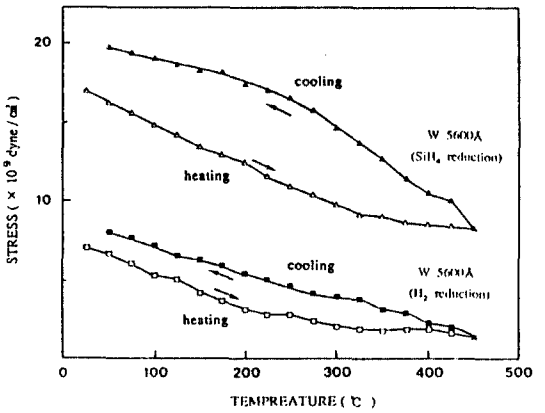

Fig. 4. Stresses in SiH_4 reduced and H_2 reduced tungsten films as a function of annealing temperature.

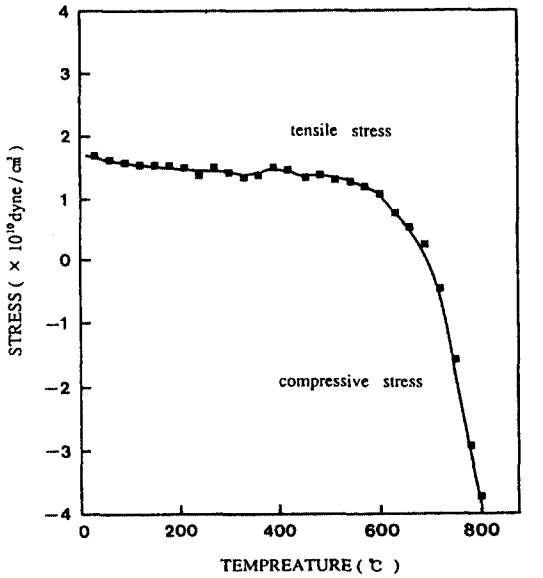

Fig. 5. Stresses in SiH_4 reduced tungsten films as a function of annealing temperature.

재료간의 열팽창계수의 차에 의한 응력이 막의 응력 상태를 더 높이는 효과를 나타냄을 알 수 있다. 막내의 응력은 모두 기판 표면부에 있는 원자층에 영향을 미친다. 이런 표면의 원자와 기판 원자들간의 결합 강도는 막 응력에 의하여 약화되고, 따라서 막의 응력이 클 때에는 막과 기판 재료사이에 화학반응이 충분히 일어나지 않는 한, 부착특성이 좋을 수 없다.

최근 후지쓰사의 Ohba 등[6]은 SiH_4 환원에 의하

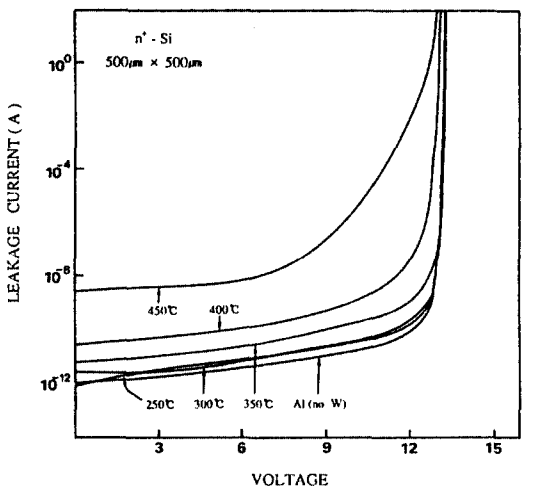

Fig. 6. Junction leakage current of n^+/p diode as a function of W deposition temperature.

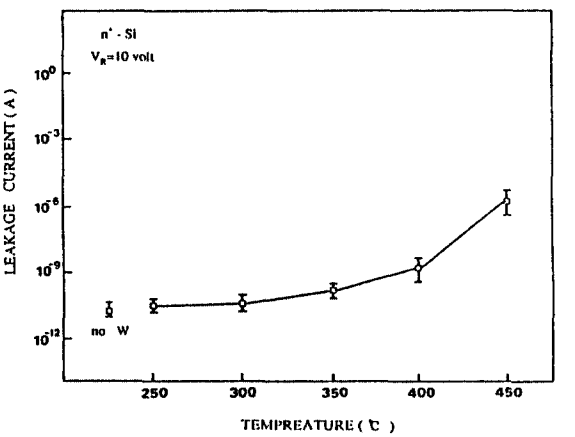

Fig. 7. Junction leakage current as a function of W deposition temperature.

여 CVD 막을 형성할 경우에 전면가열(front heating) 방식의 CVD 장비에서 얻어진 W막은 압축응력(compressive stress) 상태를 나타내는 반면, 후면가열(backside heating) 방식의 CVD 장비에서 얻어진 W막은 인장 응력상태를 나타낸다고 보고한 바 있다. 본 연구의 실험에 사용된 CVD-W 장비는 전면가열 방식의 것임에도 불구하고 증착직후의(as-deposited) W막이 인장응력을 나타내므로 Ohba 등의 보고와는 상반된 실험결과이다. Ohba 등의 보고서에서는 그들이 실험에 사용한 W막의 증착 공정조건에 대한 자세한 설명이 없어 확실히 말하기는 어려우나 본 연

구자의 견해로는 박막의 응력은 증착장비의 가열방식 뿐만 아니라 증착온도, 압력, 기체유속 등의 다른 공정조건과 막 두께에 의해서도 크게 좌우되는 것 같다.

Fig. 5는 SiH_4 환원에 의하여 얻은 W 박막의 어닐링온도의 변화에 따른 응력 거동을 좀더 잘 파악하기 위해 800℃까지 가열하면서 응력변화를 측정한 것이다. 사용된 시편의 증착 공정조건은 Fig. 4의 SiH_4 환원된 시편과 꼭 같았으나 막 두께는 2,300 Å으로 얇았다. 실제공정에서는 W막의 Si 기판에 대한 부착성을 향상시키기 위하여 증착이 끝날무렵 450~500℃ 정도의 온도범위에서 어닐링 처리를 해주는 것이 최근의 경향이다. 가열온도가 계속 증가함에 따라 W막의 응력은 계속 감소하여 700℃ 부근에서는 압력응력으로 바뀌고, 온도가 계속 800℃까지 증가됨에 따라 압축응력 영역에서 응력이 급격히 상승한다.

3.2. 접합누설전류 특성

Fig. 6은 접합누설(junction leakage)에 미치는 증착온도 효과를 조사하기 위하여 각 온도에서 CVD-W막을 증착한 후 n^+/p 다이오드에 대해 전류를 역바이어스 전압의 함수로 나타낸 것이다. 일반적으로 n^+/p 다이오드의 접합 깊이가 p^+/n 다이오드의 그것보다 더 짧아 접합누설이 더 우려되기 때문에, 본 연구에서는 편의상 n^+/p 다이오드에 대해서만 실험을 했다. Fig. 7은 Fig. 6으로부터 역바이어스 전압 V_R = −10 volt일 때의 n^+/p 다이오드의 전류를 W막 증착온도의 함수로 다시 그린 것이다. 250℃와 300℃에서는 접합누설 수준이 W를 사용하지 않은 Al/n^+ 컨택에서의 n^+/p 다이오드의 그것과 비교하여 큰 차이가 없지만, 350℃, 400℃, 그리고 450℃로 증착온도가 증가됨에 따라 누설전류가 급격히 증가됨을 알 수 있다. 400℃의 경우에는 Si가 노출되어 있는 켄택홀 내부 뿐만 아니라 SiO_2막이 덮혀있는 컨택홀 외각 지역에도 W가 군데군데 증착되어 이른바 선택성 상실이 심했다. 450℃에서는 selective W라기 보다는 오히려 웨이퍼 전면에 W막이 덮히는 blanket W에 가까운 경향을 나타내었다. 따라서 400℃와 450℃의 시편에서는 SiO_2 상의 W를 etchback 공정으로 제거한 후에 Al을 증착하여 누설전류를 측정할 수 있었다. Fig. 8(a)와 (b)는 각각 300℃와 400℃에서 증착된 selective W를 가진 다이오드에 대한 SEM 사진이다. 300℃와 같은 저온에서는 Si의 소모가 없으나, 400℃

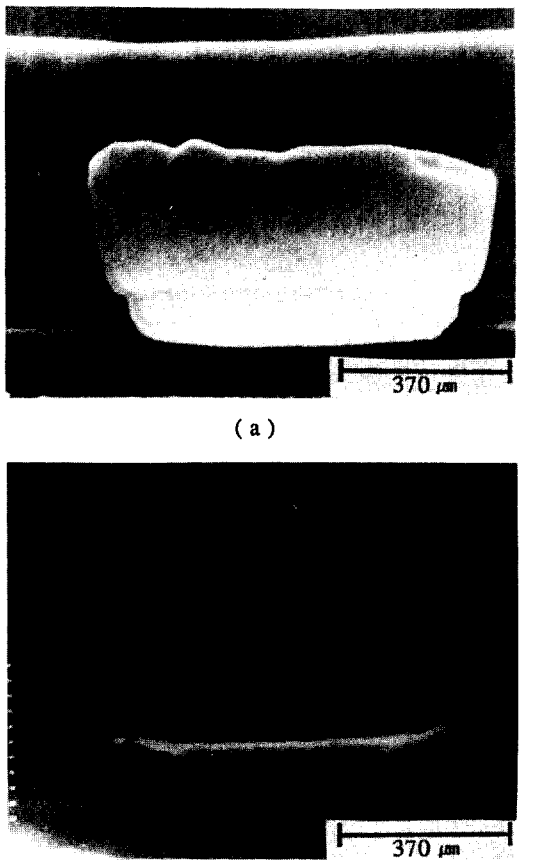

Fig. 8. SEM photographs for selective W films deposited at (a) 300℃ and (b) 400℃.

에서 증착된 W막에서는 횡방향으로 Si의 소모와 함께 W의 침투(encroachment)가 일어났음을 알 수 있다. 이것은 SiH_4 환원에 의한 selective W에서의 고온 누설전류도 수소환원에 의한 selective W에서의 누설전류와 마찬가지로 횡방향으로의 W의 침투에 의한 Si의 소모가 그 발생원인임을 시사하는 것으로 보아도 무방할 것이다.

Wulu 등[7]은 CVD-W막의 응력이 얕은 접합(shallow junctio)의 가장자리에서 누설을 일으키는 주원인이며, W막의 응력에 의한 누설전류는 특히 저온에서 더 심한 것으로 보고한 바 있다. 그러나 Joshi 등[8]은 W막의 두께는 누설전류에 큰 영향을 미치지 않으며, 이것은 W막의 응력이 누설전류의 주요원인이 아님을 의미하고 SiH_4 환원에 의한 selective W의 전류누설도 Si 소모 등에 그 원인이 있는 것으로 추

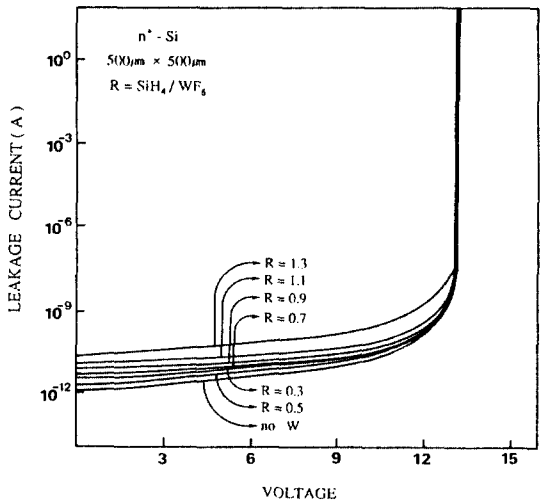

Fig. 9. Junction leakage current of n^+/p diode as a function of SiH_4/WF_6 gas flow ratio.

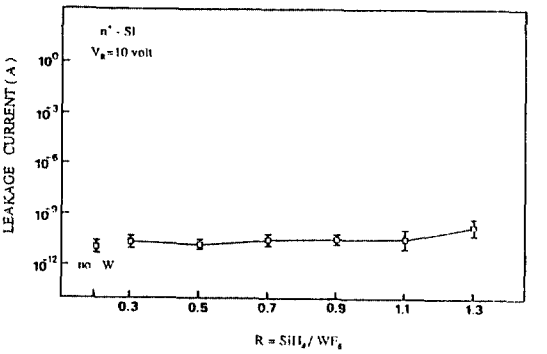

Fig. 10. Junction leakage current as a function of SiH_4/WF_6 gas flow ratio.

정한 바 있다. 본 실험결과는 Joshi 등의 보고와 일치한다고 하겠다.

Fig. 9는 누설전류에 미치는 SiH_4/WF_6 유속비의 효과를 보인 전류 대 역바이어스 전압의 그림이다. 증착온도 300℃, 압력 0.1 torr하에서 WF_6와 수소의 기체유속을 각각 20과 1000 sccm(standard cc/min)으로 고정시키고, SiH_4 유속을 6, 10, 14, 18, 22 및 26 sccm으로 바꿈으로서 SiH_4/WF_6 유속비를 0.3~1.3의 범위에서 변화시켜 접합누설 전류를 측정한 것이다. 또한 Fig. 10은 Fig. 9로부터 역 바이어스 전압 $V_R=-10$ volt일 때의 전류에 대한 결과치를 온도의 함수로 다시 그린 것이다. W를 증착하지 않은 Al/Si 컨택의 control group과 비교할 때 접합 누설전류가 약간 더 높지만, 그 차이는 그다지 크지 않다. 또한 SiH_4/WF_6 유속비의 변화가 접합누설 전류에 별로 영향을 미치지 않는 것으로 보인다. 그 밖에 특기할 점은 SiH_4/WF_6 유속비가 1.1로부터 1.3으로 증가함에 따라 접합누설 전류가 비교적 뚜렷이 증가했다는 점이다. 여기서 R=1.3인 경우에도 blanket W에 가까운 선택성 상실을 보여 SiO_2상의 W를 etchback하여 제거하였다.

상기 실험결과들을 종합해 볼 때, W막의 누설전류는 막 증착온도가 증가함에 따라 현저히 증가하지만, SiH_4/WF_6 유속비의 변화에 의해서는 큰 영향을 받지 않음을 알 수 있다. 즉, 증착온도를 250~300℃ 수준으로 유지하면, SiH_4/WF_6 유속비 변화에 따라 Si의 소모나 W의 침투에 의한 누설전류는 발생하지 않는다는 것이다.

4. 결 론

본 연구에서 얻은 실험결과들을 분석하여 얻은 중요한 결론을 요약하면 다음과 같다.

1. W막을 450℃까지 가열했다 다시 냉각할 때 응력 대 온도곡선은 냉각곡선이 가열곡선 보다 높게 나타나는 이력현상을 보인다. SiH_4 환원에 의하여 증착된 텅스텐 막이 수소환원에 의하여 증착된 막보다 전반적으로 내부응력 뿐만 아니라 열응력도 더 큰 것으로 나타났으며, 전자가 후자에 비해 Si 기판과의 부착특성이 불량한 것도 이러한 응력차와 관계있는 것으로 보인다. 텅스텐막을 800℃까지 가열할 때 700℃ 이하에서는 인장응력 상태를 나타낸다. 온도의 증가에 따라 응력은 포물선적으로 감소하여, 700℃에서는 거의 0이 되며 계속 800℃까지 온도를 증가시킴에 따라 텅스텐막은 압축응력 범위에서 응력의 급격한 증가를 나타낸다.

2. SiH_4 환원에 의한 텅스텐막의 증착온도가 증가함에 따라 누설전류가 크게 증가하며, 특히 400℃에서 450℃로 온도가 증가함에 따라 누설의 증가폭이 크게 나타났는데, 이것은 응력보다는 수소환원 반응시와 유사한 텅스텐의 침투(encroachment)에 의한 실리콘 소모가 그 원인이다. SiH_4/WF_6 유속비 증가에 따라서는 전류누설이 증가하는데, 그 영향은 미소하게 나타났다.

참고문헌

1. H. Itoh, T. Moriya and M. Kashiwagi, Solid State Technol., Vol 11, p. 83 (1986).
2. N. S. Tsai *et al.*, *Tech. Dig. IEDM.* p. 462 (1988).
3. T. Ohba, S. I. Inoue and M. Maeda, *Tech. Dig. IEDM,* p. 213 (1987).
4. K. Blewer and V.A. Wells, *Tech. Dig. IEDM.*, p. 852 (1984).
5. H. H. Busta, C. H. Tang, *J. Electrochem. Soc.* Vol. 133, p. 1195 (1986).
6. T. Ohba, T. Suzuki, T. Hara, Y. Furumura and K. Wada, "Tungsten and Other Advanced Metals for VLSI/VLSI Applications", Ed. by S. Furukawa and S. Wong, Vol. V, MRS, Pittsburgh, PA., p. 273 (1990).
7. H. C. Wulu, D. Gardner and K. Saraswat, "Tungsten and other refractory metals for VLSI applications IV". R. A. Blewer and C. M. MeConica, MRS, p. 111 (1989).
8. R. Joshi, E. Mehter, M. Chow, M. Ishaq, S. Kang, P. Geraghty and J. Mcinemey, "Tungsten and other advanced metals for VLSI/ULSI applications V", S. Furukawa and S. S. Wong, MRS, p. 281 (1990).