

<연구논문>

통계적 실험계획법을 이용한 SOG 평탄화 공정의 최적화

임채영 · 박세근

인하대학교 전자재료공학과
(1991년 12월 23일 접수)

Optimization of Spin-On-Glass Planarization Process Using Statistical Design of Experiments

C.Y. Lim and S.-G. Park

*Department of Electronic Materials and Devices Engineering
Inha University, Incheon, 402-751, Korea
(Received December 23, 1991)*

요 약— 고집적 회로제작에 필수적인 평탄화 기술을 SOG를 이용하여 개발하였다. 1.5 micron double metal 기술의 공정변수들을 통계적 실험계획법을 적용하여 주요변수들을 찾아내고 그들을 최적화하였다. 최적공정 조건은 SOG 도포 횟수는 2회, hot plate bake는 300°C에서 충분히, 그리고 furnace curing은 400°C 이하에서 40분간 진행하는 것이었다.

Abstract— Planarization technology, which is essential to VLSI, has been developed using non-etch back Spin-On-Glass (SOG). Process factors for 1.5 micron double metal technology are optimized by the statistical design of experiments. Optimum conditions are found to be a process with twice SOG coating, sufficiently long hot plate baking at 300°C, and furnace curing for 40 minutes below 400°C.

1. 서 론

반도체 집적회로 기술에서 그 집적도가 지속적으로 증가하여 감에 따라 소자의 크기가 감소되어 왔으나, 수직적 크기는 별로 감소하지 않으면서 수평적 크기가 주로 감소하게 됨으로써, 평탄화문제가 심각히 부각되었다. 더구나 회로의 기능을 증대시키고 집적도를 보다 높이기 위하여 다층 다결정 규소층구조(multi-level poly-silicon), 또는 다층 배선구조(multi-level metallization)를 채택함에 따라 수직적 구조는 더욱 취약하게 되었으며 평탄화 기술은 집적회로의 신뢰

도에 필수적인 문제로 인식되게 되었다.

평탄화 기술은 배선금속층의 선폭이나 두께를 일정하게 유지하는 것이 주목적이다. 수직구조의 종류에 따라서 contact hole(또는 via hole)에서와 단순한 step에서의 금속배선의 coverage로 나누어 볼 수 있으며, 평탄화의 대상으로는 절연층막(dielectric layer)과 금속층의 2종류로 구분할 수 있다. 1차금속막(first metal layer) 형성 직전의 절연층과, 1차금속막과 2차금속막(second metal layer) 사이의 층간절연층(inter-dielectric layer)이 평탄화의 대상이 되고 있다[1-3]. 금속층 자체의 평탄화는 주로 contact hole이나 via hole의 매물(filling)에 적용되고 있으며 CVD tungsten 증착이나[4] laser를 이용한 알미늄 금속박막의 melting 방법들이 있다[5, 6].

*이 연구는 1989년도 교육부지원 한국학술진흥재단의 자유공모과제 학술연구조성비에 의하여 연구되었음.

층간절연층은 주로 LPCVD 또는 PECVD 방법에 의한 산화막을 사용하며 이 막의 평탄화 기술은 다층 배선구조를 갖는 집적회로의 공정에서 가장 활발히 연구되어 왔다. 본 연구는 spin-on glass(SOG)를 이용한 층간절연층의 평탄화 기술의 최적화에 대한 것이다. 액체상태의 낮은 점도(viscosity)의 SOG를 spin-coating하여 poor topology를 갖는 step의 골에 채우면 절연층의 굴곡이 완화되고, 따라서 2차금속 배선의 step coverage를 개선시킬 수 있다. 이 방법은 non-etch-back의 SOG 기술이라고 하며 anisotropic dry etch 공정이 필요하지 않기 때문에 particle 생성의 문제점과 etch 공정의 생략으로 throughput 면에서도 유리하다. 또 SOG의 점도를 조절함으로써 원하는 두께와 평탄화도를 간편히 바꿀 수 있으며 SOG 용액에 소량의 불순물(주로 phosphorus)을 첨가할 수도 있다. 그러나 non-etch back 방법의 취약점은 via-hole 형성과정에서 SOG와 CVD oxide 사이의 etch rate 차이 때문에 접촉층의 profile이 좋지 않을 가능성이 있으며, 또 대기에 노출된 SOG 표면에 흡착된 수분이 2차금속막 증착 때에 out-gassing되는 현상으로 인해 접촉저항값이 증가될 우려가 있다[3]. 본 연구에서는 통계적 실험설계와 분석법을 이용하여 SOG 공정을 최적화하여 전기적 특성과 신뢰도를 제고시키고자 한다.

어떤 실험을 진행함에 있어 그 영향을 파악하여야 하는 실험변수는 매우 많은 경우가 흔하다. SOG 공정실험을 보면 spin coating 때의 spin-speed 및 시간, coating 후에 hot plate에서 수행하는 baking의 온도와 시간, furnace curing의 온도와 시간 및 주변기체의 종류 등이 있으며, 이들을 모두 변화시켜가며 그 영향을 구하는 실험을 수행하기에는 그 실험수가 너무 많기 때문에 시간적, 경제적 이유의 현실적인 제약이 있게 된다. 실험수를 줄이는 방법으로 생각할 수 있는 one-variable-at-a-time 방법(다른 변수들은 어떤 특정값에 고정시키고 알고자하는 하나의 변수만을 변화시키며 주요특성을 관찰하는 방법)은 측정치 및 그 결과의 해석에 있어서 많은 단점이 있다. 즉, 변수사이에 교호작용이 있을 경우에는 틀린 결론을 얻기가 쉽기 때문이다[7]. 따라서 실험수를 줄이면서도 원하는 변수들의 주효과와 교호작용을 얻을 수 있는 실험배열법이 많이 제시되어 왔으며, 본 실험에서는 그 중에서 가장 효율적이고 응용범위가 넓은 직교배열

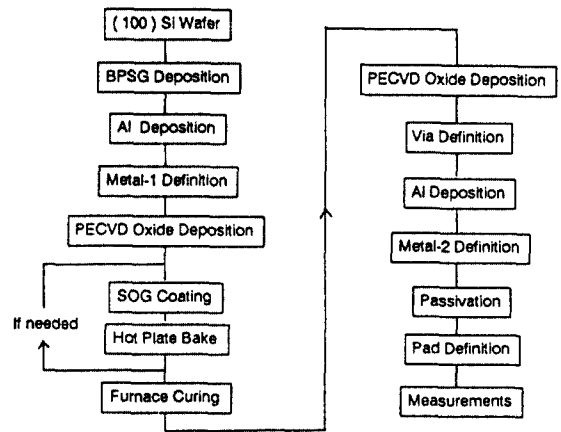


Fig. 1. 시료제작 흐름도.

(orthogonal array)을 이용한 실험배열을 계획하였으며 metal 선폭 1.5 micron인 1.2 micron double metal CMOS 공정개발에 적용하였다.

2. 실험

2.1. 시료제작

직경 5 인치의 (100) silicon wafer에 1.2 micron double metal CMOS 공정 중에서 본 실험에 필요한 단계를 선별하여 (Fig. 1)과 같이 진행하였다. 저압 화학증착방식(LPCVD)으로 BPSG layer를 500 nm 증착한 후에, varian 3190 sputter에서 두께 600 nm의 알루미늄을 증착하였으며, 사진식각 공정으로 1차금속막(Metal-1)을 정의하였다. 층간절연층을 위하여 200 nm의 PSG oxide layer를 PECVD(Plasma-enhanced chemical vapor deposition) 방식으로 증착하였으며 SOG층을 spin-coating하고 마지막으로 PECVD oxide를 증착하였다. 특히 SOG층은 평탄화를 위한 것으로서, 사용한 SOG는 Allied Signal Corp.의 Accuglas P-114A이었으며 silicate type으로 phosphorus가 4% 함유된 것이다. Spin coating은 3000 rpm으로 20초 동안 행하였으며 single coating의 경우에 furnace curing후의 최종 SOG film 두께는 평탄한 영역에서 약 100 nm가 되며 step이 있는 곳에서는 이보다 두꺼운 SOG가 남게된다. 평탄도를 개선하기 위하여 SOG의 두께를 증가시키는 경우에는 같은 조건의 coating을 여러번 진행하였다. 그러나, 고온에서의 furnace curing을 매 coating 때마다 반

Table 1. 실험인자와 각 인자의 수준.

인자이름	공정이름	인자의 수준		
		1수준	2수준	3수준
COATNO	Coating 횟수	Single	Double	Triple
HOTEMP	Hot plate 온도	100°C	200°C	300°C
BKTIME	Bake 시간	60 sec	90 sec	120 sec
FUTEMP	Furnance curing 온도	350°C	400°C	450°C

복합 경우에는 Metal-1에서 hillock 현상이 발생하므로, 보다 저온의 hot plate baking만을 반복하였고 마지막 coating 후에 고온의 furnace curing을 한번만 수행하였다. Hot plate baking 후에 furnace에서 final curing을 질소분위기에서 30분간 진행하였다. 층간 절연막의 총두께를 1000 nm로 유지하기 위하여 spin-coating 횟수에 따른 SOG의 두께 차이를 고려하여 적당한 두께의 PECVD 산화막을 계속하여 증착시켰다.

Via hole을 tapered dry etch 방법으로 형성한 후에 2차금속박막(Metal-2)인 알루미늄을 1000 nm 증착하였다. Sputter deposition 직전에 via contact 저항을 개선하기 위해 sputter-etch를 약 40초 진행한 후에 금속을 증착시켰으며 사진식각 공정을 거쳐 Metal-2를 정의하였다. PECVD에 의한 silicon nitride layer로 passivation하고 pad도 형성하였다. 사진식각 공정에 사용한 photomask는 배선공정의 특성을 분석하기 위한 test pattern을 포함하고 있다.

2.2. 실험설계

집적회로의 전기적 특성과 신뢰도에 영향을 주는 평탄화 공정의 변수 중에서 본 실험에서 중요하다고 믿어지는 4가지를 선정하였다. 즉 SOG coating의 횟수, hot plate bake의 온도, bake 시간, 그리고 furnace curing 온도 등으로, 이들은 SOG 박막의 재료특성과 평탄화도, 그리고 금속배선의 배선저항, 접촉저항과 step coverage에 따른 신뢰도 등에 큰 영향을 미칠 것으로 기대된다. 각 변수는 3수준으로 변화시키기로 하였으며 위의 변수들을 편의상 COATNO, HOTEMP, BKTIME, FUTEMP로 각각 표시하였고(Table 1)에 정리되어 있다.

Table 1에서 인자 'HOTEMP'가 2수준이라는 것은

Table 2. 실험배열표, 각 인자의 실제값은 Table 1에 나타나 있다

실험번호 또는 wafer 번호	각 인자의 실험수준			
	COATNO	HOTEMP	BKTIME	FUTEMP
1	1	1	1	1
2	1	2	2	2
3	1	3	3	3
4	2	1	2	3
5	2	2	3	1
6	2	3	1	2
7	3	1	3	2
8	3	2	1	3
9	3	3	2	1

'hot plate 공정온도'를 200°C로 진행한다는 의미가 된다. 인자의 수가 4이고 각 인자는 3수준이므로 만일 모든 가능한 경우에 대하여 실험을 진행하여야 한다면 실험수는 모두 $3^4=81$ 개가 필요하지만, 효율적인 실험계획법의 일종인 표준직교 배열표(standard orthogonal array)를 이용하여 실험수를 9개로 줄였으며 그 배열이 (Table 2)에 나타나 있다[8].

Table 2의 예로, 번호 7의 wafer는 Coatno=3, Hotemp=1, Bktime=3, Futemp=2의 공정조건으로 되어 있다. 이것은 SOG는 3번 coating하고, hot plate bake는 100°C에서 120초 동안 진행하며, furnace에서는 450°C로 30분간 진행한다는 뜻이 된다. 각 실험번호에 대하여 2장씩의 wafer를 실험하였으며 전기적인 특성은 wafer당 아홉 군데를, electromigration 실험은 wafer당 세 군데를, 그리고 SEM의 단면관찰은 wafer당 한 군데를 선정하여 측정관찰 하였다.

3. 실험결과 및 고찰

3.1. SOG 박막의 특성

Fig. 2에 SOG 박막의 두께와 굴절율의 변화를 열처리 과정에 따라, 즉 도포 직후와 hot plate bake를 100°C, 200°C, 300°C, 그리고 furnace에서 450°C로 각각 열처리를 한 후에 optical interference 방법으로 두께를 측정하고 ellipsometer로 굴절율을 측정하여 도시하였다. Spin coating 직후의 SOG 박막에는 휘발성의 solvent가 잔류하게 되나 계속해서 hot plate bake나 furnace curing을 거치면서 solvent나 수분의

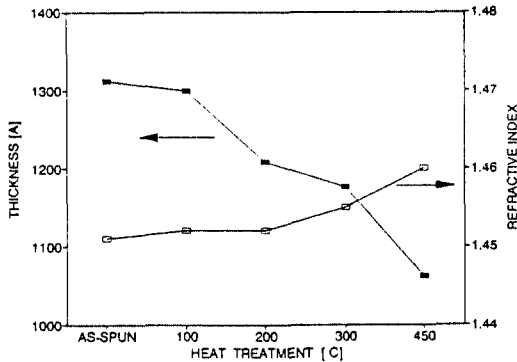


Fig. 2. SOG의 열처리에 따른 두께와 굴절율의 변화.

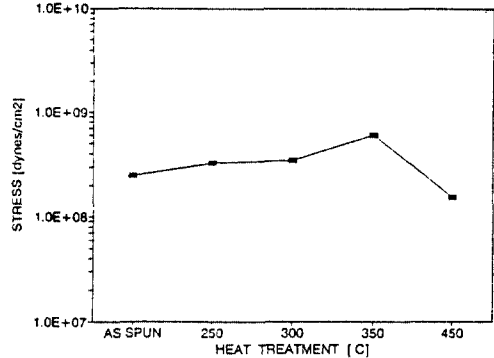


Fig. 3. SOG의 열처리에 따른 stress의 변화.

증발과 Si-O 구조의 강화로 밀도가 점점 높아지게 되며 부피도 수축된다. 따라서 두께도 hot plate bake 온도의 증가에 따라 얇아지지만 특히 450°C에서의 furnace curing에서 더욱 많이 감소됨을 Fig. 2에서 알 수 있다. Fig. 2의 굴절율의 변화 역시 SOG 박막의 질이 CVD 방법으로 얻는 PSG oxide에 근접해감을 보여주고 있다. 낮은 온도의 hot plate bake로서는 굴절율의 변화가 적었으나 고온의 furnace에서 충분히 열처리를 한 후에는 굴절율 값은 1.46까지 되었다.

두께의 감소에 따라 부피의 축소가 커지면 그 만큼 stress도 커질 것이며 stress는 박막의 adhesion 특성과 crack 문제에 큰 영향을 주기 때문에 furnace에서의 여러 열처리 온도에 따른 stress를 측정하여 Fig. 3에 도시하였다. Stress는 열처리온도가 350°C일 때까지는 증가하였으나 450°C에서의 30분간 열처리 후에는 감소하였다. 이는 Si-O 구조가 점점 발전하면서 밀도는 증가하지만 350°C 이상에서는 Si-O의

발전보다는 SOG에 함유된 phosphorus가 P-O 결합을 이루면서 stress가 감소되기 때문으로 생각된다[9].

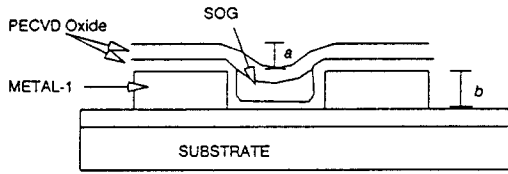
3.2. 평탄화 공정의 특성

평탄화 공정의 질을 분석하기 위하여 9가지의 실험조건에 대하여 전기적 특성과 단면관찰의 결과를 Table 3에 수록하였다. 각 수치는 측정치들의 평균값이다.

Line/space가 각각 1.5 μm/1.5 μm인 metal-1과 metal-2가 서로 직교하는 bridge pattern을 이용하여 metal-2의 line resistance를 우선 측정하였다. Meter-2는 Metal-1과 층간절연층이 형성하는 step을 가로 질러 나가기 때문에 평탄화의 정도에 따라 metal line의 폭과 두께가 변하며, 이는 저항값에 반영이 되기 때문에 저항값의 측정은 전기적으로 step coverage를 측정할 수 있는 방법이다. Bridge pattern을 이용하여 배선의 신뢰도를 나타내주는 electromigra-

Table 3. 9가지의 실험조건에 따른 각 특성의 측정결과

실험번호	각 인자 수준				Metal line Resistance [ohm]	Mean failure Time [hour]	Via 저항 [10 ⁻³ ohm]	평탄화도 [%]
	Coatno	Hotemp	Bktime	Futemp				
1	1	1	1	1	1217	1.95	67.0	35
2	1	2	2	2	1282	0.95	70.0	36
3	1	3	3	3	1244	0.72	69.6	42
4	2	1	2	3	1147	1.69	65.5	47
5	2	2	3	1	1196	2.10	61.3	54
6	2	3	1	2	1158	5.37	65.3	58
7	3	1	3	2	1104	6.03	67.5	71
8	3	2	1	3	1163	3.64	69.6	64
9	3	3	2	1	1120	8.35	65.7	74



$$\text{Planarity} = 1 - a/b$$

Fig 4. 평탄화도의 정의와 측정방법.

tion 특성도 관찰하였다. 시료를 200°C로 유지하면서 전류밀도 $J=2.75 \times 10^6$ Amp/cm²의 constant current를 흘려주는 방법으로 50%의 mean-failure-time을 측정하였다. Via contact resistance는 Kelvin pattern을 이용하였으며 Table 3에 나타나 있는 값은 1.2 μm×1.2 μm 크기의 것이다. Metal-2의 photolithography 공정의 질을 알아보기 위해, metal-1의 step 위에 형성된 finger 수가 15인 inter-digit pattern을 이용하여 metal-2의 전기적 short 여부를 측정하였으나 모든 경우에서 metallic short는 나타나지 않았으며, 이는 step의 bottom 부근에서 under-etch 또는 stringer 현상이 없었다는 것을 의미한다.

층간절연층의 전기적 절연특성을 확인하기 위하여, 또한 metal-1과 metal-2의 spike 존재여부를 검증하기 위하여, metal-1과 metal-2를 전극으로 하는 150 μm×200 μm의 capacitor pattern을 이용하여 100 V 이상의 전압을 가하였으나 모든 시료에서 10 μA 이상의 누

설전류는 관찰되지 않았다.

마지막으로 주사전자현미경으로 각 시료의 단면을 관찰하여 평탄화도를 측정하였다. 높이는 0.75 μm이며 aspect ratio가 0.5인 step에서의 평탄화 정도를 관찰하였고 percent planarity는 Fig. 4에 정의되어 있다.

4가지 인자들의 조합으로 구성된 9가지 실험으로부터 4가지의 특성에 대한 측정치를 통계적 분석법을 이용하여 주요인자를 우선 결정하였다. 가장 대표적인 것으로 분산 분석법(Analysis of Variance)이 있으며[8, 10] 각 특성에 대한 분산 분석표(ANOVA Table)가 Table 4에서 Table 7까지에 나타나 있다. 예로, Table 5를 보면 Coatno라는 인자가 metal-2의 electromigration 특성에 크게 영향을 미친다는 것은 97.2%의 확률로 옳다고 말할 수 있다는 의미이다. 이러한 분산분석의 결과를 Table 8에 집약하였다. Step coverage의 간접적 표현인 metal-2의 line 저항과 planarity는 coating 횟수와 bake 온도에 크게 좌우되며, via 접촉저항은 coating 횟수와 furnace curing 온도의 변화에 따라 크게 변하며, electromigration에 의한 failure time은 coating 횟수, bake 온도 그리고 furnace 온도로부터 영향을 받는다.

이제 각 공정변수를 적당한 수준으로 선택하여 SOG 평탄화 기술을 최적화, 즉 metal line 저항과 via 저항값은 최소화하고, planarity와 electromigration의 failure time은 최대로 동시에 만족하는 변수

Table 4. Metal-2의 line resistance 특성에 대한 분산분석표

Source	Sum-of-Square	자유도	Mean square	F-ratio	p-value
COATNO	22032.89	2	11016.44	469.9	0.000
HOTEMP	5222.89	2	2611.44	111.4	0.000
Residual	93.78	4	23.44		
Total	27349.56	8			

Table 5. Metal-2의 electromigration 특성에 대한 분산분석표

Source	Sum-of-Square	자유도	Mean square	F-ratio	p-value
COATNO	35.17	2	17.59	35.0	0.028
HOTEMP	10.19	2	5.09	10.2	0.090
FUTEMP	8.89	2	4.45	8.9	0.101
Residual	1.00	2	0.50		
Total	55.25	8			

Table 6. Via contact resistance 특성에 대한 분산분석표

Source	Sum-of-Square	자유도	Mean square	F-ratio	p-value
COATNO	37.69	2	18.84	31.1	0.004
FUTEMP	21.73	2	10.86	17.9	0.010
Residual	2.43	4	0.61		
Total	61.85	8			

Table 7. Percent planarity 특성에 대한 분산분석표

Source	Sum-of-Square	자유도	Mean square	F-ratio	p-value
COATNO	1536.89	2	768.44	61.8	0.001
HOTEMP	93.56	2	46.78	3.8	0.121
Residual	49.78	4	12.44		
Total	1680.23	8			

Table 8. 분산분석으로 결정된 각 특성에 영향을 주는 신뢰도 90% 이상의 주요변수

특 성	주요인자
Metal-2 저항	Coating 횟수, bake 온도
Via 접촉저항	Coating 횟수, furnace 온도
Planarity	Coating 횟수, bake 온도
Electro-migration	Coating 횟수, bake 온도 furnane 온도

값을 결정하고자 한다. 이 때에 모든 인자들의 수준을 정하되 어떤 하나의 인자가 여러 가지 특성에 미치는 영향의 경향이 일률적이지 못하기 마련이므로 trade-off가 이루어져야 한다. 이를 위하여 Table 3로부터 각 변수의 수준별로 특성값들의 관계를 Fig. 5에서 Fig. 8에 plot 하였다.

SOG coating 횟수가 많아지게 되면 Fig. 5에서 보듯이 planarity와 line resistance와 mean-failure-time (MFT)가 모두 좋아진다. 그러나 via 접촉저항값은 3회 coating에서는 증가한다. 일반적으로 non-etch back 기술에서는 via contact 저항은 SOG의 두께가 크게 되면 via poisoning 현상 때문에 증가하기 쉬우며, 또한 SOG와 PSG oxide의 etch rate의 차이로 인하여 via hole의 profile이 smooth 하지 못하게 되어 hole에서의 metal-2 coverage가 취약할 수 있다. Coating 횟수가 두번이고 따라서 SOG 두께가 약 200 nm 정도인 경우에 평탄화 공정이 본 실험에서 사용한 etch 및 metal deposition 공정기술과 잘 조화가 되

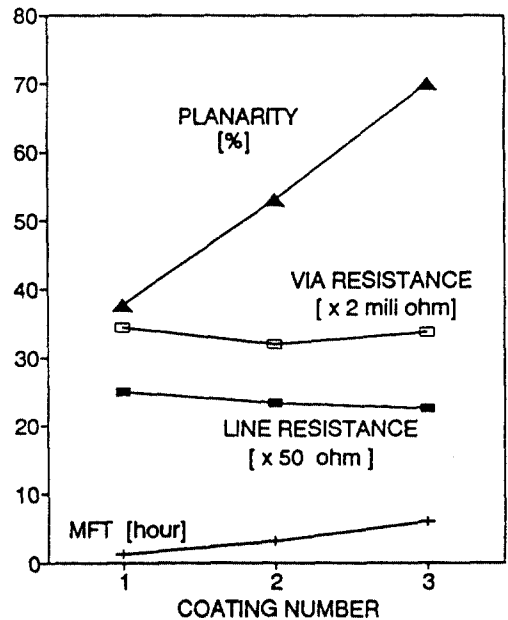


Fig 5. SOG coating 횟수에 따른 특성의 변화.

었기 때문으로 생각된다. 따라서 planarity, metal line 저항, via contact 저항을 고려하고 coating에 따르는 경비 등을 고려하여 SOG coating 횟수는 2회가 최적이라는 결론을 내리게 되었다.

Hot plate bake 온도는 Fig. 6에서 보면 300℃일 때가 모든 특성을 좋게하는 것으로 나타난다. 그러나 bake time은 Table 8에서와 Fig. 7에서 보듯이 관찰된 특성에는 별 영향을 주고 있지 못한다. 따라서 hot

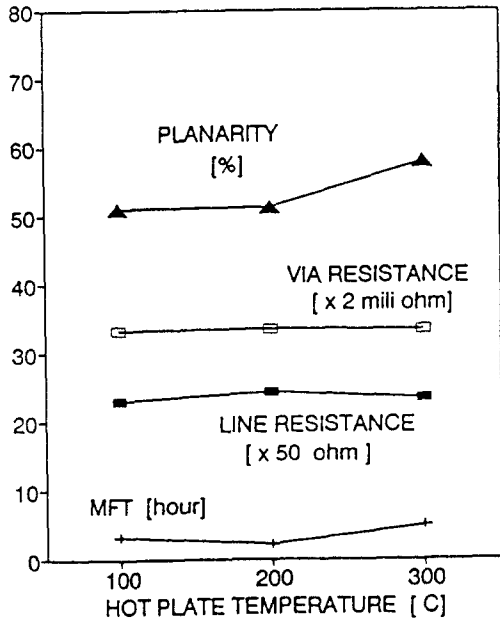


Fig. 6. Hot plate 온도에 따른 특성의 변화.

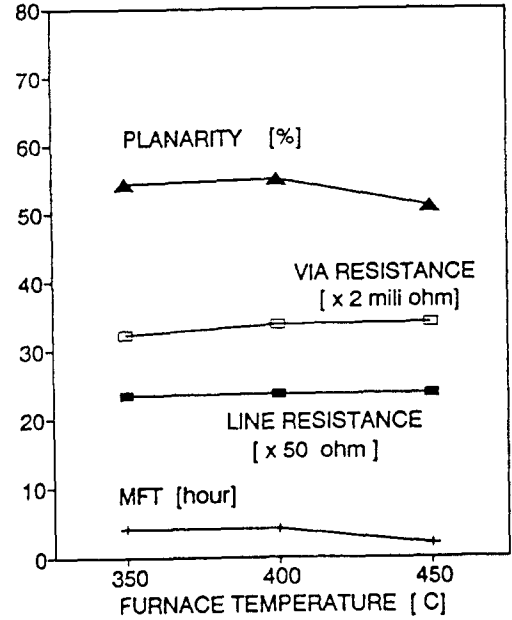


Fig. 8. Furnace curing 온도에 따른 특성의 변화.

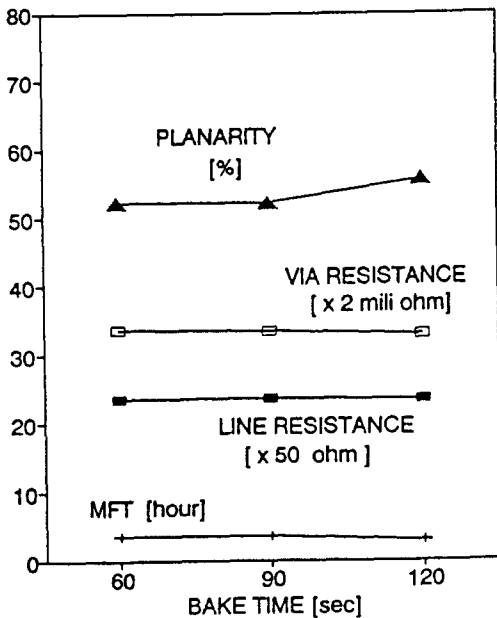


Fig. 7. Hot plate bake 시간에 따른 특성의 변화.



Fig. 9. 최적화공정으로 평탄화된 소자의 SEM 단면도.

plate bake는 300°C에서 충분히 하여 주는 것으로 하였다. 다음으로 furnace curing 조건을 구하기 위해 Fig. 8을 보면 furnace 온도는 metal line 저항값에는

Table 8에서 처럼 큰 영향을 주지 못함을 알 수 있으며, via 접촉저항과 MFT와 planarity 특성 모두가 너무 높은 450°C에서는 나빠지는 것으로 나타난다. 이는 350°C 정도의 curing에서 SOG의 topology가 이미 결정되며 높은 온도의 curing은 FTIR data나

굴절을 데이터에서 보듯이 SOG film의 internal 분자구조의 변환에 보다 큰 영향을 주기 때문에 생각된다. 450°C에서는 분자구조의 conversion으로 인한 H₂O나 CO₂ 같은 기체의 outgassing 과정에서 metal이 contamination되거나, 450°C의 높은 온도에서 metal-1의 quality가 취약해진 이유로 추측이 된다. 따라서 furnace 온도는 400°C 이하에서 SOG curing을 진행하는 것이 좋다는 결론을 본 실험결과로부터 내릴 수 있다.

이상의 토의를 종합하여 보면 coating 횟수는 2회, bake는 300°C에서 충분히 긴시간으로 진행하며 furnace curing은 400°C가 넘지 않는 온도에서 40분간 진행하게 되면 electromigration, step coverage, via 접촉저항 등의 특성이 좋은 결과를 얻게 될 것이다. 이 조건을 사용하여 실제로 제작한 소자의 단면도가 Fig. 9에 나타나 있다.

4. 결 론

Double metal technology에서의 가장 중요한 특성 들인 step coverage와 via contact 저항 및 electromigration을 개선하는 데에 필수적인 평탄화 기술을 SOG를 이용하여 개발하였다. 이 기술의 중요한 공정변수 4가지, 즉 SOG coating 횟수, hot plate bake 온도와 시간, 그리고 furnace curing 온도에 대한 영향을 연구함에 있어서 표준직교 배열법을 이용하여 실험수를 9개로 줄여서 진행하였다.

통계적 해석법인 분산분석을 수행하여 중요변수를 도출하고 그 변수의 수준을 optimization technique을 이용하여 최적화하였다. Coating 횟수는 2회, bake는 300°C에서 충분히 긴 시간으로 진행하며 furnace curing은 400°C가 넘지 않는 온도에서, 40분간 진행하면 electromigration, step coverage, via resistance 등의

특성이 좋은 결과를 얻게 될 것으로 믿어진다.

본 연구는 변수가 많을 경우에, 실험결과에 대한 신뢰도에는 손해는 보지 않으면서 효율적으로 실험을 수행할 수 있는 실험설계법의 성공적 응용을 보여 주었으며, 이를 double metal interconnection technology를 위한 SOG 공정개발에 적용하여 그 효용성을 보여 주었다.

참고문헌

1. T. Doan *et al.*, "A Double Level Metallization System having 2 μ m Pitch for Both Levels," Proceedings of 5th International VLSI Multilevel Interconnection Conference (VMIC), 13, (1988).
2. H. W. M. Chung *et al.*, "Fabrication of CMOS Circuits Using non-etchback SOG Processing for Dielectric Planarization," *Proc. 6th VMIC*, 373 (1989).
3. M. Kawai, "Interlayered Dielectric Planarization with TEOS-CVD and SOG", *Proc. 5th VMIC*, 419 (1988).
4. O. Yamazaki *et al.*, "Selective CVD Tungsten Contact Plug Technology with Plasma Pre-treatment," *Proc. 6th VMIC*, 151 (1989).
5. B. Woratschek *et al.*, "Improved Excimer Laser Planarization of AlSi with Addition of Ti and Cu," *Proc. 6th VMIC*, 309 (1989).
6. K. P. Cheung *et al.*, "A study of Pulsed Laser Planarization of Aluminum for VLSI Metallization," *Proc. 6th VMIC*, 329 (1989).
7. G. E. P. Box *et al.*, "Statistics for Experiments," (John Wiley & Sons, New York, 1978) Ch. 15.
8. G. Taguchi, "Introduction to Quality Engineering," (Asian Productivity Organization, 1986).
9. C. Chiang and D. B. Fraser, "Understanding of SOG Properties from Their Molecular Structures," *Proc. 6th VMIC*, 397 (1989).
10. R. J. Wonnacott, "Introductory Statistics, 4th ed," (John Wiley & Sons, New York, 1985).