

<기술해설>

## 다결정 실리콘 박막 트랜지스터 제조공정 기술

이현우 · 전하응 · 우상호 · 김종철 · 박현섭 · 오계환

현대전자산업주식회사, 반도체 연구소  
(1991년 12월 23일 접수)

### Polycrystalline Silicon Thin Film Transistor Fabrication Technology

H.W. Lee, H.E. Jeon, S.H. Woo, J.C. Kim, H.S. Park and K.H. Oh

*Hyundai Electronics Ind., Semiconductor R & D Lab.*  
(Received December 23, 1991)

**요 약**—고집적 SRAM 소자에 고부하저항을 대체하여 사용되는 다결정 박막 실리콘 트랜지스터(Polycrystalline Silicon Thin Film Transistor : Poly-Si TFT)의 제조공정에 대하여 연구하였다. TFT 제조에 있어서 큰 전하 이동도, 낮은 누설 전류, 큰 On 전류, 낮은 subthreshold swing 등의 전기적 특성을 만족시키기 위하여 현재 많은 연구가 이루어지고 있는, channel poly내에 trap density를 낮추기 위한 공정기술들 즉 저온 고상결정 성장법(solid phase growth : SPG), Si 이온 주입, laser annealing, hydrogenation 등 channel poly 형성 공정에 대해 논의하였다. TFT의 gate oxide로 사용될 여러 CVD oxide의 전기적 특성을 비교하였으며 또한 source-drain 형성공정 중 이온주입 dose, drain offset length, dopant의 lateral diffusion과 TFT의 전기적 특성과의 관계에 대하여 논하였다.

**Abstract**—To use polycrystalline Si Thin Film Transistor (poly-Si TFT) in high density SRAM instead of High Load Resistor (HLR), TFT is needed to show good electrical characteristics such as large carrier mobility, low leakage current, high driver current and low subthreshold swing. To satisfy these electrical characteristics, the trap state density must be reduced in the channel poly. Technological issues pertinent to the channel poly fabrication process are investigated and discussed. They are solid phase growth (SPG), Si-ion implantation, laser annealing and hydrogenation. The electrical properties of several CVD oxides used as the gate oxide of TFT are compared. The dependence of the electrical characteristics of TFT on source-drain ion-implantation dose, drain offset length and dopant lateral diffusion are also described.

### 1. 서 론

최근 다결정 실리콘 박막 트랜지스터에 관한 연구가 활발하게 이루어지고 있다. 최초의 박막 트랜지스터(TFT)의 제조는 1966년에 보고되었으나[1] 열악한 전기적 특성으로 말미암아 실용성이 없었다. 그러나 새로운 공정 등의 개발로 전기적 특성이 현저히 개선되어 1983년에 최초로 LCD에 실제 적용이 성공적으로 이루어졌으며[2], 그 이후 linear image sen-

sor[3], thermal printer head[4] 등에 응용이 확대되었다. 특히 최근에 4M SRAM급 이상의 초고집적 반도체 소자에 TFT 사용이 검토되면서[5] 이에 따른 특성개선을 위한 여러 가지 제조공정에 대한 연구가 활발하다. 기존의 SRAM device에 사용되어온 HLR은 작은 cell 면적과 공정이 단순하다는 장점이 있으나 낮은 대기상태 잔류와 안정적인 data 保持 특성을 4M-bit 이상의 집적도에서는 동시에 만족시킬 수 없다. 그 이유는 현재 4M-bit SRAM의 총 대기

전류의 값이 1  $\mu\text{A}$ 이며 1 cell당 대기전류의 값은 약  $2 \times 10^{-13} \text{ A}$  정도 되어야 하므로 이 경우 HLR 저항이  $20 \text{ T}\Omega$  이상이어야 한다. 더구나 HLR의 저항값을  $20 \text{ T}\Omega$  정도로 안정적으로 만들기에는 공정기술상 난점이 많으며, 저항값의 온도의존성이 크다는 단점이 있다. Cell의 junction leakage current 값이  $10^{-14} \sim 10^{-16} \text{ A}$  정도라면 대기전류와 누설전류의 비가  $10^2$ 보다 작으며, 이 경우 안정적인 data 보지특성을 기대하기 어렵다. 그러나 TFT의 경우 on/off current ratio를  $10^4 \sim 10^6$ 으로 또 off current를  $10^{-12} \text{ A}$  이하로 제조 가능하여 대기 전류값과 data 보지안정성을 동시에 만족시킬 수 있다. 또한 soft error에 대해 내성도 좋아이므로 device 안정성이 현저히 개선될 수 있다. 그러나 기존의 HLR에 비해 공정이 복잡해지며, TFT 특성을 균일하게 제조해야 한다는 어려움이 있다. 특히 TFT 공정자체 내에서는 active channel poly내의 많은 trap site로 인한 낮은 carrier mobility와 낮은 on 전류를 피할 수 없으며 또한 high integrity gate oxide 증착기술을 개발해야 하며, SRAM 제조시 발생하는 polysilicon 기생 P-N diode 등의 난점이 존재한다.

이 논문에서는 이러한 난점을 극복하고 고집적 SRAM 제조에서 요구하는 좋은 전기적 특성의 poly-Si PMOS TFT 제조를 위한 주요 공정의 channel poly-Si 형성기술과 gate oxide 형성 및 source drain (S/D) 형성 등 공정기술에 대해 논의하고자 한다.

## 2. 본 론

### 2.1. Poly-Si TFT의 구조유형

Poly-TFT의 구조는 polysilicon과 gate oxide의 상대적 위치에 따라 top gate, bottom gate, double gate의 세 가지 유형으로 분류할 수 있다. Fig. 1은 bottom gate TFT를 사용한 SRAM cell의 단면도이다 [6]. Bottom gate TFT는 아래층의 bulk NMOS와 분리되게끔 두꺼운 oxide 층위에 gate electrode로 사용되는 poly를 증착하고 그 위에 gate oxide와 channel poly가 순차적으로 증착되어져 있는 구조이다. 이 구조에서는 TFT가 PMOS이므로 source, drain (S/D) 영역의 poly가 P-type로 doping되어 있고 이 P<sup>+</sup>-poly는 driver NMOS의 node인 N type으로 doping된 poly와 연결이 되어 있고 poly-Si 기생 P-N

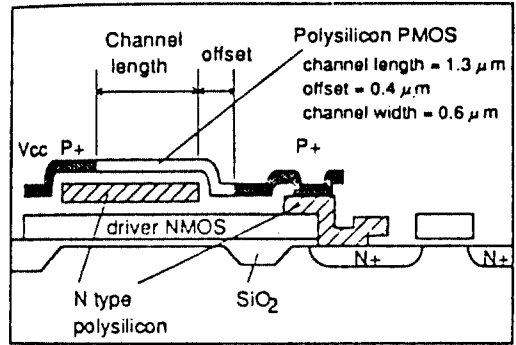


Fig. 1. Cross sectional view of a bottom-gate polysilicon PMOS cell.

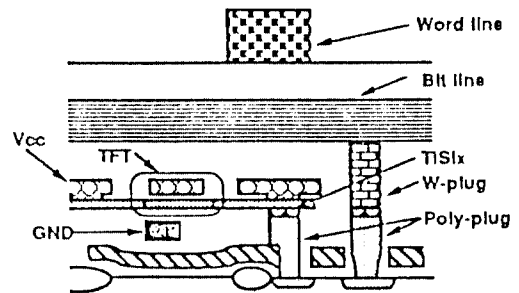


Fig. 2. Cross sectional view of the memory cell with top-gate PMOS load.

diode가 피할 수 없이 존재하게 되어 있다. 따라서 PMOS TFT의 on current를 diode가 제한을 가하므로 좋은 특성의 TFT 제조뿐만 아니라 P-N diode 특성을 열악하게 만들어야 하는 공정기술이 필요하게 된다. 또한 source-drain 영역을 형성하기 위한  $\text{BF}_2$  이온 주입 공정시 mask step이 추가로 필요하다. 그러나 bottom gate TFT를 SRAM cell에 적용시에는 상대적으로 공정기술이 간단하며 작은 cell size와 단순한 layout으로 설계할 수 있다. 또한 공정기술상 순차적으로 각 층을 쌓아올릴 수 있고 BPSG 평탄화 공정을 TFT 공정전에 피할 수 있어 SRAM 제조시 thermal budget을 줄일수 있다는 장점이 있다.

Fig. 2는 top gate를 사용한 SRAM cell의 단면도이다 [7]. 이 경우 channel poly 위에 gate oxide와 gate electrode를 순차적으로 쌓아 올린 구조이며 S/D 영역 형성을 self-align 방법으로 형성할 수 있는 장점이 있다. 기생 P-N diode 형성을 피하기 위해 TFT의 S/D과 node contact시  $\text{TiSi}_x$  같은 silicide를 공정할 수도 있다. 그러나 복잡한 cell layout

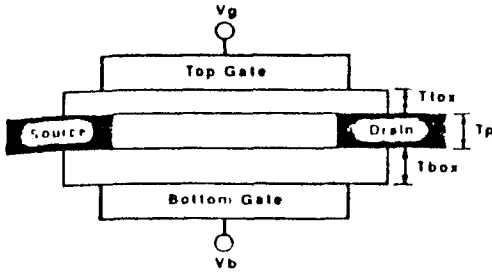


Fig. 3. Basic structure of double-gate TFT.

설계를 피할 수 없으며 channel poly 증착전에 BPSG 평탄화 공정이 필요하다. Fig. 3의 경우 double gate TFT cell의 단면도이다[8]. channel poly의 상하에 모두 gate oxide와 gate electrode를 사용하는 특징이 있다. 따라서 top gate나 bottom gate와 달리 gate 형성 공정을 한번씩 더 필요하며 channel 영역을 self-align 방법으로 형성할 수 있다. 공정이 복잡한 대신 TFT가 on 되었을 때 형성되는 inversion 영역이 poly의 상하에 생기게 되며 이로 인하여 낮은 문턱 전압, 낮은 subthreshold swing, 큰 on-current 등과 같이 개선된 전기적 특성을 가질 수 있다.

2.2. TFT channel poly 형성기술

2.2.1. Poly-Si의 특성에 따른 channel poly 형성의 문제점

Poly-Si TFT는 단결정 Si으로 제조하는 transistor와는 달리 poly가 channel로 사용된다. Poly-Si는 단결정과 달리 무질서하게 서로 다른 결정방향을 가진 grain들이 연결되어 있는 구조를 갖고 있다. 이 grain 내부는 일정한 결정방향을 가진 단결정 구조이나 그 내부에 dislocation이나 twin boundary와 같은 결정 결함들이 다수 존재하는 특징이 있다. 따라서 poly-Si의 전기전도되는 성질은 grain boundary의 존재에 의해 단결정 Si과 크게 다르다. Grain boundary는 다수의 dangling bond로 특징지워지며 전기전도시 trap site로 작용하게 되어 carrier의 mobility를 떨어뜨리게 된다. 또한 grain boundary는 gate oxide와의 interface에서는 fixed charge와 surface state 생성을 유발한다.

Fig. 4는 grain boundary에 의한 potential barrier의 형성을 도시하고 있다. Fig. 4(a)는 grain boundary를 나타내고 있으며 Fig. 4(b)에서는 grain boundary에

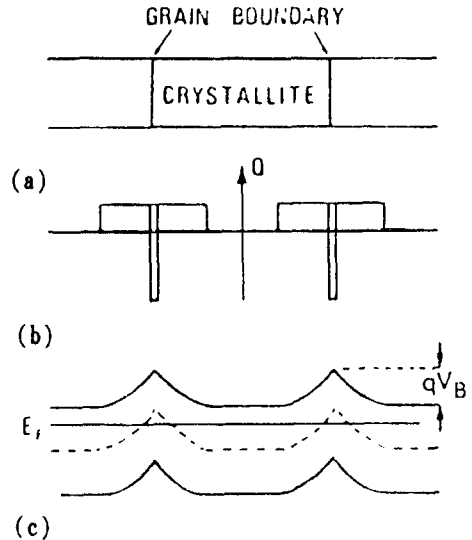


Fig. 4. Potential barriers resulting from grain boundaries.

- (a) Grain boundary in polysilicon
- (b) Depletion regions forming to compensate the charge trapped at grain boundary
- (c) Potential barriers resulting from the charged depletion regions

trapped charge를 보상하기 위해 grain내에 depletion 영역이 형성되며 Fig. 4(c)에서는 이로 인해 형성된 potential barrier를 나타내고 있다. TFT 동작시 gate에 낮은 bias를 가하면 carrier들은 먼저 oxide-poly interface와 grain boundary trap site에 채워지게 되므로 bias 전압이 보다 더 증가해야 inversion 영역이 형성되어 drain bias에 의해 carrier 이동이 가능하다. 따라서 grain boundary를 가진 poly-Si TFT는 단결정 Si에서 형성된 MOSFET과 달리 큰 turn-on voltage, 낮은 channel mobility, 낮은 on-current, 큰 subthreshold swing 등의 전기적 특성을 갖고 있다.

따라서 좋은 전기적 특성의 TFT 제조를 위해 grain size 향상을 통한 grain boundary수를 감소시키고, grain 내부에 trap density를 낮추는 channel poly 형성기술이 개발 중에 있다.

본 고에서는 최근 가장 연구가 활발한 저온 고상 결정 성장법, Si 이온주입, laser annealing 및 hydrogenation 등 channel poly 형성기술에 대해 논하였다.

2.2.2. 저온 고상결정 성장법(Solid Phase Growth, SPG)[12, 13]

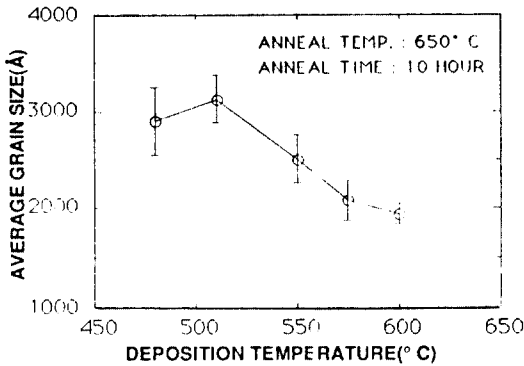


Fig. 5. Grain size as a function of deposition temperature (thickness=100 nm).

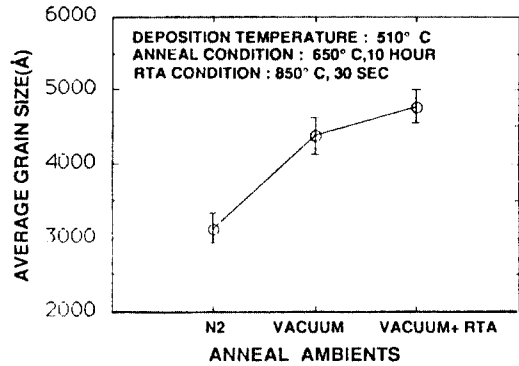


Fig. 6. Grain size change with anneal ambients (thickness=100 nm).

Table 1. Properties of amorphous silicon films deposited by LPCVD using Si<sub>2</sub>H<sub>6</sub> source gas

Deposition temperature (°C)	Nucleation rate (/cm <sup>2</sup> sec)	Growth rate (nm/sec)	Maximum grain size (μm)
455	280	0.13	7
485	810	0.14	5
515	1100	0.13	3.5

위에 언급한 바와 같이 grain boundary가 TFT 동작에 여러 가지 악영향을 미치므로 좋은 특성의 TFT를 얻기 위한 channel poly 형성공정의 첫번째 목표는 channel 내에 grain boundary의 수를 줄이는 것이다. 따라서 grain size를 크게 하려는 목적으로 저온에서 비정질 silicon을 증착하고 이를 저온하에서 (600~650°C) 장시간 annealing을 하는 이른바 고상 결정 성장법(Solid Phase Growth, 이하 SPG)이 도입되었다. 이 방법은 LPCVD로 poly를 증착할 때에 580°C 이하에서 비정질 실리콘을 증착된다는 사실에 기반을 두고 있다. 먼저 SiH<sub>4</sub> gas로 poly 증착과정을 간단히 보면, 먼저 SiH<sub>4</sub> gas는 기판위에 흡착이 되고 열분해에 의해 Si 원자는 기판에 남고 수소 gas는 기판을 떠나게 된다. 이 흡착된 Si 원자는 열확산에 의해 기판위에 preferred site로 이동하게 되고 일정 크기 이상의 결정핵이 형성된다. 그 이후의 Si 원자는 이 결정핵에 흡착되어 다결정 실리콘이 증착된다. 기판위에 핵생성률과 흡착된 열확산계수는 모두 온도의 함수이며 온도가 낮아수록 그 값은 감소한다. 따라서 낮은 온도에서는 핵생성의 수는 감소하며 또한

흡착 Si 원자는 핵쪽으로 확산되지 못하여 결정성장이 불가능하게 되므로 낮은 온도에서는 비정질 실리콘이 증착되게 된다. 이 비정질 Si를 결정화 온도 이상인 600~650°C에서 annealing을 하면 추가로 핵생성을 억제하며 결정성장을 할 수 있어 비교적 큰 grain size를 얻을 수 있다. 이 때 다결정과 비정질의 free energy의 차이가 grain growth의 driving force가 되며 grain growth rate는 free energy의 차(ΔG)와 activation energy Q로 다음과 같이 표현된다.

$$\text{Growth rate} \sim \exp(-Q/kT) \Delta G$$

이 Q는 570°C에서 증착된 비정질 Si 박막의 경우 3.2 eV 정도이다. 따라서 600~650°C에서는 growth rate가 작아서 장시간 annealing이 필요하게 된다. Fig.5는 각 비정질 박막 증착온도에 따라서 10시간 650°C annealing 후의 grain size를 정리한 실험결과이다. 증착온도가 낮으면 낮아수록 큰 grain을 얻을 수 있으며, 이 결과에 따라 SiH<sub>4</sub> gas보다 낮은 열분해 온도를 가진 Si<sub>2</sub>H<sub>6</sub> gas를 사용하여 450°C까지 낮추어 증착한 실험결과를 Table 1에 정리해 놓았다[14]. SiH<sub>4</sub> 증착한 결과보다 훨씬 큰 약 7 μm의 grain size를 얻을 수 있었다. Fig.6의 경우 annealing ambient와 후속 RTA 처리에 의해 grain size의 변화가 있다는 것을 보이고 있다. Vacuum anneal의 경우 surface 오염을 막을 수 있어 표면에서 원자이동들의 증가로 grain size에 영향을 주었으리라 생각한다. 고온에서 RTA 처리의 경우는 큰 grain 사이에 존재하는 아주 작은 grain들이 고온에서 큰 grain과 병합되는 효과에서 기인했을 것으로 추측된다. Fig.7의 경우 grain

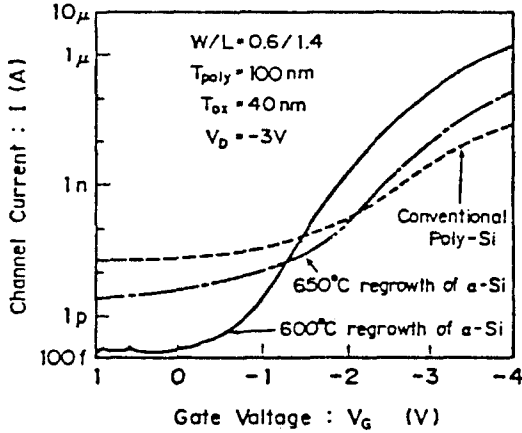


Fig. 7. Grain size dependence of TFT characteristics.

size에 따른 TFT의 전기적 특성을  $I_D-V_G$  curve로 나타낸 결과이다[15]. 600°C anneal 경우가 650°C anneal에서 보다 on current와 off current 특성이 우수함을 알 수 있다. 이 SPG process는 poly의 grain size 증가로 인한 TFT 특성 개선은 이룩할 수 있으나 공정상 저온증착의 경우 증착물의 감소와 장시간 anneal로 인한 낮은 throughput의 단점이 있으며 TFT의 channel length의 감소시 channel length와 grain size가 비슷하게 될 때 동작특성이 매우 불균일하게 나타날 수 있다는 단점이 있다. 따라서 큰 grain size 뿐만 아니라 균일한 크기의 grain으로 좋은 TFT 전기적 특성을 갖도록 channel poly 형성 공정개발이 중요하다.

2.2.3. Si implantation

Grain size 증가를 위한 기존의 SPG process에서는 저온증착을 통해 비정질 Si를 형성하는데 비해 implantation을 이용하여 poly-Si를 비정질화 시키는 방법에 대한 연구가 있어 왔다. 이 때 사용되는 이온은 이온주입에 의한 poly Si의 전자적인 상태변화가 비교적 적은 Si이 이용되었다. 이온주입에 의한 poly의 상태변화를 보면, 적정 Si dose 내에서 poly는 점차 비정질 상태가 되나 ion-channeling에 의해 자체 seed 선택이 이루어진다. Si dose를 더 크게 하면 poly는 완전히 disordered 되어 비정질화 되게 된다. Dose 뿐만 아니라 implantation energy도 변수이다. 이온주입시  $R_p$ 를 poly-Si 박막 두께의 반으로 하는 경우와 poly와 밑의 oxide층 경계면에 맞추는 경우가 있다. 각각의

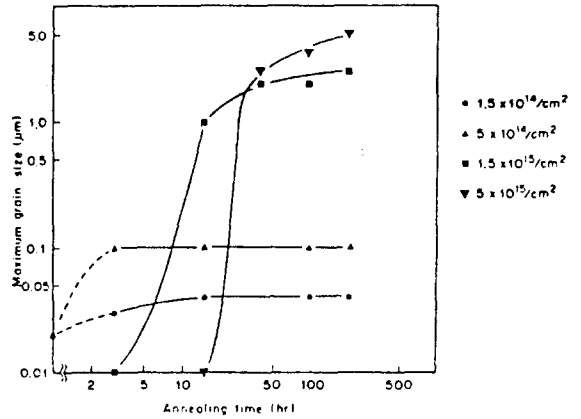


Fig. 8. Maximum grain size vs. annealing time at 600°C for 4 different Si<sup>+</sup> doses.

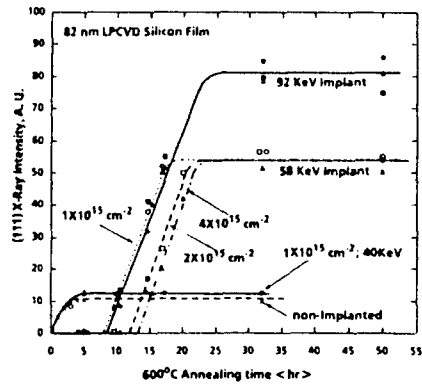


Fig. 9. Si (111) X-ray diffraction intensities vs. 600°C annealing time of 82 nm-thick LPCVD a-Si with various Si<sup>+</sup> implantation conditions.

경우 SPG 공정을 거친 후 grain size를 도시한 것이 Fig. 8[16], 9[17]이다. Fig. 8은 80 nm 두께의 poly에  $R_p$ 점을 40 nm 정도로하고 각 Si dose에서 SPG anneal 시간에 따른 최대 grain size를 도시한 것이다. Si dose가 증가하면 할수록 핵생성은 더욱 억제되어 grain size는 커질수 있으나 핵생성이 작아진만큼 장시간 anneal을 해주어야 함을 알 수 있다. Fig. 9은 82 nm의 570°C에서 증착한 비정질 박막에 여러 Si dose와 이온주입 에너지에 따라 (111) 방향 X-ray intensity를 도시한 것이다. Si dose와 이온주입에너지가 증가할수록 X-ray intensity가 증가하며 이에 따라 결정성이 증가함을 알 수 있으며, 이는 grain size가 증가했음을 의미한다. 92 KeV 이온주입의 경

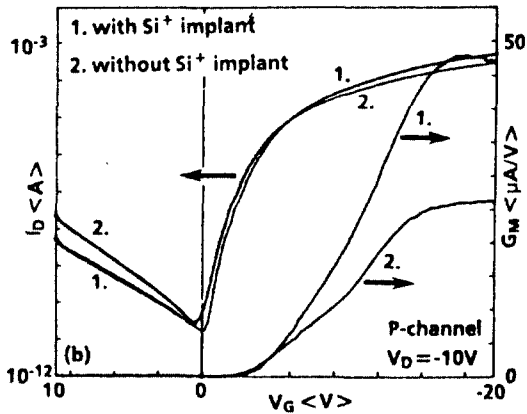
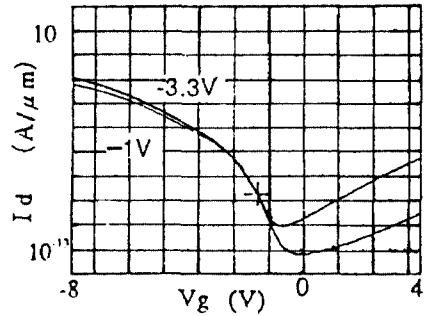


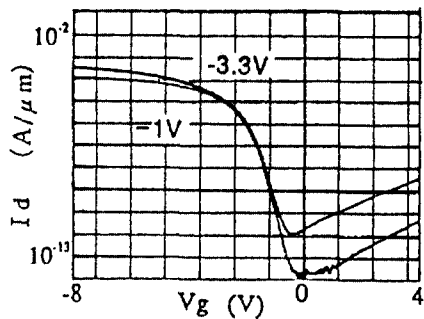
Fig. 10. Characteristics of  $I_D$  and transconductance vs.  $V_G$  of implanted and non-implanted TFTs ( $W/L=50/20 \mu\text{m}$ ).

우, 즉  $R_p$  점이 경계면을 지나 oxide 층내에 존재하게 될 경우 결정성이  $R_p$ 가 경계면에 있는 경우보다 향상되었음을 볼 수 있다.  $R_p$ 점이 oxide 경계면 또는 그 이하에 있을 때 더 큰 grain을 얻을 수 있다는 사실은 이온주입에 의해 기존의 생성된 핵은 파괴가 되고 SPG 과정에서의 핵생성이 이온주입시 경계면에서 되던 산소원자에 의해 더욱 억제된다고 해석되고 있다. 또한 이온주입을 하지 않은 경우에 비해 이온주입한 경우가 결정성이 증가된 결과에 따라서, 기존의 SPG 방법에 Si 이온주입을 첨가하여 비정질성을 높이는 것이 결정성 증가에 도움이 됨을 알 수 있다. Fig. 10에서 Si 이온주입 후 SPG한 TFT를 제조하였을 시와 기존의 SPG만으로 제조된 TFT를 비교하였다 [17]. Field effect mobility가 30.4에서  $55.0 \text{ cm}^2/V_s$ 로 증가하며 leakage 전류도 감소함을 볼 수 있다.

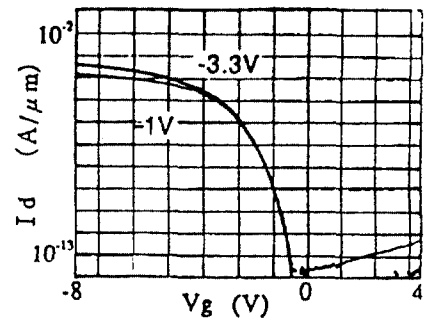
이 Si 이온주입 방법은 top gate 구조에만 적용할 수 있다는 점에 주의해야 한다. Bottom gate에서 channel poly 아래 산화층이 바로 gate oxide이므로 이온주입에 의한 oxide에 damage를 주므로 위의 방법은 사용할 수 없다. 또한 장시간 anneal해야 하는 공정도 단점이며 큰 grain으로 TFT 제조시, channel 길이가 gate size와 비슷해지면 TFT 전기적 특성이 매우 불균일하게 나타나게 된다. 따라서 현재의 TFT 제조공정 방향은 grain size를 크게 하기 위한 high dose를 피하고, 균일한 grain size와 낮은 trap density를 가진 channel poly 형성을 위해 ion chan-



(a)  $0 \text{ mJ/cm}^2$



(b)  $238 \text{ mJ/cm}^2$



(c)  $236 \text{ mJ/cm}^2$  (off-sect. drain)

Fig. 11. TFT characteristics of (a) before and (b, c) after laser annealing ( $W/L=10/1 \mu\text{m}$ ,  $t_{ox}=30 \text{ nm}$ ).

nel에 의한 seed selection의 개념에 입각하여 적정 dose를 선정하는 쪽으로 연구가 진행 중이다.

#### 2.2.4. Laser annealing[18, 19]

앞에서 언급한 적정 dose의 이온주입 후 SPG를 거치면 grain size가 균일하면서 trap density가 낮은 channel poly를 형성시킬 수 있으나, 보다 좋은 특성의 TFT를 제조하기 위해서는, grain 내부나 grain boun-

dary에 아직 많이 존재하는 trap density를 후속 공정으로 줄이려는 시도가 필요하다. 1000°C의 후속 열처리 공정이 TFT 특성을 개선할 수 있으나 SRAM과 같은 VLSI 소자에서 thermal budget 문제로 실행에 한계가 있다. Laser annealing이나 hydrogen passivation이 trap density를 감소시켜 TFT의 특성을 개선시킨 결과가 보도되었다.

Laser annealing 방법은 짧은 pulse 폭을 가진 excimer laser를 사용하여 TFT의 아래층에 열에 의한 영향을 주지 않고 channel poly의 고온 열처리가 가능하므로 이에 대한 연구가 활발히 진행되고 있다. 우선 excimer laser를 사용한 이유는 첫째 파장이 짧아서( $\lambda=308\text{ nm}$  : XeCl laser) 흡수계수가 작아 박막의 표면에서만 laser광 흡수가 이루어지므로 아래층에 열에 의한 영향이 적고, 둘째 고출력이면서 laser 반경이 크므로 넓은 면적을 laser로 조사할 수 있으며, 셋째 gas를 사용하므로 laser 출력이 상대적으로 안정되게 나온다는 점이다. 공정상 주의사항은 laser energy가 poly 박막의 melting threshold 보다 약간 아래로 조절하여 전 박막이 녹지 말아야 한다. 완전히 녹을 시에는 표면의 거칠기가 크게 증가하여 TFT 특성이 열악해지기 때문이다. 박막이 녹지 않을지라도 충분히 고온으로 상승되기 때문에 trap density가 감소할 수 있으며 따라서 전기적 특성이 현저히 개선됨을 예측할 수 있다.

Fig. 11는 laser annealing 하기 전후 TFT의  $I_D-V_G$  curve이다[19]. Poly는 610°C에서 40 nm 증착하고 균일한 grain size를 얻기 위해 낮은 Si dose( $1 \times 10^{14}$ )를 이온주입했으며 laser annealing후 field effect mobility는 4에서 35  $\text{cm}^2/\text{Vs}$ 로 크게 증가했음을 볼 수 있다.

2.2.5. Hydrogenation[20, 21]

SPG 후에 hydrogenation 처리를 하여 trap density를 감소시키는 방법이 널리 쓰이고 있다. 이 방법의 개념은 Fig. 12에 도시되어 있다. 수소를 poly에 확산시키면 grain boundary에 존재하는 dangling bond에 결합하게 되어 passivation 시키게 된다. 이 경우 grain boundary의 potential barrier를 낮추게 되어 TFT의 on-current가 증가하며, 또한 off-current도 감소하게 된다. Grain boundary 근처에 국부적으로 전장이 존재하는 depletion 영역내에서 electron-hole pair가 생성되었을 때 다시 재결합하지 못

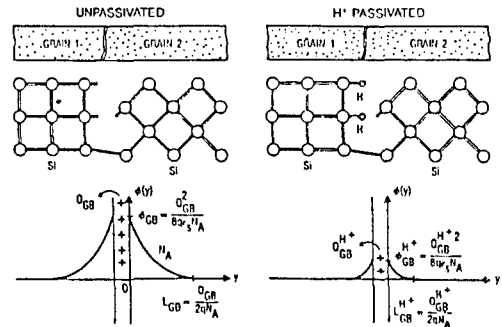


Fig. 12. Grain boundary passivation (a) before passivation and (b) after passivation.

하고 leakage 전류로 빠지게 된다. Hydrogen passivation에 의해 trap density를 감소시킨은 electron-hole generation center 수를 줄이게 되며 이는 leakage current의 감소라는 결과로 나타나게 된다. Hydrogenation 시키는 방법은 크게 세 가지로 분류할 수 있다. 첫째는 hydrogen plasma 내에 TFT를 노출시켜 plasma내에 생성된 수소원자를 확산시키는 방법이며, 둘째는 PECVD 방법으로 수소를 많은 양 포함한 Si<sub>n</sub>막을 TFT 위에 증착시키고 저온(400°C 근처)에서 anneal 하여 수소를 확산시키는 방법이며, 셋째 직접 수소원자를 이온주입 시켜 450°C에서 annealing하는 방법이다. 세 가지 방법중 수소 plasma 방법이 가장 널리 쓰이고 있으며 이 방법은 수소 gas의 유량, RF출력, plasma내 노출시간을 적절하게 조절해야 한다.

Fig. 13는 hydrogenation 처리 전후의  $I_D-V_G$  curve이다[21]. 수소와 질소의 혼합기체를 13.50 MHz에 800 W의 RF 출력으로 plasma를 생성시킨 후 300°C에서 60분간 노출시켜 hydrogenation 시킨결과이다. On/off ratio가  $10^3\sim 4$ 에서  $10^6\sim 8$ 으로 증가하였고 subthreshold slope이 730 mV/decade에서 280 mV/decade로 감소하였다. Fig. 14은 hydrogenation 처리 전후 TFT의 전기적 특성의 온도 의존성을 보여주고 있다. 처리전의 TFT는 온도가 25°C에서 100°C로 증가하면 leakage 전류가 100배 이상 증가하나 처리후는 약 10배 정도 증가하여, 처리후 온도 의존성이 적어짐을 볼 수 있다. Hydrogenation은 on-current 증가, off-current 감소, subthreshold slope의 감소, 온도 의존성의 감소, mobility의 증가 등의 TFT의 전기적 특성을 전반적으로 개선시킬 수 있는 상대적으로 간

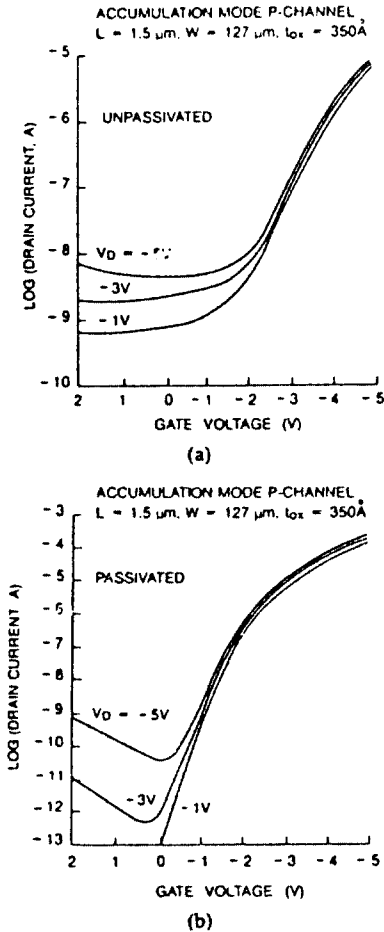


Fig. 13. TET characteristics (a) before and (b) after passivation.

단한 방법이다. 공정시 주의사항은 RF 출력이 지나치게 크면 gate oxide의 특성이 나빠질 수 있으며 적정 출력내에서도 plasma 노출시간을 적절하게 조절하는 것이 gate oxide 특성면에서 중요하다.

2.3. Gate Oxide 형성기술

Si 기판위에 제조된 MOSFET은 gate oxide를 thermal oxidation에 의해 형성되므로 100 Å의 매우 얇으면서 좋은 특성을 지닌 gate oxide 제조가 가능하다. Top gate TFT의 경우 channel poly를 oxidation시켜 gate oxide를 제조하는 경우는 grain boundary로 인하여 양질의 oxide를 얻기 어려우며, bottom gate의 경우 역시 gate electrode인 poly를 oxida-

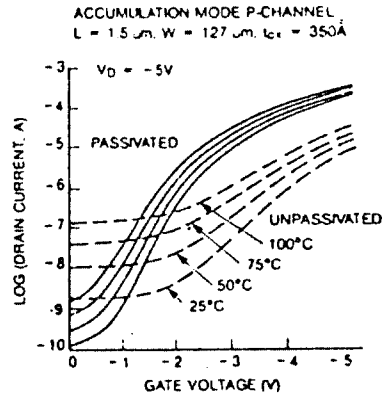


Fig. 14. Temperature dependence of TFT characteristics with and without passivation.

Table 2. Electrical properties of LPCVD oxide films (tox=40 nm, HTO 905°C tox=15 nm)

Items Materials	L.C.D. at 5 V (fA/μm <sup>2</sup> )	B.F. (MV/cm)	
		at -100 nA	at -10 μA
HTO(850°C)	2.11	8.90	9.97
TEOS	2.00	8.72	9.51
LTO	1.93	8.00	9.22
HTO(905°C)	0.07	10.15	12.38
MTO(850°C)	0.18	8.24	9.05

\*L.C.D. means leakage current density and B.F. means breakdown field.

tion시켜 gate oxide를 얻으려는 시도가 있었으나 heavily-doped된 poly의 oxidation은 표면의 거칠기와 dopant segregation으로 인해 더욱 양질의 gate oxide를 얻기 힘들다. 결국 CVD 방법으로 좋은 특성의 oxide를 증착시켜 gate oxide로 사용해야 하며, 그 방법으로는 low temperature CVD oxide(LTO); TEOS CVD oxide(TEOS), medium temperature oxide(MTO)와 high temperature CVD oxide(HTO) 등이 있다. Table 2에서 각 CVD oxide의 전기적 특성에 관하여 나열해 놓았다. TEOS에 비해 MTO나 HTO가 leakage 전류나 breakdown voltage등 전기적 특성이 양호한 결과를 얻었으나, HTO의 경우 dep. rate가 매우 낮으며 온도가 900°C에서 증착해야 가장 좋은 특성을 보여 준다는 특성이 있다. 따라서 실제 device에 적용하기 위해서는 850°C 이하의 증착조건에서 기존 HTO(900°C 공정)에 버금하는 CVD oxide



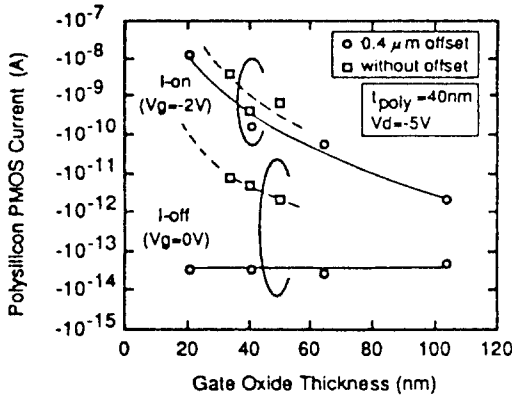


Fig. 15. Gate oxide thickness dependence of TFT on- and off-currents with and without offset structure.

Table 3. Lateral diffusion in polysilicon

Anneal implant cycle Dose(/cm <sup>2</sup> )	900°C 30 min	950°C 20 min	1000°C 10 min
	ΔL(μm)	ΔL(μm)	ΔL(μm)
3E14	0.3	0.4	0.9
1E15	0.4	0.5	1.0

개발이 시급하다. 또한 oxide막의 전기적 특성 뿐만 아니라 gate oxide의 두께가 TFT의 turn-off 상태에서의 leakage current 변화에 중요한 역할을 한다. Fig. 15에서 도시한 결과를 보면 60 nm 이하에서 점차 leakage current가 크게 증가함을 볼 수 있다. 이는 gate와 drain의 전위차에 의한 수직방향의 field에 의한 영향으로 증가한 band-band tunneling에 의한 것으로서 oxide 자체의 전기적 특성 뿐만 아니라 channel poly의 trap density 특성과도 깊은 관련이 있다. Fig. 15에서 보듯이 drain-offset을 도입하여 gate와 drain사이 전장을 줄이면 oxide 두께 의존성이 사라짐을 볼 수 있다. 앞으로 좋은 전기적 특성, 낮은 온도에서 oxide 박막의 증착과 더불어 TFT 구조적인 측면에서 leakage 전류 감소를 위한 연구가 계속 이루어져야 할 것이다.

2.4. Source Drain 형성기술

2.4.1. Source-drain dopant의 lateral diffusion

TFT에서는 channel이 poly이므로 S/D 영역을 형성한 후 후속 열공정에서 impurity의 diffusion이 단

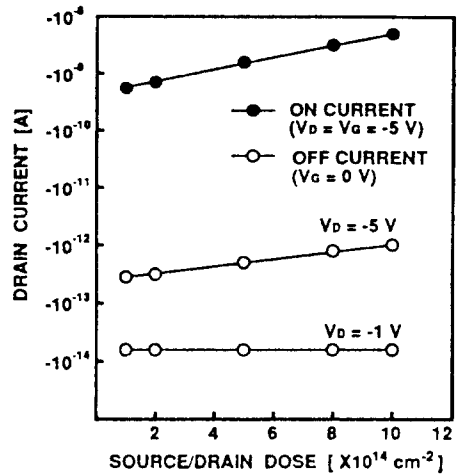


Fig. 16. On- and off-current as a function of impurity dose in the source and drain regions of TFT.

결정 Si보다 훨씬 크다. 그 이유는 poly의 grain boundary가 impurity의 diffusion path가 되기 때문이다. 고집적 SRAM에서의 TFT의 channel length는 1 μm 근처이므로 후속 열공정을 거칠 때 lateral diffusion을 고려해야 한다. Table 3에서 boron의 implant dose와 후속 열공정에 따라 S/D 영역의 sheet 저항과 lateral diffusion된 양인 ΔL 값을 나열하였다[21]. 1×10<sup>15</sup>/cm<sup>2</sup>의 boron dose의 경우 900°C 30분의 경우와 1000°C 10분의 경우 0.4 μm와 1.0 μm 값을 가짐을 주목해 보면 diffusivity는 온도에 민감한 함수이며(Doc = e<sup>-Q/kT</sup>, Q는 활성화 energy) 후속 열공정 온도는 850 °C 이하로 맞춰야 channel 길이 1 μm의 TFT를 제조할 수 있을 것이다.

2.4.2. Source Drain에 미치는 implant dose의 영향

Fig. 16에서 poly의 두께가 20 nm일 때의 TFT on-off current를 source/drain 영역에 impurity implantation dose 변화에 따라 도시한 결과이다[7]. Impurity dose의 감소에 따라 V<sub>D</sub> = -1 V일 때의 off-current와 V<sub>D</sub> = -5 V에서의 off-current차가 감소함을 알 수 있다. 또한 impurity dose의 감소에 따라 V<sub>D</sub> = -5 V일 때 V<sub>G</sub> = -5 V일 때(on-current)와 V<sub>G</sub> = 0 V(off-current)에서의 누설전류가 모두 감소함을 알 수 있다. 이는 dose 감소에 따라 source/drain에서의 poly 저항이 증가하기 때문이다. 단순히 dose 변화만으로는 on-current를 높이고 off-current를 낮추기 어려우므로

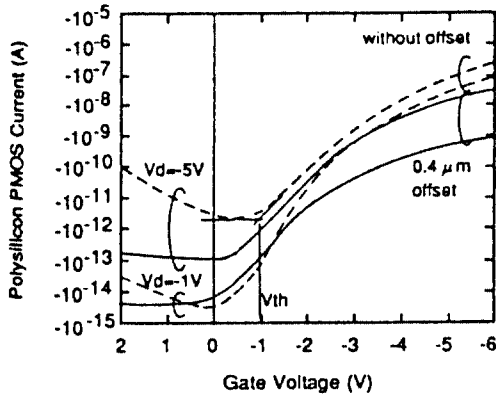


Fig. 17. TFT  $I_d$ - $V_G$  characteristics with and without offset structures.

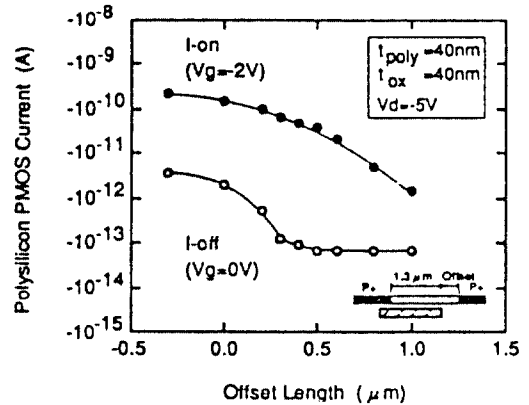


Fig. 18. Offset length dependence of TFT on- and off-currents.

TFT의 구조측면에서 접근해야 한다. 해결책으로는 channel에 off-set length를 도입하거나 lightly doped drain(LDD) 구조를 사용하여야 한다.

### 2.4.3. Offset 구조

TFT의  $I_D$ - $V_G$  curve를 보면 bulk PMOS의 경우와 달리 (+) 전압에서 leakage 전류가 지수 함수적으로 증가함을 볼 수 있다. 이는 TFT의  $V_g=0$ V에서의 전류 즉 leakage current 값의 큰 변화로 나타날 수 있으며 이에 따라 TFT의 전기적 특성이 불균일하게 나타날 가능성이 높아지게 된다. 이러한 (+) 전압에서 leakage 전류의 원인은 drain과 gate 전위차에 의한 band-to-band tunneling이 일어날 확률이 drain 영역내에 grain boundary에 있는 deep level trap sites를 타고 크게 증가한 것으로 해석한다[22]. 따라서 drain과 gate 사이에 offset 영역을 형성하는 방법으로 drain과 gate 사이 전위차를 줄여서 leakage 전류를 감소시키는 방법이 도입되었다. 이 방법은 S/D 이온 주입 mask 변경만으로 offset 영역을 형성할 수 있으므로 상대적으로 간단히 leakage 전류를 줄일 수 있다는 장점이 있다. Fig. 1은 offset 영역을 도입한 TFT PMOS cell의 단면도이다. Fig. 17의 경우 offset length을  $0.4 \mu\text{m}$  도입했을 때  $I_D$ - $V_G$  curve이다. 특히  $V_D=-5$  V일 때 leakage 전류는 1/10 수준으로 감소했으며 gate 전압이 (+)쪽으로 증가해도 leakage 전류의 증가는 미미하다. 따라서 leakage 전류의 값이 안정되고 각 cell당 균일하게 될 수 있으나, offset 영역이 저항으로 작용하므로 on-current 값이 감소함은 피할 수 없다.

Fig. 18은 offset 길이에 따른 on/off-current의 변화를 도시했다. On-current는 offset 길이에 따라 감소하지 않으나 off-current는 급격히 감소한 후 일정한 수준을 유지한다. 따라서 offset 길이를 결정할 때는 on-current 감소를 최소화하면서 off-current 감소를 최대화하는 offset 길이어야 되며, 또한 mask 작업시 발생하는 offset 길이의 변화에 전류의 변화가 민감하지 않게 반응하여야 한다.

## 3. 결 론

TFT의 전기적 특성은 channel poly의 trap density가 결정하며, poly-Si 내 trap site의 감소를 위하여 비정질 Si 증착 및 저온고상결정 성장, 수소화 처리, Si 이온주입후 저온고상결정 성장, laser annealing 등 공정기술 개발이 활발히 이루어지고 있다. 기술 개발의 목표는 높은 전하이동도, 높은 on 전류, 낮은 off 전류와 작은 subthreshold swing이다. 낮은 누설 전류를 가진 고신뢰성의 gate oxide 증착도 매우 중요하며, S/D 형성시 적정 dose의 선결과 short channel TFT에서 dopant의 lateral diffusion 또한 고려해야 한다. TFT의 leakage 전류를  $10^{-12}$ (A) 이하로 조절하기 위해서는 offset 길이를 적절하게 선택하는 것은 필수적이다.

실제 TFT를 SRAM에 적용하기 위하여 전기적 특성 개선 뿐만 아니라 기생P-N diode와 같이 구조적으로 발생하는 문제 또한 해결해야 할 과제이며, 더욱 중요한 점은 대량생산 측면에서 전기적 특성이 균일

하며 안정적인 TFT를 제작하여야 한다는 점이다.

### 참고문헌

1. C. H. Fa and T. T. Jew, *IEEE Trans. Elect. Dev.* ED-13, 290 (1966).
2. S. Morozumi, K. Oguchi, S. Yazawa, T. Kodaira, H. Ohshima and T. Mano, *SID Digest* p 56 (1983).
3. S. Morozumi, H. Kurihara, T. Takeshita, H. Oka and Hasegawa, *IEEE Trans. Elect. Dev.*, ED-32, 1546 (1985).
4. Y. Hayashi, H. Hayashi, M. Negishi and T. Matsu-shita, *ISSCC Digest*, p. 266 (1988).
5. T. Yamanaka, T. Hashimoto, N. Hashimoto, T. Nishida, A. Shimizu, K. Ishibashi, Y. Sokai, K. Shimohigashi and I. Takada, *IEDM*, p. 48 (1988).
6. S. Ikeda, S. Hashiba, I. Kuramoto, H. Katoh, S. Ariga, T. Yamanaka, T. Hashimoto, N. Hashimoto and S. Meguro, *IEDM*, p. 469 (1990).
7. K. Tsutsumi, Y. Inoue, S. Murakami, O. Sakamoto, M. Ashida and Y. Kohno, *Symp. VLSI Tech. Dig.*, p 23 (1991).
8. A. O. Adan, K. Suzuki, H. Shibayama and R. Miyake. *Sym. VLSI Tech. Dig.*, p. 19 (1990).
9. J. Y. W. Seto, *J. Appl. Phys.* **46**, 5247 (1975).
10. M. M. Mandurah, K. C. Saraswat and T. I. Kamins, *IEEE Trans. Elect. Dev.*, ED-28, 1163 (1981).
11. D. M. Kim, A. N. Khojdker, S. S. Ahmed and R. R. Shah, *IEEE Trans. Elect. Dev.*, ED-31, 486 (1984).
12. R. B. Iverson and R. Reif, *J. Appl. Phys.* **62**, 1675 (1987).
13. M. K. Hatalis and D. W. Greve, *J. Appl. Phys.* **63**, 2260 (1988).
14. Y. Uemoto, E. Fujii, A. Nakamura and K. Senda, *Symp. VLSI Tech. Dig.*, p 21 (1990).
15. M. Kinugawa, M. Kakumi, T. Yoshida, T. Nakayama, S. Morita and K. Kubota, *Symp. VLSI Tech. Dig.*, p. 23 (1990).
16. T. Noguchi, H. Hayashi and T. Ohshima, *J. Electrochem. Soc.* **134**, 1771 (1987).
17. I. -W Wu, A. Chiang, M. Fuse, L. Övesoglu and T. Y. Huang, *J. Appl. Phys.* **65**, 4036 (1989).
18. S. Seki, O. Kogure and B. Tsujiyama *IEEE Elect. Dev. Lett.* EDL-8, 368 (1987).
19. T. Noguchi, H. Tsukamoto, T. Suzuki and H. Masuya, *SSDM Extended Abstracts*, p. 620 (1991).
20. T. I. Kamins and Marcoux, *IEEE Elect. Dev. Lett.* EDL-1, 59 (1980).
21. S. D. S. Malhi, H. Shichijo, S. K. Banerjee, R. Sundaresan, M. Elahy, G. P. Pollack, W. F. Richardson, A. H. Shah, L. R. Hite, R. H. Womack, P. K. Chaffarjee and H. W. Lam, *IEEE. SSC, SC-20*, 178 (1985).
22. J. G. Fossum, A. Ortiz-Conde, H. Shichijo and K. Banerjee, *IEEE Elect. Dev.* ED-32, 1878 (1985).