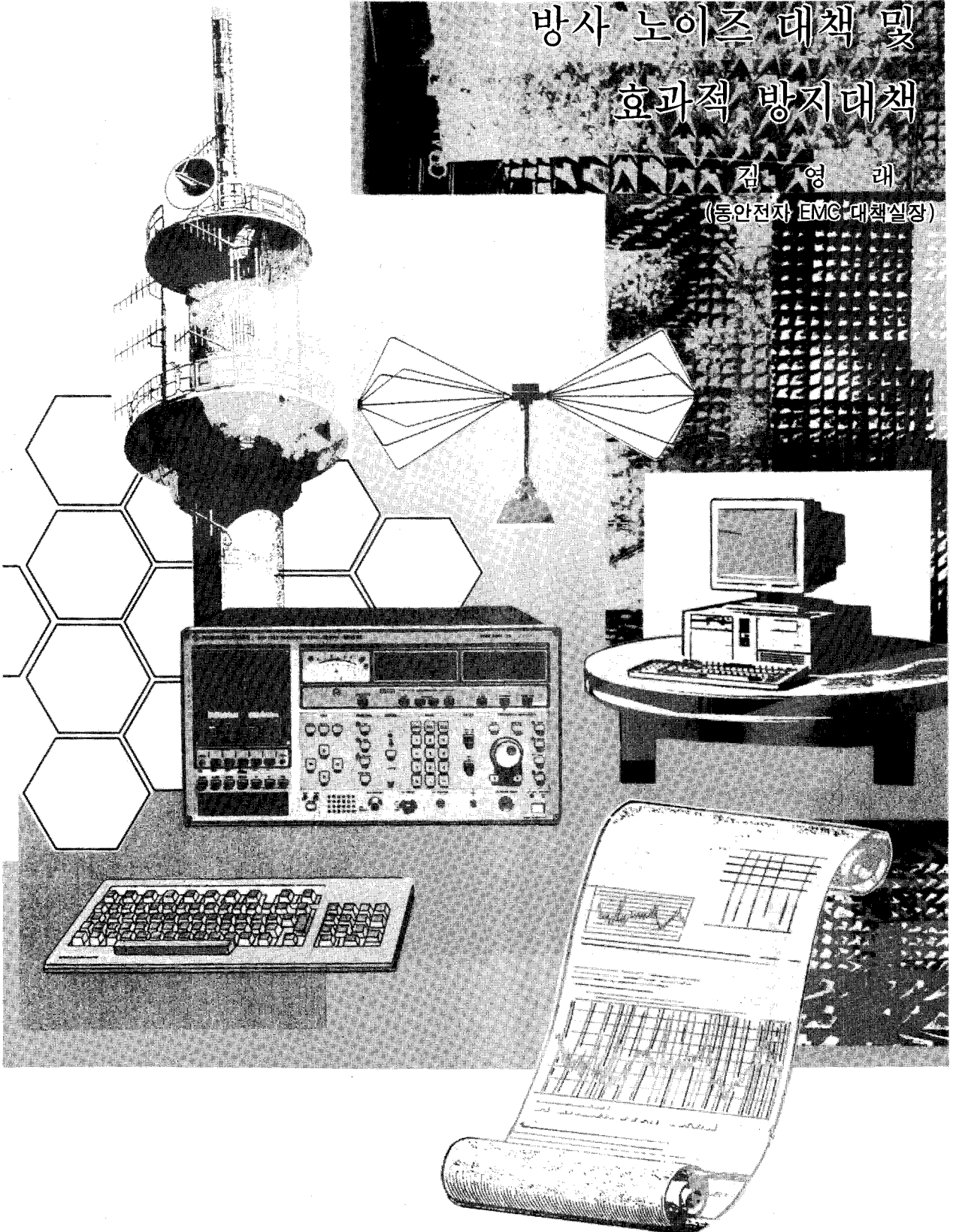


연재/전자파장해

방사 노이즈 대책 및
효과적 방지대책

김영래
(동안전자 EMC 대책실장)



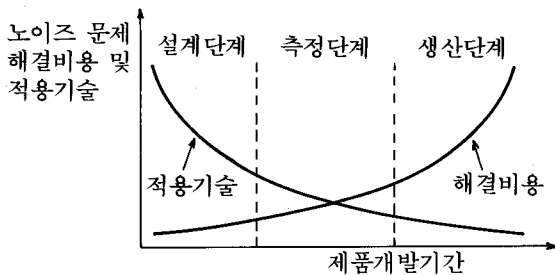
1. 개요

디지털 회로를 사용한 기기가 비약적으로 증가하고, 적용범위가 확대됨에 따라, 기존의 기계제어나 아날로그 회로를 사용한 경우에 비해, 고속으로 정확하게 동작하는 반면, 만일 오동작이 발생하는 경우 그에 의한 결과는 매우 크게 나타나게 된다.

또한 고속화가 가능한 반도체 기술 발전에 따라, 디지털 회로도 고속화가 진행되어 고속펄스에 의한 EMI노이즈 문제, 특히 방사 노이즈는 더욱 심각성을 더해가고 있다.

〈그림1〉에 나타낸 제품 개발 기간에 따른 적용기술 및 해결 비용의 상관 그래프에서도 알수 있듯이 회로 설계 단계에서의 EMI 노이즈 대책은 여러가지 면에서 중요하다.

따라서 여기에서는 그동안 EMI대책 업무를 진행하는 과정에서 얻은 경험을 바탕으로 하여 설계단계에서의 EMI노이즈 대책 기술을 사례 중심으로 알아보기로 한다.



〈그림 1〉 개발단계에 따른 적용 기술과 비용의 상관 그래프

2. 회로에서의 노이즈 원

일반적으로 우리들이 노이즈 원이라고

하는 것은 표1에 나타낸 본래의 노이즈원과 결합에 의한 것으로 나눌 수 있다.

(1) 스위칭 노이즈

회로에 의한 노이즈원 중에 가장 대표적인 것은 인덕턴스 L의 전류 경로에서의 급격한 전류의 시간 변화(di/dt)에 의해 발생하는 L(di/dt) 노이즈가 있다.

| 노이즈원 | 결 합 | 오동작 원인 |
|-------|--------------|--------------|
| di/dt | Impedance(Z) | (일반적인 노이즈원) |
| dv/dt | 용량 결합(C) | 방사 |
| Cw | 인덕턴스 결합(L) | Crosstalk |
| dq/dt | 유도 결합(Lm) | 공통 Impedance |
| | 공간전달 | 스위칭 노이즈 |
| | | 서어지 |
| | | 방사 |

〈표 1〉 노이즈원, 결합 방법 및 오동작의 원인

(2) Ringing노이즈

전압 혹은 전류가 급격한 변화를 일으키고, 회로소자 및 배선의 저항 성분 'R'과 용량 'C' 및 배선계의 인덕턴스 'L'에 의한 Ringing이 발생한다. 이것은 LCR의 직렬공진 회로로서 모델화 하여 생각하는 것이 가능하다. R을 $2\sqrt{L/C}$ 보다 크게 하면, 진동 파형은 비진동적인 파형이 되고, 전류의 Peak치도 감소한다.

(3) 반 사

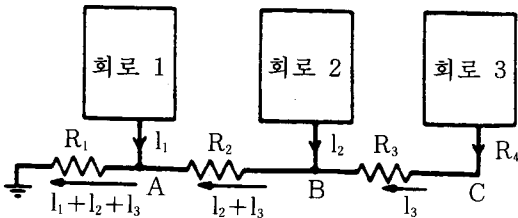
프린트 배선판상의 배선의 길이와 사용되는 신호의 주파수와의 관계에서, 배선tracer를 분포 정수 회로의 입장에서 취급할 필요가 생기게 되는 일이 있다. 따라서 회로 소자의 입출력Impedance와 배선의 특성Im-

pedance의 부정합(Mismatching)에 의한 신호의 반사가 문제가 되는 경우가 많다.

3. 결합, 오동작의 원인

(1) 공통Impedance결합

앞에서 설명한 노이즈가 배선계통의 Impedance에 개입하여, 다른 배선계에 전달되는 것으로 이것을 공통Impedance 결합이라 하고, $L(di/dt)$ 노이즈와 유사하다. 이것은 <그림 2>에 나타낸 것과 같이 2개 이상의 회로에 의한 전류가 같은 Impedance를 통하여 흐를때 나타나는 것으로, 통상 전원 분배 회로와 Ground회로에서 가장 많이 문제가 된다.



<그림 2> Series Ground에 의한 공통Impedance결합

(2) Crosstalk

Crosstalk는 배선사이의 용량 결합, 유도(Inductance)결합에 의해 발생한다. 정합 종단된 배선계의 근단, 원단Crosstalk는 아래의 식과 같으며, 상호 용량, 상호Inductance의 크기에 많이 좌우된다. 또한 원단Crosstalk는 신호의 상승파형 및 배선 길이에도 좌우된다.

$$K_B = \frac{1}{4} \left(\frac{L_m}{L} + \frac{C_m}{C+C_m} \right)$$

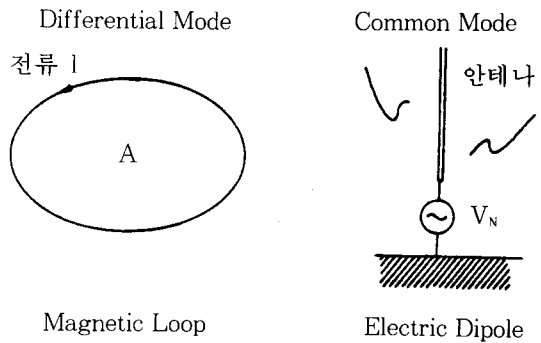
K_B : 근단 Crosstalk계수

$$K_F = -\frac{\sqrt{LC}}{2} \left(\frac{L_m}{L} - \frac{C_m}{C+C_m} \right) \ell \frac{dV}{dt}$$

K_F : 원단Crosstalk계수

4. 방사 노이즈 발생원

최근에 전자기기로 부터 발생하는 방사 노이즈는 대부분 인쇄회로기판(PCB)상의 디지털 회로에 의한 것이 대부분이다. 디지털 신호는 아주 빠른 순간 변화를 일으키기 때문에 고조파(Harmonics) Energy를 상당히 많이 가지게 된다. 이러한 방사 노이즈 원은 발생 구조에 따라 2가지로 간략화 할 수 있는데, Magnetic Loop에 전류가 흘러 노이즈가 방사 되는 것과 같은 Differential Mode방사와, Electric Dipole안테나와 같은 역할을 하여 방사되는 것과 같은 Common Mode방사로 구분할 수 있다.



<그림 3> Differential Mode - Common Mode 방사 기본구조

(1) Differential Mode방사

예를들어 <그림 4>에 의한 회로에서는 방사성 노이즈가 발생한다. 이 원리는 Loop에 전류가 흐르면 Loop의 단면으로 자체가 발생하는 것이다.

이 Loop에 고주파 전류가 흐르면, Loop 안테나와 같은 역할을 하여 전자파를 발생한다. 정(Signal Line)에서 부(GND)로 흐르는 전류(Differential Mode전류)에 의해 발생하는 방사이기 때문에 이것을 Differential Mode방사라고 부른다.

이 Differential Mode방사의 전계 강도는 회로의 Loop면적 A, 회로Loop전류 I에 비례하여 커지며, 주파수 f의 제곱에 비례하며, 측정하는 거리 r에 반비례 하며 식으로 나타내면 아래와 같다.

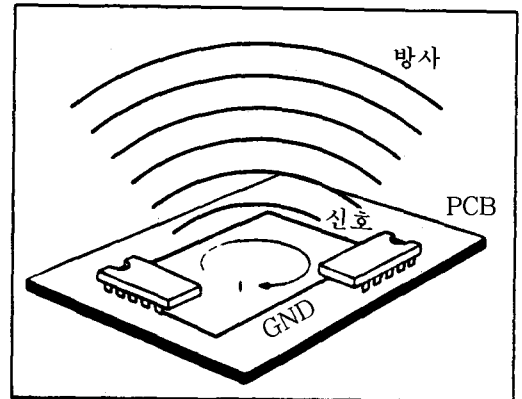
$$E(\mu V/m) = 2.63 \times A(Cm^2) \times I(A) \times f^2(MHz)/r(m)$$

예를들어, 주파수 f=30MHz, Loop면적 A=10cm, 회로전류 I=25mA, 측정거리 r=3m이라면, 197uV/m로서 국내 전자파 장해 검정 규칙 Class-B 규격(Fcc Class-B와 동일)의 2배에 해당하는 방사 노이즈 레벨이 된다.

또한, 방사강도의 주파수 분포는 <그림 6(a)>에 의한 것과 같이, 주파수에 대하여 40dB/dec로 증가한다.

(2) Common Mode방사

Common Mode방사는 Differential Mode보다 다소 이해하기 어렵다. <그림 5>에 나타난 것과 같이 I/O케이블이 연결된 PCB회



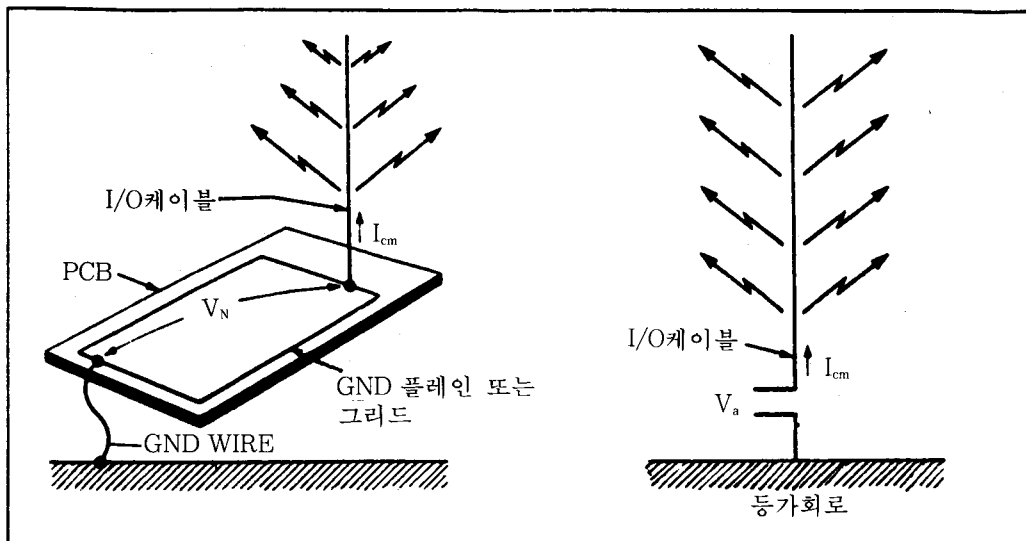
<그림 4> PCB에서의 Differential Mode방사

로가 있을때, 이것의 기준 그라운드, 예를들어 제품품체의 그라운드(Frame Ground)에 대하여 전압이 발생하는 것이 Common-Mode전압이기 때문에, 이 노이즈 전압에 의하여 I/O케이블이 안테나와 같은 역할을 하여 전자파가 발생하는 것이 Common-Mode방사이다.

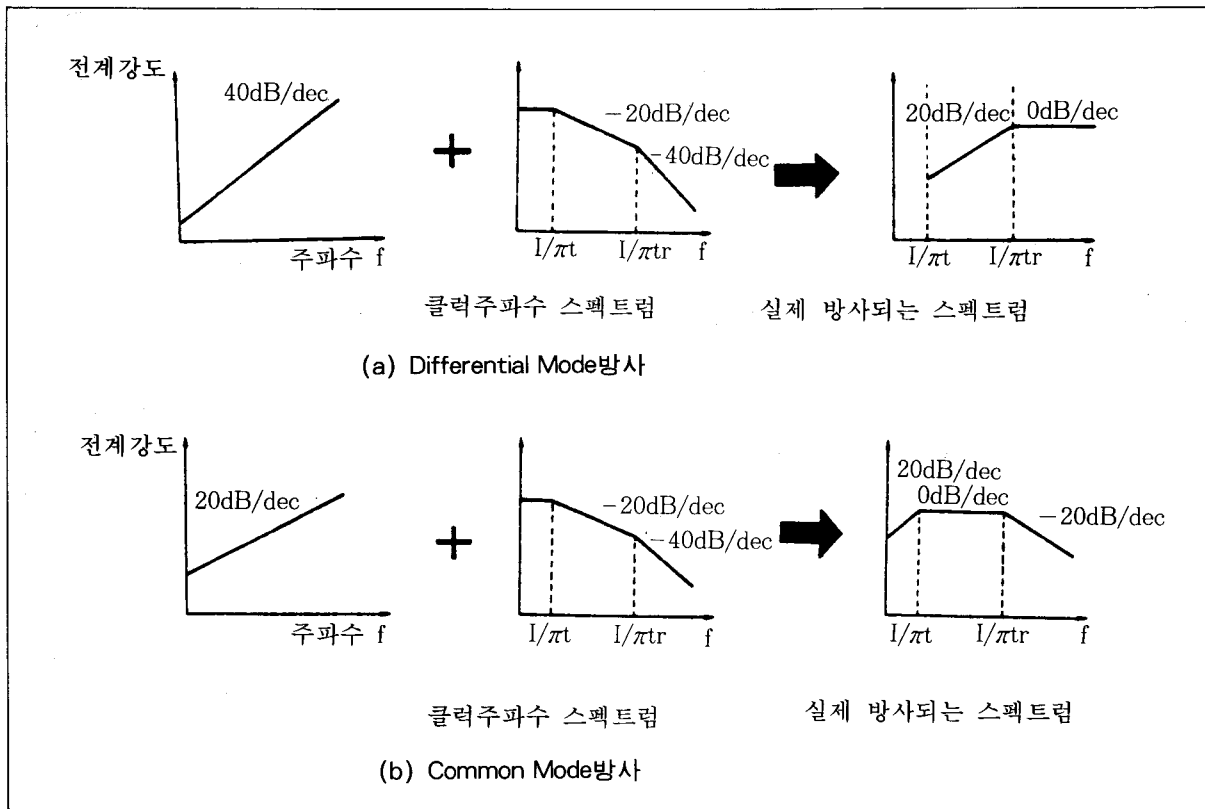
그림에서의 등가회로를 보면 접지점과 I/O케이블이 연결된 점사이의 전압 강하 V_n 이 안테나(실제 I/O케이블)에 인가된 것으로 생각하면 쉽게 이해 될 것이다. 이 Common Mode방사 전계강도는 주파수 f, 안테나의 길이 L, 안테나를 흐르는 Common Mode전류 I에 비례하며, 식으로 나타내면 다음과 같다.

$$E(\mu V/m) = 1.26 \times 10^6 \times L(M) \times I(A) \times f(MHz)/r(m)$$

Differential Mode방사의 경우와는 다르게, <그림 6(b)>와 같이 주파수에 대하여 20dB/dec로 증가한다.



(그림 5) 시스템케이블에서의 Common Mode방사



(그림 6) 방사성 노이즈의 주파수 스펙트럼

5. 디지털 회로의 전자파 발생 메카니즘

(1) 디지털 회로의 특징

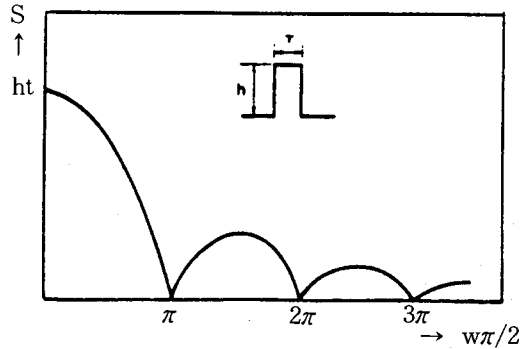
디지털 회로란, 일반적으로 '1', '0'의 2개의 레벨을 가지는 이른바 디지털 신호를 취급하는 회로이다. 디지털 회로의 특징 대부분은 이 2진 신호를 다룬다는 성질에서 나온 것이고 노이즈에 관한 주요한 특징은 다음과 같다.

- 디지털 회로에서는 매우 넓은 광대역 신호를 다룬다.
- 회로소자는 어떤 일정한 레벨의 2진 신호를 출력하도록 만들어져 있다.
- 회로소자에는 2진 신호를 식별하기 위한 Threshold레벨이 존재한다.

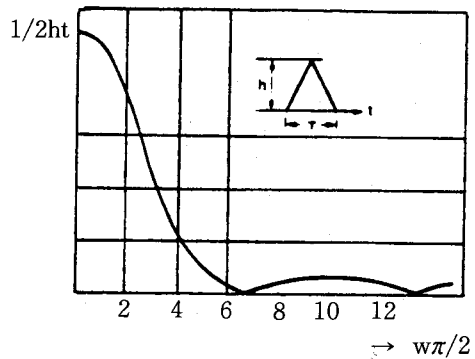
디지털 회로로 처리하는 신호는 이른바 Pulse신호이고, <그림 8>에 나타낸 것과 같은 모양을 하고 있다. 이 Pulse신호를 Fourier변환하고, 신호가 가진 파워 스펙트럼을 조사하면 <그림 8>, <그림 9>와 같은 모양이 된다.

그림에서도 알 수 있는 것과 같이 Pulse신호의 스펙트럼은 직류에서 부터 아주 높은 고주파에 까지 넓어지고 있다.

Pulse신호의 에너지를 내에는 고주파 성분을 <그림 8>과 <그림 9>의 비교에서도 알 수 있는 것처럼, Pulse의 상승부분과 하강부분에 문제가 되는 노이즈의 대부분이 포함되어 있고, 디지털 회로에서 문제가 되는 노이즈의 대부분이 여기에 그 원인이 있다.



<그림 8> 구형파Pulse신호의 파워 스펙트럼



<그림 9> 삼각파에 의한 파워 스펙트럼

신호가 고주파임에 따라 발생하는 주요 문제들은,

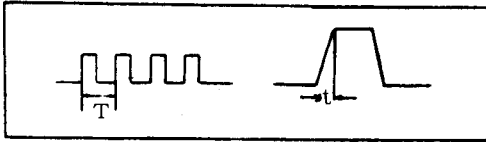
- 신호의 유도가 대단히 크게 된다.
- 회로소자가 이상적이지 못하고, 부유용량, 부유인덕턴스의 영향이 크게 된다.

(2) 노이즈 발생 매카니즘

‘아니맨 굴뚝에 연기가 날리가 없다’는 말과 같이 전자기기로부터 발생하는 전자파 노이즈를 연기라고 볼때 어딘가에는 반드시 불에 해당하는 노이즈원과 굴뚝에 해당하는 전달매개체가 있으며, 기기의 몸체로부터, 또는 전원, 인터페이스 케이블의 표면, 혹은

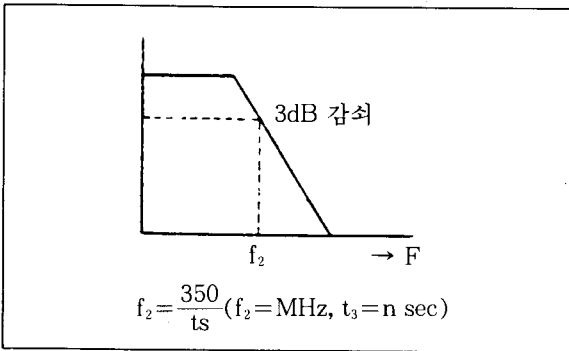
케이블의 내부를 통하여 외부로 방사 전도 된다.

이러한 디지털 회로가 전자파 노이즈를 심각하게 발생시키는 이유는 아래와 같은 펄스신호로 동작되기 때문이다.



위 그림의 펄스는 $f_1(1/T)$ 을 기본 주파수로 하고 그것의 정수배 주파수를 갖는 고조파를 포함하고 있다. ($2f_1, 3f_1, \dots$ 등)

펄스의 상승 모양이 급히 변하게 되면 고조파의 진폭은 감쇠하지 않는다. 고조파의 상승진폭이 3dB 떨어지는 주파수를 최고 차단 주파수(f_2)라 한다.



이 예의 경우, 8MHz를 기본 주파수로 하고, 그의 정수배의 고조파가 차단주파수의 2~3배까지 (8MHz~300MHz)를 전자회로의 내부에 발생한다. Print기판의 Patlem을 반파장Dipole Antenna로서, 혹은 Cable을 반파장 Dipole로서 전자파 노이즈가 방사 된다.

예를들어, 통상 pc등에 사용되고 있는 펄스를 위의 식에 넣어서 최고 차단 주파수를 산출해보면,

$$f_1 = 8\text{MHz Clock 주파수}(X\text{-tal osc})$$

$$t_3 = 3.5\text{n Sec Ic의 상승시간}$$

$$f_2 = \frac{350}{3.5\text{n Sec}} = 100\text{MHz}$$

6. PCB 설계시 EMI 대책 기본

앞에서 언급한 바와 같이 EMI대책에는 사전대책과 사후대책이 있는데 사전대책은 노이즈 원을 미리 예방하고 제거한다는 면에서 매우 중요한 의미를 가지며, 대책업무의 대부분을 차지하고 있다고 볼 수 있다.

이러한 사전대책이라는 것은 실제 프린트 기판(PCB)의 실장 설계에 달려 있으며, EMI대책을 위한 비용 증가를 억제하는 면에서도 PCB설계시의 EMI대책은 그 만큼 중요하면서도 실제로는 잘 적용하지 못하고 제품 설계 후 사후대책으로 이루어지는 경우가 많다. 여기서는 그 동안 필자가 EMI 대책업무를 진행하면서 느낀 PCB설계 단계에서 반드시 적용해야 될 사항을 중심으로 기술토록 하겠다.

(1) 패턴 인덕턴스(Inductance)의 최소화
PCB설계시 EMI대책을 위해서 가장 우선적으로 고려되어야 할 것이 PCB패턴(trace)에 의한 인덕턴스이다. 이 인덕턴스는 크게 자기 인덕턴스(Self-Inductance)와 상호 인덕턴스(Mutual-Inductance)로

구분된다. 자기 인덕턴스라는 것을 간단히 Modeling하면 일종의 코일(Coil)이다. 패턴에 흐르는 전류의 단속 변화가 생기면, 그 시간에 대한 전류의 변화율에 대응하는 전기장(Electric field)을 만들게 된다.

상호 인덕턴스는 신호회로의 경로가 되는 패턴 인덕턴스에 의하여, 두 패턴 사이에 존재하는 것이다. 즉, 상호 인덕턴스는 높은 주파수가 흐르는 신호 패턴 사이에서 유도 결합(Inductive Coupling)에 의해 생기게 된다.

상호 인덕턴스는 전류의 흐름 방향이 같을 때의 패턴 사이에서 전체적으로 증가하는 경향이 있으며, 반대로 전류의 흐름 방향이 반대일때 신호패턴의 인덕턴스는 감소하게 된다.

신호라인의 인덕턴스를 줄이는 노력은 바로 상호 인덕턴스를 없애는 것이라고 말할 수 있으며, 이는 EMI대책에 있어서 기본적인 면에서도 매우 효과있는 방법중의 하나이다.

전형적인 패턴 인덕턴스 계수를 예를 들면,

- ① 0.2mm패턴은 약 8nH/Cm
- ② 0.3mm패턴은 약 7nH/Cm
- ③ 0.6mm패턴은 약 6nH/Cm
- ④ 동축케이블은 약 2nH/Cm

이다.

이 패턴에 대한 인덕턴스 계수는 상호 인덕턴스의 상쇄 효과는 고려하지 않았다. 여

기에 쉽게 알 수 있는 것은 PCB패턴의 인덕턴스는 패턴의 굵기와 큰 전류 변화가 있는(클럭펄스 또는 버스 드라이브 전류) 패턴의, 길이에 의해 좌우되는 것을 쉽게 알 수 있다.

이것을 수식으로 나타내면,

$$L=0.002\ln\left(\frac{2\pi h}{W}\right)\mu\text{H/Cm}$$

이식에는 W는 패턴의 굵기, h는 리턴 전류 라인과의 높이를 나타내고 있으며, 이식을 통해 간단히 알 수 있는 것은 인덕턴스는 패턴의 굵기(W)에 로그 함수적으로 반비례하므로 굵기를 두배로 하는 경우 인덕턴스는 약 20%정도밖에 줄지 않는 것과 같이, 패턴의 굵기만으로 인덕턴스를 줄이는데는 어려움이 있다.

따라서 패턴의 인덕턴스를 줄이기 위해 다른 방법을 고려할 필요가 있는데 이런 방법중의 하나가 전류의 흐름이 가능한 부가적인 패턴을 설계하는 것으로 전기적으로 생각할 때, 2개의 같은 인덕턴스가 병렬로 연결된 경우 전체의 인덕턴스 값은 1/2이 되는 것과 같은 이치이다. 이와 같이 병렬 패턴 수에 반비례하여 인덕턴스 값은 줄게 된다.

또한 두개의 패턴이 근접되게 병렬로 된 경우는 전체 인덕턴스를 산출할 때 상호 인덕턴스를 반드시 고려하여야 한다.

같은 방향으로 전류를 흐르게 하는 2개의 병렬 패턴에 대한 전체 인덕턴스는

$$L_t = \frac{L_1 L_2 - M^2}{L_1 + L_2 - 2M}$$

로 나타낼 수 있으며, 여기서 L_1 , L_2 는 각 패턴의 자기 인덕턴스이고 M 은 그 둘사이의 상호 인덕턴스이다. 여기서 2개의 인덕턴스가 동일한 값이라면

$$L_t = \frac{L_1 - M}{2}$$

와 같으며 만약, 2개의 인덕터가 아주 근접된 경우, 상호 인덕턴스는 자기 인덕턴스 값에 근접($L_1 = M$)하고, 전체의 인덕턴스 값은 1개의 패턴이 가졌을 때의 원래의 인덕턴스 값과 같게 된다.

만약 패턴이 서로 많이 떨어져 있는 경우, 상호 인덕턴스는 무시할 수 있으며, 전체의 인덕턴스 값은 1개 패턴일 경우의 인덕턴스 값의 1/2로 된다.

따라서 패턴간의 거리는 이러한 상호 인덕턴스를 감안하여 설계 되어야 한다.

패턴간의 거리 = D 이고, 그라운드 프레임으로 부터 높이 = h 에 위치한 2개의 병렬 패턴에 대한 상호 인덕턴스는

$$M = 0.001 \ln \left[1 + \frac{(2h)^2}{D^2} \right] \mu H / Cm \text{이다.}$$

따라서, 두개 이상의 병렬 패턴간의 거리 (Spacing)은 이러한 측면을 고려하여 설계 되어야 하며, 충분한 거리를 둔 경우는 상호 인덕턴스를 무시해도 된다. 이상의 사항 등을 간단히 요약하면,

1) 패턴 인덕턴스

패턴의 인덕턴스에 영향을 주는 주요원인들은,

① 패턴의 길이에 비례한다.

② 병렬 패턴 수에 반비례한다.

③ 패턴 굵기(넓이)에 로그함수적으로 반비례한다.

즉 패턴을 매우 굵게 하더라도 인덕턴스의 감소는 적게 나타난다. 예를들어 패턴의 굵기를 두배로 하는 경우 인덕턴스는 20%정도 밖에 줄지 않으나 그래도 가능한 굵게 하여주는 것이 좋다.

④ 노이즈원이 되는 신호 라인으로 둘러싸인 루프 면적에 비례한다.

2) 패턴 인덕턴스 최소화 방안

① 칩 또는 회로 소자간에 연결된 패턴을 가능한 짧게 한다. 이러한 칩 또는 회로 소자간의 패턴 길이를 최소화 하기 위해서는 PCB상의 부품 배치가 매우 중요하다. 따라서 우선적으로 크리스탈 발진기 및 클럭 회로 등에 대해서는 다른 인터페이스 보다 짧게 구성하는 방법을 강구한다.

② 연결 패턴의 굵기(넓이)는 가능한 굵게 한다.

③ 가능한 많은 병렬 그라운드 패턴 회로를 만든다. (양면 PCB인 경우)

④ 전원 V_{cc} 와 로직 그라운드(Logic Ground)사이의 Loop면적을 최소화 한다.

⑤ 고주파 신호에 대하여 가능한 상호 인덕턴스 감쇄 효과를 높인다.

이것은 아주 작은 루프 면적을 형성하므로써 가능하다.

⑥ PCB에 대한 적절한 종횡비(Aspect Ratio)를 선택한다.

(2) 루프 면적(Loop-Area)의 최소화

인덕턴스를 줄이기 위한 중요한 또다른 방법으로는 고주파 전류 흐름에 의해 구성되는 루프면적을 줄이는 것이다. 만약 두개의 패턴 라인이 정반대 방향으로 된 경우(예: 신호라인과 그것의 그라운드 리턴 라인)의 전체 인덕턴스 L_t 는,

$$L_t = L_1 + L_2 - 2M$$

이고, 여기서 L_1 과 L_2 는 각 라인의 자기 인덕턴스이고 M 은 두 라인간의 상호 인덕턴스이다.

따라서 만약 2개 라인이 같다면($L_1=L_2$) 위식은 $L_t=2(L_1-M)$ 이 된다. 전체의 인덕턴스를 줄이기 위해서는, 두 라인간의 상호 인덕턴스(M)을 최소화 해야 한다. 따라서 두 라인(신호 라인과 그라운드 리턴라인)은 그 두 라인이 구성하는 면적을 최소화 하기 위해 가능한 서로 가깝게 배치하여야 한다.

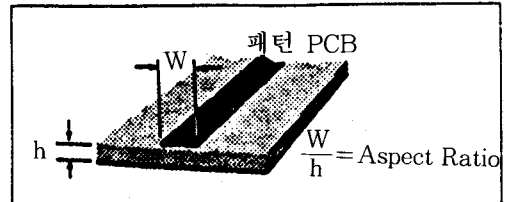
정방향 전류 라인과 리턴 전류 라인을 서로 가깝게 배치하는 것이 인덕턴스를 줄이

는데 효과적인 방법이고, 트위스트 페어(Twisted Pair)나 동축케이블(Coaxial Cable)이 이러한 원리를 이용한 방법이다.

여기에서 루프 면적을 줄이기 위한 일반적인 원리를 열거하면,

- ① 적절한 종횡비(Aspect Ratio)를 선택하여 적용한다.
- ② 적절하게 부품 배치를 한다.
- ③ 그라운드 구조를 적절하게 설계한다.

여기에서 종횡비(Aspect Ratio)란 <그림 3>에서와 같이 PCB의 높이(h)와 주요 신호라인의 패턴(W)와의 비이다.



<그림 10> PCB에서의 종횡비(Aspect Ratio)

