

## 저압 화학 증착법으로 제조된 Hemispherical Poly Si 박막의 미세구조 및 전기적 성질

라사균 · 김동원\*

금성일렉트론 주식회사

\*경기대학교 재료공학과

(1993년 1월 21일 접수)

## Microstructure and Electrical Property of Hemispherical Poly Si Film made by Low Pressure Chemical Vapor Deposition

Sa Kyun Rha and Dong Won Kim\*

Gold Star Electron Co., Ltd.

\*Dept. of Materials Science and Engineering, Kyonggi University

(Received January 21, 1993)

**요 약**—저압화학증착법에 의해 제조된 hemispherical 및 rugged Si 박막들은 64 Mbit DRAM 이상의 캐패시터에 사용하기 위해 개발되었다. 이 공정을 사용하므로써 종래에 사용되던 Si 전극의 평평한 표면이 hemispherical 혹은 rugged 박막 형태의 표면으로 변한다. 위와 같은 박막은 비정질 Si 표면에서 핵생성되며 Si 원자 확산에 의해 결정립들이 결정체로 성장한다. 화학증착의 변수, 열처리 및 in-situ doping process들은 hemispherical 및 rugged Si 박막의 미세구조에 영향을 준다. 동일 두께에서는 고온에서 이루어질 때 혹은 동일 온도일 경우에는 얇은 박막층일 때에 하부전극의 표면들이 rugged poly Si 형상을 나타내며 이렇게 됨으로써 유효면적은 2.1배로 증가한다. 이와 같은 캐패시터 유효면적 증가는 대체로 높은 신뢰성을 갖는 두꺼운 절연막을 사용하면서 stack 캐패시터 구조의 높이를 감소시킬 수 있다. 따라서 이러한 제조기술은 차세대 캐패시터에 적용될 수 있다.

**Abstract**—Hemispherical or rugged Si films made by low pressure chemical vapor deposition are developed for fabricating the capacitors in 64 Mbit DRAM and larger DRAMs. By using this process, the even surface of conventional Si electrode is changed into the uneven surface of hemispherical or rugged Si film. Hemispherical or rugged Si film is formed by the nuclei generation on the amorphous Si surface and outward crystalline growth of grains through Si atom diffusion. The variables of chemical vapor deposition, anneal process and in-situ doping process have effects on the microstructure of hemispherical and rugged poly Si film. The surface of storage electrodes was found to be morphologically modified into the rugged poly Si film at the higher deposition temperature with the same thickness or the thinner film thickness at the same temperature, which increases their effective surface areas by a factor of 2.1. Such an increase makes it possible to reduce the height of stacked capacitor structure through the use of relatively thick capacitor dielectric films which have higher reliability. This fabrication technology is applicable to the new generation capacitor.

## 1. 서 론

저압 화학 증착법(LPCVD)에 의해 제조된 poly Si 박막은 반도체의 전극, load resistor, thin film transistor(TFT) 소자, solar absorber, photo-luminescence (PL) 소자 등에 다양하게 사용되고 있다[1]. 이와 같은 응용에서도 가장 많이 이용되고 있는 metal-oxide-semiconductor(MOS)는 최근에 집적도가 증가함에 따라 셀면적이 감소하여 적은 영역에서 충분한 캐패시턴스를 얻는것이 중요한 과제로 대두되고 있다. 제한된 셀 영역내에서 충분한 캐패시턴스를 얻기 위해서는 캐패시터 절연막의 두께를 감소시키거나, 고유전물질의 절연막 ( $Ta_2O_5$ ,  $TiO_2$ , PZT, (Ba, Sr)TiO<sub>3</sub> 등)을 이용하거나, 캐패시터 구조를 변화시켜 유효 캐패시터 면적을 증가시켜야 한다. 그러나 캐패시터 절연막의 두께 감소 측면에서 볼 때, ONO(oxide-nitride-oxide) 절연막의 박막화에 대한 한계는 약 50 Å ( $T_{eff}$ : oxide 환산 두께)인데 이는 이미 64 Mbit DRAM에서 한계에 도달하였다[2].  $Ta_2O_5$  및 PZT 등의 고유전 물질의 개발면에서 볼 때,  $Ta_2O_5$  박막은  $SiO_2$  박막에 비해 누설전류가 크고 절연파괴 전기장이 낮은 문제점을 갖고 있으며, 화학증착법에 의한 PZT 재료의 박막화는 Pb의 휘발성 및 성분원소의 우선적인 산화에 의해 우수한 전기적 특성을 갖는 화학양론적 화합물을 제조하기 어려운 상태이다. 그러므로 고유전 절연막을 캐패시터에 사용하기 위해서는 앞으로 많은 연구가 진행 되어야 한다. 캐패시터의 유효면적을 증가시키는 방법으로는 fin이나 cylinder 형태를 이용한 stack 및 trench 구조 등이 가능하나, 이와 같은 구조를 만드는데 복잡한 공정이 수반되므로 64 Mbit DRAM 이상의 초고집적소자에서는 단순하게 사용되기가 어렵다. 캐패시터의 유효면적을 증가시키는 다른 방법으로는 캐패시터의 하부전극으로 사용되는 storage node poly Si의 형태를 저압 화학 증착법을 이용하여 기존의 평평한 표면형상에서 hemispherical이나 rugged 표면형상의 poly Si 박막을 증착시키므로써 캐패시터의 유효면적을 증가시키는 방법이다[2, 3]. 이 방법은 비교적 공정이 용이하며, 평평한 표면 형태를 갖는 기존의 poly Si 전극에 비해 약 2배 이상의 캐패시턴스를 증가시킬 수 있기 때문에 256 Mbit DRAM 이상의 초고집적 소자에서 캐패시터의 하부전극으로 사용하기 위해 연구가 활발히 진

행되고 있다[2-5]

본 논문에서는 차세대 캐패시터의 전극을 개발하기 위해 hemispherical 혹은 rugged 형태를 갖는 poly Si 박막의 미세구조를 관찰하고, 이들의 미세구조에 영향을 주는 변수와 캐패시터의 전기적 특성에 관하여 연구하고자 한다.

## 2. 실험 방법

본 실험에서 hemispherical 및 rugged 형태의 poly Si 박막을 제조하기 위해 저압 화학 증착 장비(ASM-100PRO, TEL)를 이용하였으며, 기판으로는 열산화막, 단결정 및 다결정 실리콘을 사용하였다. 저압화학증착법의 증착온도는 500°C에서 650°C까지 변화시켰으며, 증착압력은 수 torr 정도 이하에서 수평저항로(TEL 社 제품)와 수직저항로(ASM 社 100 PRO 제품)를 사용하여 500 Å에서 3000 Å까지의 두께를 갖는 Si 박막을 증착시켰다.  $SiH_4$ (99.999%) 및  $Si_2H_6$ (99.99%) 가스를 Si의 소스로 사용하였으며, poly Si 박막 전극의 도핑은 in-situ doping, 열확산에 의해 형성하였다.

Si 박막층의 미세구조를 조사하기 위해 X-ray diffractometer(XRD), scanning electron microscope(SEM) 및 transmission electron microscope(TEM)를 사용하여 분석하였다. 또한 박막층내에 존재하는 도펀트의 성분 및 양들은 secondary ion mass spectroscope(SIMS)를 이용하여 조사하였다.

캐패시터와 관련된 전기적 특성을 알아보기 위해 70/500 Å의 두께를 갖는 NO(nitride-oxide) 절연막을 사용하여 캐패시턴스, 누설전류 및 절연파괴 전기장 등을 측정하였다. 캐패시턴스 측정은 14000  $\mu m^2$  면적의 정방형 test pattern을 이용 LCR meter를 사용하여 storage node Si(하부전극)에 100 KHz, 0.15 V 교류를 걸어 측정했으며, 누설 전류 및 절연파괴 전기장은 HP4145 parameter analyzer를 사용하여 storage node Si(하부전극)과 plate Si(상부전극)에 걸리는 전압을 각각 0부터 올려 전압이 2.5 V에서 흐르는 전류를 누설전류로 측정했고, 전류가 1.4 nA 흐를 때 주입한 전압을 절연파괴 전압으로 측정하여 절연파괴 전기장으로 환산 하였다. Storage node Si 구조에 따른 신뢰성 검토를 위하여 HP4145 parameter analyzer를 사용 constant voltage stress 방법에 의한

time dependent dielectric breakdown(TDDB)을 측정하였다.

### 3. 실험 결과 및 고찰

#### 3.1. Hemispherical grain Si (HSG)의 미세 구조

저압 화학 증착법에 의해 Si 박막을 증착시키기 위해 사용되는 Si 소스로서는  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ,  $\text{Si}_3\text{H}_8$ ,  $\text{SiCl}_4$  및  $\text{SiH}_2\text{Cl}_2$  등이 존재하는데, 이중에서도 현재까지 많이 사용되고 있는  $\text{SiH}_4$  가스를 이용한 Si 박막의 미세구조를 증착온도에 따라 그림 1에 나타내었다. 증착온도가  $550^\circ\text{C}$  인 경우에는 평평한 표면을 갖는 비정질 Si(amorphous Si : a-Si)이 형성되며,  $600^\circ\text{C}$  이상의 증착온도에서는  $\langle 111 \rangle$  및  $\langle 220 \rangle$  우선방위의 다결정 Si(poly Si : P-Si)이 나타나며, 비정질 Si과 다결정 Si의 중간온도인  $580^\circ\text{C}$  에서  $\langle 111 \rangle$  우선방위의 hemispherical grain Si이 관찰되었다. 비정질 Si과 다결정 Si들의 표면 형상과는 대조적으로 거칠은 표면을 갖는 HSG 박막은 비정질 Si과 다결정 Si의 전이 온도 구간에서 형성되며, 증착온도의 강한 의존성을 나타낸다. HSG 박막의 핵생성 및 성장 특성을 규명하기 위해 증착온도에 따른 박막표면의 투과 전자 현미경 사진과 HSG 입자의 고배율 투과 전자 현미경 사진을 각각 그림 2와 그림 3에 보였다. 그림 2로부터 관찰되듯이  $560^\circ\text{C}$  의 증착 온도에서는 불규칙적이며 island 형태를 갖는 HSG(검은 입자)들이 비정질 Si 표면에서 부터 핵생성되며  $570^\circ\text{C}$  로 증착 온도가 증가함에 따라 핵생성된 입자들이 성장하거나, 인접한

작은 HSG들이 합쳐져서 큰 크기를 갖는 HSG로 성장한다. HSG 입자를 자세히 관찰하면 그림 3에 보인 바와 같이 HSG 입자는 다결정 Si 구조를 나타내며 여러개의 facet와  $\langle 112 \rangle$  방향을 갖는 쌍정을 함유하고 있다. 또한 투과 전자현미경의 사진들로 부터 알수 있듯이 비정질 Si표면에서 island 형태로 핵생성된 HSG입자는 추가적인 Si원자의 이동에 의해 성장되기 때문에 열활성화 과정이며 성장된 HSG 입자 주위에서는 Si원자의 고갈이 발생된다. 그후 계속적인 성장과 결정화에 의해 hemispherical poly Si이 형성된다[2, 3]

이와 같이 비정질 실리콘에서 다결정 실리콘으로 구조 변화할 때 나타나는 Si박막의 표면형상은 반구형 형태(HSG) 뿐만 아니라 원통형 형태(rugged poly Si)도 존재한다. 이에 대한 미세구조 사진을 그림 4에 나타내었다. 그림 4의 미세구조 차이에서 알 수 있듯이 rugged poly Si일 때가 hemispherical poly Si에 비해 단위 면적당 큰 표면적을 얻을 수 있기 때문에 하부전극인 Si 박막의 유효면적 증가에 의한 캐패시턴스를 증가시키기 위해서는 rugged 형태의 Si 박막을 하부전극으로 사용하는 것이 바람직하다. 이들의 표면형상은 증착조건에 의해 결정되는데 M. Yoshimaru 등[4]에 의하면 rugged poly Si은 박막 성장의 초기 단계에 나타나는 표면형상으로 박막 두께가 얇을 경우(증착온도는 일정) 혹은 고온의 증착온도(박막 두께는 일정)에서 형성된다고 보고되고 있다. 따라서 캐패시턴스를 증가시키기 위해서는 rugged poly Si 박막이 형성될 때의 증착조건을 설정하는 것이 매우 중요하다.

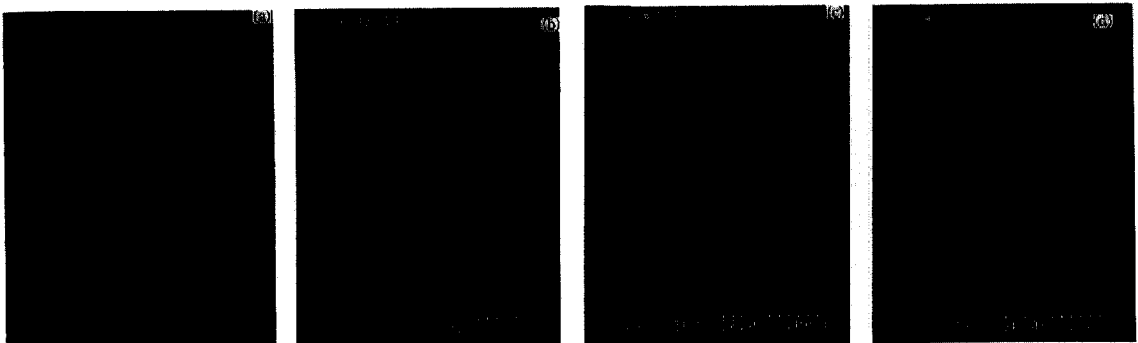


그림 1. 증착 온도에 따른 Si 박막의 미세구조.  
(a)  $550^\circ\text{C}$  (b)  $580^\circ\text{C}$  (c)  $600^\circ\text{C}$  (d)  $620^\circ\text{C}$

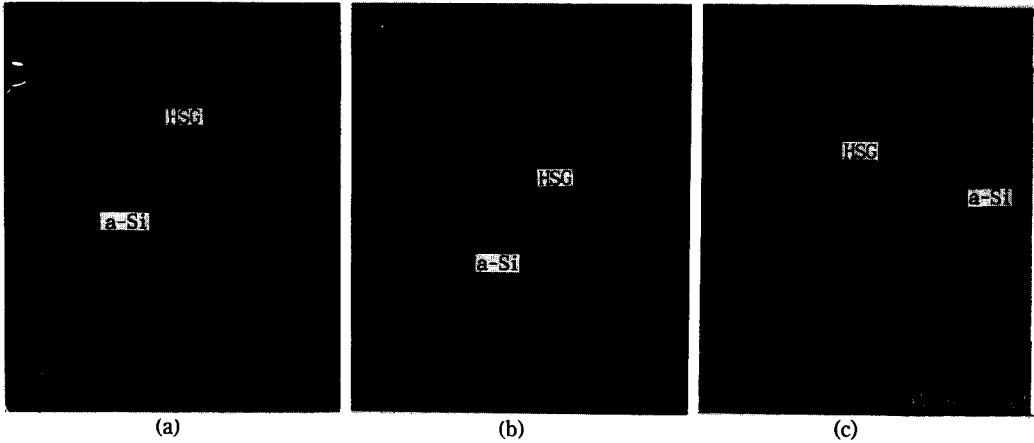


그림 2. 증착온도에 따른 Si 박막의 투과 전자 현미경 사진.  
(a) 560°C (b) 565°C (c) 570°C

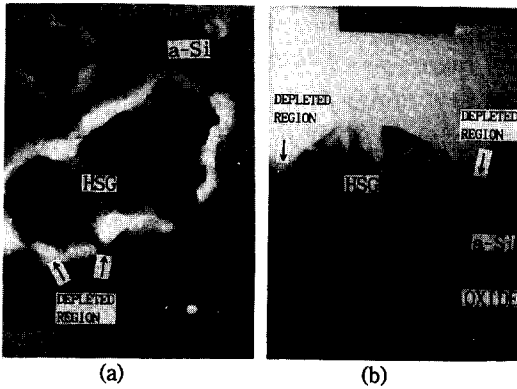


그림 3. HSG의 투과 전자 현미경 사진.  
(a) 표면 미세구조 (b) 절단면 미세구조

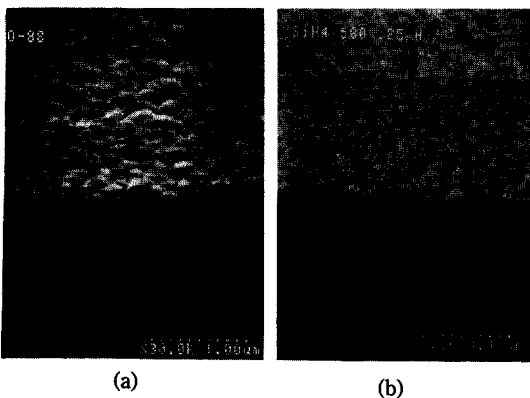


그림 4. Si 박막 표면의 주사 전자 현미경 사진.  
(a) Hemispherical poly Si (b) Rugged poly Si

### 3.2. HSG 및 rugged poly Si의 미세구조에 영향을 주는 변수

Si 박막의 표면형상이 강한 온도 의존성을 나타내기 때문에 증착온도는 HSG 및 rugged poly Si의 미세구조에 상당한 영향을 미친다. 수평 저항로의 LPCVD system을 사용하여 박막 두께는 1000 Å, SiH<sub>4</sub> 분압은 230 sccm으로 고정하고 증착온도에 따른 표면형상 변화를 그림 5에 나타내었다. 575°C의 증착 온도에서는 불연속적인 hemispherical 표면 형상을 보이며, 580°C 온도에서는 전형적인 HSG가 형성되며, 585°C 온도인 경우에는 hemispherical 표면에서 rugged 표면형상으로 변하며, 590°C 온도에서는 rugged poly Si의 골에 Si원자들이 부착되어 585°C 일 때 보다는 어느정도 평평한 poly Si으로 변화되기 시작한다. 그림 5의 미세구조 사진으로 부터 580°C 이하의 증착 온도에서는 hemispherical poly Si 박막이 형성되며, 585°C 이상에서는 rugged poly Si 박막이 나타난다. 즉 고온일 때 rugged poly Si이 형성됨을 알 수 있다. 박막두께는 700Å, SiH<sub>4</sub> 분압은 350 sccm으로 고정하고 수직저항로를 사용할 경우에 증착 온도에 따라 변하는 표면 형상을 그림 6에 보였다. 580°C의 증착 온도에서는 약간 불연속적이면서 조대한 HSG 박막의 표면 형상을 보이며, 590°C에서는 전형적인 HSG를 형성하며, 595°C로 온도가 증가하므로써 HSG에서 rugged poly Si으로 변화하기 시작하며, 600°C에서는 전형적인 작은 크기의 rugged poly Si이 나타난다.

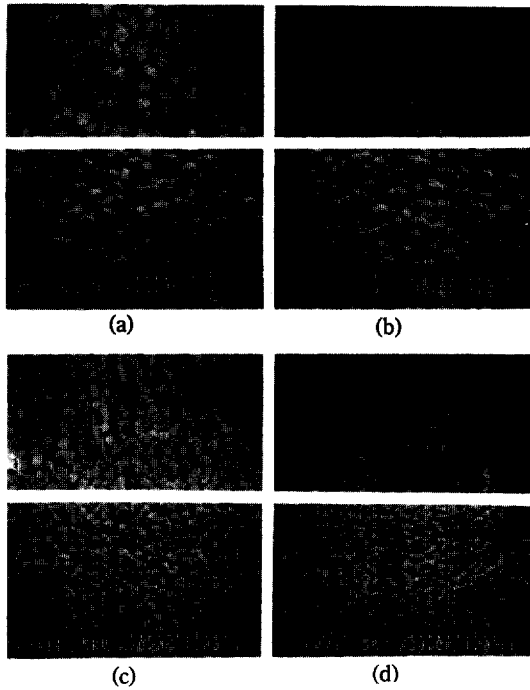


그림 5. 수평저항로에서 증착온도에 따른 Si 박막의 표면형상.  
(a) 575°C (b) 580°C (c) 585°C (d) 590°C

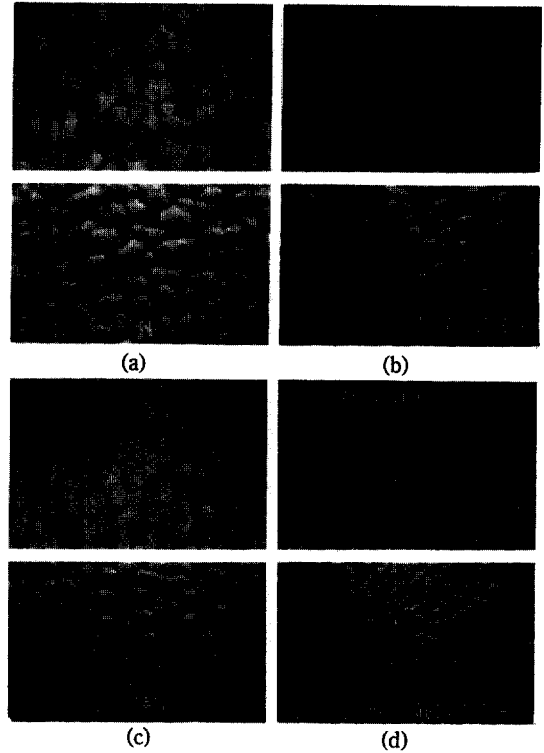


그림 6. 수직저항로에서 증착 온도에 따른 Si 박막의 표면형상.  
(a) 580°C (b) 590°C (c) 595°C (d) 600°C

이와같은 표면 형상의 변화는 그림 5에서와 마찬가지로 증착온도가 증가함에 따라 입자의 크기가 크면서 밀도가 낮은 HSG에서 작은 크기이면서 밀도가 높은 rugged poly Si으로 변한다. 이상의 관찰은 앞에서 고찰한 rugged poly Si의 형성 조건과 잘 일치한다. 증착온도의 변이에 따른 poly Si (캐패시터의 하부전극)의 미세구조 변화는 캐패시턴스 값에 영향을 준다. 수직저항로를 사용할 경우에 나타나는 미세구조 변화에 대한 상대적인 캐패시턴스 값을 그림 7에 나타내었다. 그림 7에서는 기존에 캐패시터의 하부전극으로 사용되는 평평한 비정질 Si(증착온도 : 560°C)이나 다결정 Si(증착온도 : 620°C)을 기준으로 하여 상대적인 값을 표시하였다. 그림 6에서 관찰한 바와 같이 증착온도가 590°C 인 hemispherical 형태의 표면일 때는 평평한 표면에 비해 단위면적당 유효면적이 증가하여 캐패시턴스 값이 1.8배 정도 증가하며, 전형적인 작은 크기의 rugged poly Si을 형성하는 600°C의 증착 온도에서는 캐패시턴스 값이 2.1배 정도 증가

하는 것으로 판명되었다. 따라서 rugged 표면일 때가 hemispherical 표면일 때 보다 단위면적당 유효면적이 더 증가하여 캐패시턴스 값이 크게 나타나며, 기존에 사용되는 poly Si 전극에 비해 2.1배까지 캐패시턴스의 증가를 가져올 수 있다.

Si 박막의 증착두께에 따라서 박막층의 표면형상도 변하게 된다[2, 4] 증착 온도가 일정할 때 박막두께가 얇으면 rugged poly Si이 형성되며, 박막두께가 두꺼울 때는 hemispherical poly Si을 얻을 수 있다[2, 4]. 일반적으로 rugged 형태의 표면은 박막성장의 초기에 형성되기 때문에 박막 두께가 얇을 경우에 쉽게 형성되어 진다. 그림 8은 590°C 와 595°C 의 증착온도에서 박막두께의 변이에 따른 상대적인 캐패시턴스 값을 도시하였다. 박막두께가 감소함에 따라 캐패시턴스 값은 증가한다. 이와 같이 나타나는 이유는 앞에서 설명한 바와 같이 Si 박막의 두께가 감소하면 Si박막의 표면 형상이 hemispherical 표면에서

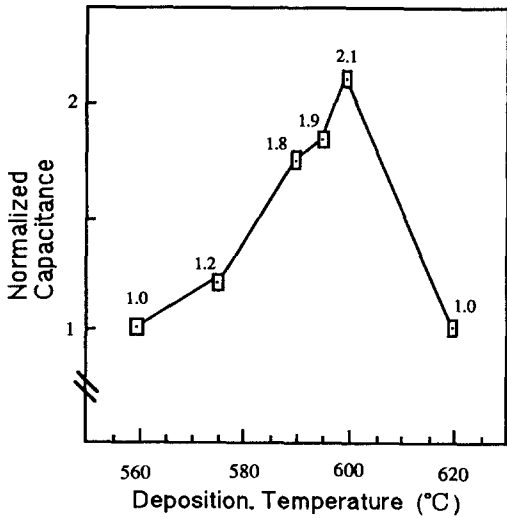


그림 7. 증착온도에 따른 Normalized Capacitance의 변화.

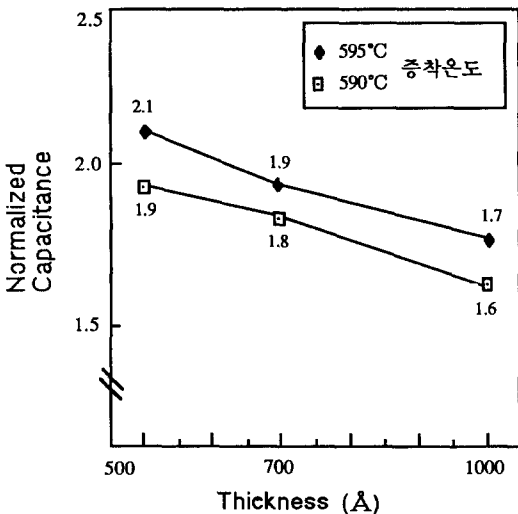


그림 8. Si 박막 두께에 따른 Normalized Capacitance의 변화.

rugged 표면으로 변하기 때문이다.

증착온도와 박막 두께 이외에도 화학증착변수인 SiH<sub>4</sub> 압력과 전체압력에 따라 박막층의 표면 형상이 변화된다. SiH<sub>4</sub> 압력이 낮은 경우에는 저온의 증착에서 rugged poly Si이 형성되며, SiH<sub>4</sub> 압력이 높을 때는 고온의 증착에서 rugged poly Si을 얻을 수 있다. 또한 SiH<sub>4</sub> 압력이 낮을수록 rugged poly Si 입자의 크기도 감소한다[2]. 전체 압력을 변화시킬 경우, 압

력이 감소함에 따라서 입자의 크기도 감소하며 hemispherical poly Si에서 rugged poly Si으로 변하게 된다[2]. 전체압력만을 감소시켜 얻어지는 Si박막의 표면형상은 증착온도만을 증가시킬 경우에 나타나는 표면형상과 유사하다.

비정질 Si이나 hemispherical(혹은 rugged) poly Si 형성후, 웨이퍼를 저압 화학 증착로에서 대기에 빼낼 때까지 열처리(anneal process)는 Si 박막의 표면 형상에 큰 영향을 미친다. Hemispherical poly Si형성 후, 대기에 노출시킨 다음에 로에서 1000°C 이상의 온도에서 2시간 동안 충분히 열처리시켜도 표면형상이 변하지 않는다[2]. 이와 같은 특성은 hemispherical poly Si을 DRAM 캐패시터의 하부 전극으로 형성시킨 다음에도 계속적으로 후속 열처리를 받게 되는데 이에 따라 표면형상이 변화되지 않음으로써 표면형상 변화에 의한 캐패시턴스 변이가 발생하지 않게 된다. 따라서 캐패시터와 관련된 캐패시터 용량, 누설 전류 및 절연파괴 전기장 등의 전기적 성질들이 후속 열처리에 의해서 변화되지 않고 균일하게 존재함을 알 수 있다. 대기에서 노출시킨 후 로에서 열처리한 경우와는 대조적으로 로에서 화학증착법에 의해 Si 박막을 형성한 후, 로에서 웨이퍼를 빼내지 않고 연속적으로 진공중에서 열처리를 하면 그림 9에서 관찰되듯이 비정질실리콘 박막이 열처리 조건에 따라서 표면 형상이 변한다. 540°C의 증착온도에서는 평평한 비정질 Si이 형성되며, 비정질 Si 형성후 연속적으로 진공 중에서 540°C에서 25분동안 열처리하면 작은 크기의 HSG가 드문드문 존재한다. 570°C에서 25분 동안 열처리를 계속할 때에는 불연속적인 HSG가 형성되며, 580°C에서 600°C까지의 열처리 온도에서는 같은 시간동안 진공중에서 열처리 하여 전형적인 HSG을 얻을 수 있다. 또한 580°C 이상의 온도에서 열처리하면 온도가 증가할지라도 표면형상이 거의 변하지 않는다. 따라서 비정질 Si을 형성후 진공중에서 580°C 이상의 열처리 온도가 hemispherical poly Si을 얻는데 적합한 열적 활성화 온도로 여겨진다. 이와같이 비정질 Si을 진공중에서 연속적으로 열처리 할 때의 온도와 시간에 따라서 표면 형상에 영향을 미치는데, 이 특성은 as-deposition시 얻어지는 것보다 온도 한계를 극복할 수 있다는 점에서 매우 유리하다. 즉, as-deposition 할 때의 경우에는 그림 5와 6에서 관찰한 바와 같이 증착온도 5°C 간격에 따라 Si 박

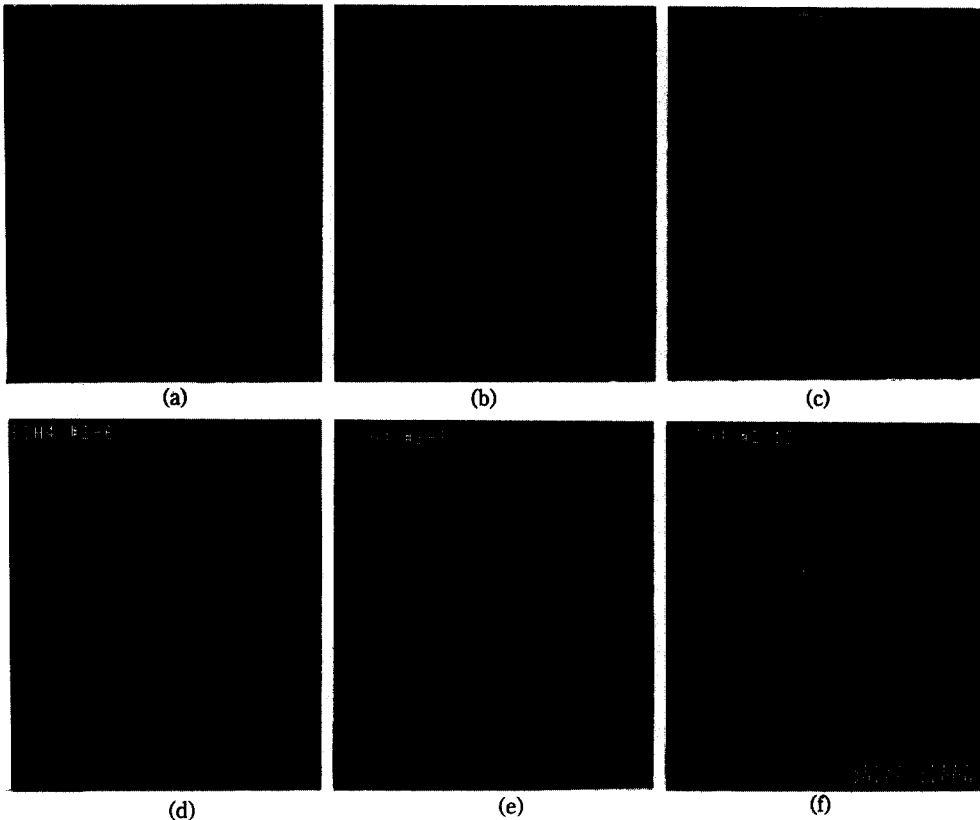


그림 9. 진공 중에서 열처리 온도에 따라 나타나는 Si 박막의 표면 형상.

(a) 540°C, as-dep. (b) 540°C, 25분 Anneal (c) 570°C, 25분 Anneal (d) 580°C, 25분 Anneal (e) 590, 25분 Anneal (f) 600°C, 25분 Anneal

막의 표면형상이 변하기 때문에 온도 조절이 문제로 등장하고 있다. 그러나 진공중에서 비정질 Si을 열처리할 경우에는 대체로 580°C 이상의 온도만 유지되면 균일한 hemispherical 표면 형상을 얻을 수 있으므로 온도한계를 극복할 수 있다. 따라서 진공중에서 연속적으로 열처리하는 공정은 균일한 HSG를 제조하는데 있어서 매우 바람직하다.

다결정 Si 박막을 도핑시키기 위해서는 ion-implantation, thermal diffusion, in-situ doping의 3가지 방법을 사용한다. Ion-implantation doping의 경우에는 이온 주입시 발생하는 손상때문에 고온의 열처리가 필요하며, 복잡한 구조에서는 사용하기가 어렵다. 열 확산에 의한 도펀트의 주입은 고온으로 인해 junction이 깊어지고, 도펀트가 균일하게 존재하지 않는다. 반면에 in-situ doping은 DRAM이 고집적화됨에 따라서 복잡한 구조에 쉽게 사용할 수 있으며, poly Si

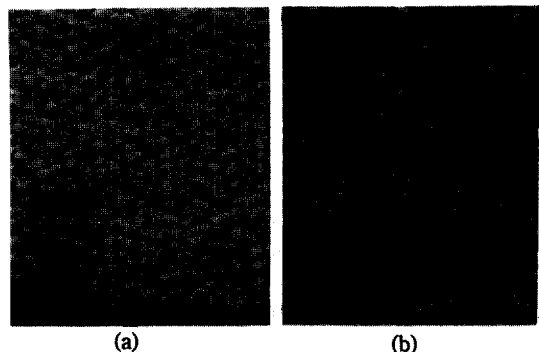


그림 10. Two Step Process에 따른 Si 박막의 미세 구조.

(a) In-situ doped a-Si+HSG  
(b) HSG+In-situ doped a-Si

증착 및 doping을 저온에서 동시에 사용하여 공정을 단순화시킬 수 있는 장점을 갖고 있다[6, 7]. 그러나

PH<sub>3</sub> 가스를 Si<sub>2</sub>H<sub>6</sub> 가스와 동시에 사용하므로써 step coverage 특성이 나쁘다는 단점을 갖고 있으나 다각적인 방법으로 연구가 진행되고 있다[8]. In-situ doping 방법을 사용하여 poly Si를 증착시킬 경우에는 hemispherical 표면이 형성되지 않는데, 이와 같은 이유는 PH<sub>3</sub> 가스의 P 성분들이 HSG 형성을 방해하여 핵생성이 이루어지지 않기 때문이다[2]. 따라서 우수한 in-situ doping 방법을 이용한 HSG를 형성하기 위해서는 얇은 두께의 in-situ doped Si 박막 형성 후 연속적으로 HSG를 형성하여 후속 열처리에 의해 P 도펀트를 Si박막 전체에 균일하게 존재시키는 방법과 HSG를 먼저 형성시킨 후 연속적으로 in-situ doped Si 박막을 얇게 증착시킨 다음에 후속 열처리로 P 도펀트를 균일하게 doping시키는 방법을 사용할 수 있다. 이와 같은 2가지 방법의 two step process를 사용하여 HSG가 형성될 때의 표면형상을 그림 10에 나타내었다. 그림 10(a)는 in-situ doped a-Si(400 Å) 증착 후, 연속적으로 진공 중에서 hemispherical poly Si(700 Å) 증착시킨 경우이고, (b)는 hemispherical poly Si(700 Å) 증착 후 연속적으로 in-situ doped a-Si(400 Å)을 증착시킨 경우이다. 2가지 경우의 모두에서 후속 열처리에 의해 in-situ doped a-Si박막내에 존재하는 P 도펀트가 HSG층으로 확산되어 전체 Si

박막층에서는 P 도펀트가 균일하게 존재함을 그림 11의 SIMS profile에 의해 확인되었다. 그림 10(a)의 표면형상을 가질 때 기존의 평평한 poly Si에 비해 캐패시턴스 값이 1.9배 정도 증가하였으며, 그림 10(b)의 표면형상일 때는 기존의 캐패시터에 비해 1.5배 정도 증가하였다. In-situ doped a-Si을 선행으로 증착시킨 경우가 나중에 in-situ doped a-Si을 증착시킨 경우보다 그림 10에서 관찰되듯이 대체로 크기도 균일하며 연속적인 hemispherical 표면형상을 얻을 수 있기 때문에 캐패시터의 유효면적의 증가가 크게 나타난다. 그러므로 in-situ doping을 선행으로 증착시키는 것이 나중에 in-situ doping한 것보다 캐패시턴스 증가에 있어서는 우선적이다. 이와같은 two step process가 저온에서 hemispherical poly Si과 doping을 동시에 진행시킬 수 있으므로 차세대 소자에서는 바람직한 공정으로 기대된다.

### 3.3. 캐패시터의 전기적 성질

Hemispherical poly Si과 rugged poly Si을 캐패시터의 하부전극으로 사용하였을 경우에 캐패시터의 전기적 특성에 관하여 고찰하여 보면 다음과 같다. Nitride-oxide(NO)절연막의 두께는 70/500 Å이며, 기존의 하부 전극은 in-situ doping을 이용한 평평한

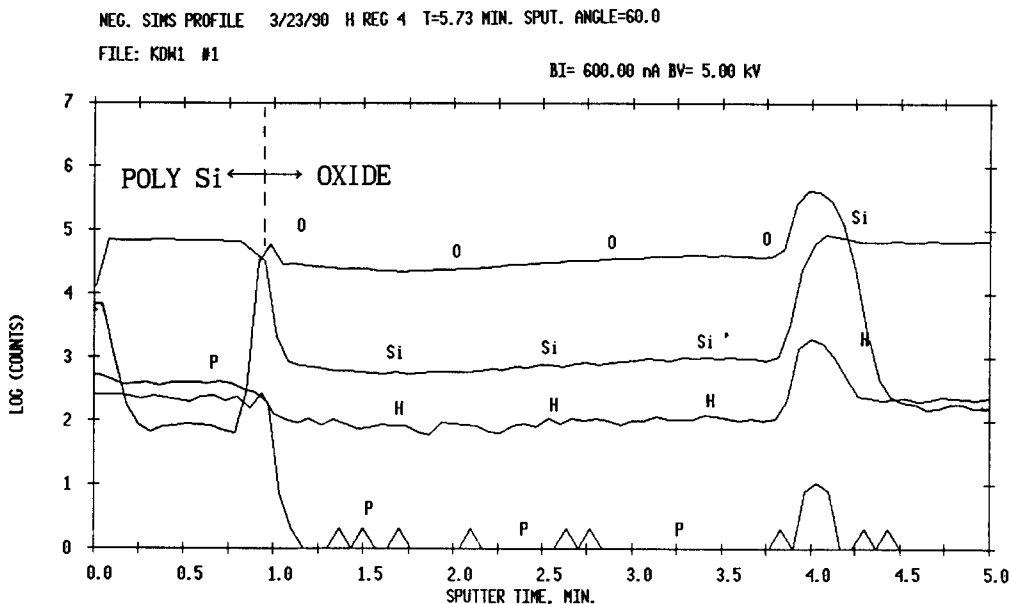


그림 11. Two Step Process의 SIMS Profile.



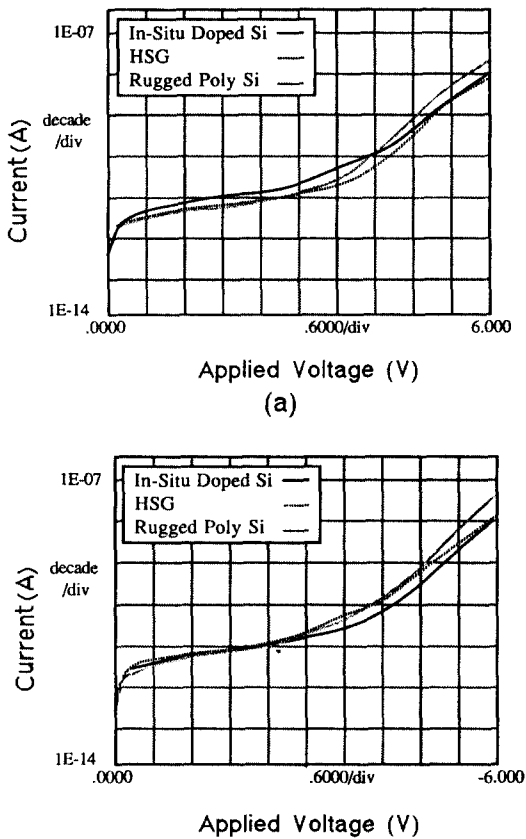


그림 12. HSG, Rugged Poly Si 및 In-situ Doped Si을 캐패시터 하부전극으로 사용하였을 경우의 누설 전류. (a) Positive Bias (b) Negative Bias

Si박막 구조를 사용하였다. 캐패시터 용량은 그림 7에서 관찰한 바와 같이 기존의 평평한 poly Si 전극에 비해 2.1배까지 증가하였다. 이 값은 실제로 64 Mbit DRAM의 캐패시터에 적용 가능한 값이며, 256 Mbit DRAM 이상의 고집적소자에서는 fin이나 cylinder와 같은 stack 구조를 사용할 경우에 하부전극의 높이를 감소시켜 복잡한 공정을 제거할 수 있으며, 또한 두꺼운 NO 절연막의 사용이 가능하므로 높은 신뢰성을 갖는 캐패시터를 제작할 수 있는 장점들을 갖는다.

우수한 캐패시터스 특성 외에 누설 전류 및 TDDB의 전기적 성질들을 그림 12와 그림 13에 나타내었다. 누설전류의 경우에는 그림 12에서 알 수 있듯이 HSG 경우에는 기존의 평평한 표면을 갖는

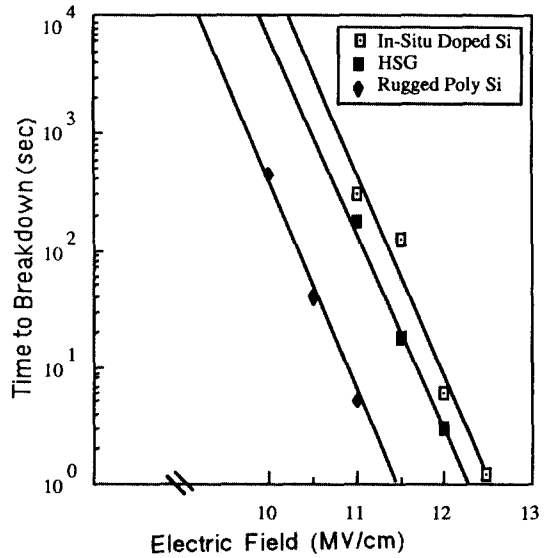


그림 13. HSG, Rugged Poly Si 및 In-situ Doped Si을 캐패시터 하부전극으로 사용했을 경우의 TDDB 특성.

in-situ doped Si과 유사한 특성을 보이며, rugged poly Si을 사용한 경우에는 기존의 in-situ doped Si에 비해 약간 증가하였으나, 캐패시터 표면적이 2.1배 정도 증가하는 것으로 볼 때 그 차이가 없는 것으로 여겨진다. TDDB 특성도 그림 13에 표시한 바와같이 HSG나 rugged poly Si을 사용한 경우에 실용전압 범위내에서 충분한 장기 신뢰성을 갖는다. 결과적으로 HSG나 rugged poly Si을 사용할 때에 표면 roughness에 의한 초기 불량이나 전계 집중효과에 의한 누설전류가 극히 작은 것으로 판명되었으며, 캐패시터 용량은 하부전극인 Si박막의 표면형상에 따라 기존의 평평한 poly Si에 비해 최대로 2.1배 까지 증가하였다.

#### 4. 결 론

본 논문은 64 Mbit DRAM 이상의 고집적소자에 적용될 캐패시터에 관한 것으로 저압화학증착법에 의해 제조된 HSG 및 rugged poly Si의 미세구조와 이들 미세구조에 영향을 주는 변수 및 캐패시터의 전기적 특성에 대하여 고찰하였다.

HSG의 미세구조는 <111> 우선 방향을 갖는 다결정 Si으로서 비정질 Si 표면에서 부터 핵생성되며 Si

원자의 확산에 의해 성장한다. 그 이후 계속적인 HSG 입자의 성장과 결정화에 의해 균일한 hemispherical poly Si 표면을 형성한다. Hemispherical 및 rugged poly Si의 표면 형상은 증착온도, 증착두께, SiH<sub>4</sub> 압력, 전체압력 및 열처리 조건 등에 의해 영향을 받는다. Rugged poly Si일 때가 HSG 보다 캐패시터의 유효면적이 증가하기 때문에 rugged poly Si 구조를 사용하는 것이 바람직하며, 증착 온도의 엄격한 조절을 극복하기 위해 진공중에서 증착후 연속적으로 열처리하는 방법과 in-situ doped Si 형성후 연속적으로 HSG를 형성시키는 two step process가 양산성에서 우수할 것으로 여겨진다.

전기적 특성에서도 캐패시터 용량이 기존의 평평한 poly Si 구조에 비해 2.1배까지 증가함에도 불구하고 누설 전류나 TDDB 성질들은 기존의 poly Si과 유사한 것으로 판명되었다. 따라서 hemispherical 및 rugged poly Si을 이용한 캐패시터 유효면적을 증가시키는 방법은 차세대 고집적소자의 캐패시터에 적용될 것이다.

### 참고문헌

1. J. Mulder, P. Eppenga, M. Hendriks and J. E. Tong,

J. Electrochem. Soc. **137**, 273 (1990).

2. 라사균, 김동원, 대한전자공학회지 **18**, 45 (1991).

3. H. Watanabe, N. Aoto, S. Adachi, T. Ishijima, E. Ikawa and K. Terada, Extended Abstracts of 22nd Conf. on Solid State Devices and Materials, Sendai, 873 (1990).

4. M. Yoshimaru, J. Miuano, N. Inoue, A. Sakamoto, S. You, H. Tamura and M. Ino, Silicon Materials and Device **SDM90-204**, 59 (1990).

5. T. Kobayashi, S. Iijima and A. Hiraiwa, Extended Abstracts of 22nd Conf. on Solid State Devices and Materials, Sendai, 191 (1990).

6. T. Kobayashi, S. Iijima, S. Aoki and A. Hiraiwa, Extended Abstracts of 20th Conf. on Solid State Devices and Materials, Tokyo, 57 (1988).

7. G. Herbeke, L. Krausbauer, E. F. Steigmeier and A. E. Widmer, RCA Review **44**, 287 (1983).

8. 라사균, 김동원, "Step Coverage Improvement of In-situ P Doped Si using Si<sub>2</sub>H<sub>6</sub> and SiH<sub>4</sub> gas" Patent, GSEN-92-7778.