Journal of the Korean Vacuum Society
Vol. 7, No. 2, May 1998, pp. 88~93

기계-화학적 연마 공정을 이용한 실리콘 전계방출 어레이의 제작

이진호 · 송윤호 · 강승열 · *이상윤 · 조경익

한국전자통신연구소 반도체연구단
*경북대학교 자연과학대학 물리학과
(1997년 9월 18일 접수)

Fabrication of silicon field emitter array using chemical-mechanical-polishing process

Jin Ho Lee, Yoon-Ho Song, Seung Youl Kang, *Sang Yun Lee, and Kyoung Ik Cho

Semiconductor Div., Electronics and Telecommunications Research Institute, Yusong P.O. Box 106, Taejon 305-600, Korea
**Department of Physics, Kyung pook National University, Taegu 702-701, Korea*
(Received September 18, 1997)

요 약 - 본 연구에서는 기계-화학적 연마(Chemical-Mechanical-Polishing: CMP)공정을 이용하여 게이트 전극을 가지는 실리콘 전계방출 소자를 제작하였으며, 또한 그 전자방출 특성을 분석하였다. 실리콘 전계방출 소자를 제작하기 위해 실리콘을 두단계로 이루어진 건식식각과 산화공정으로 팁을 뾰족하게 만들었으며, 게이트를 형성하기 위하여 고 선택비를 가지는 CMP 공정을 사용하였으며, 연마 시간과 연마 압력의 변화로 게이트 높이와 개구의 직경을 쉽게 조절할 수 있었다. 또한, CMP공정시 발생되는 디싱(dishing)문제를 산화막 마스킹을 사용함으로 해결하여 자동 정렬된 게이트전극의 개구를 깨끗하게 형성할 수 있었다. 제작된 에미터의 높이와 팁끝의 반경은 각각 1.1 μm, 100 Å 정도이며, 제작된 2809개의 팁 어레이로 80 V의 게이트전압에서 31 μA의 방출전류를 얻을 수 있었다.

Abstract - The fabrication process and emission characteristics of gated silicon field emitter arrays (FEAs) using chemical-mechanical-polishing (CMP) method are described. Novel fabrication techniques consisting of two-step dry etching with oxidation of silicon and CMP processes were developed for the formation of sharp tips and clear-cut edged gate electrodes, respectively. The gate height and aperture could be easily controlled by varying the polishing time and pressure in the CMP process. We obtained silicon FEAs having self-aligned and clear-cut edged gate electrode opening by eliminating the dishing problem during the CMP process with an oxide mask layer. The tip height of the finally fabricated FEAs was about 1.1 μm and the end radius of the tips was smaller than 100 Å. The emission current measured from the fabricated 2809 tips array was about 31 μA at a gate voltage of 80 V.

1. 서 론

전계방출 어레이(Field Emitter Array: FEA)는 마이크로파 소자, 전계방출 디스플레이(FED) 등의 새로운 전자원으로 최근 많은 연구가 이루어지고 있다[1-2]. 전계방출 어레이 중 실리콘 FEA는 잘 개발된 반도체공정을 사용할 수 있기 때문에 많은 장점을 가진다. 기존의 실리콘 팁 제조공정으로는 전자빔에 의한 절연막과 금속층을 증착후 리프트 오프(lift-off) 방법이나 에치백에 의한 공정 등을 이용하여 제작하게 된다[3-5]. 이러한 전자빔에 의한 제작방법은 균일도가 나쁠뿐만 아니라, 절연막의 누설전류가 크고, 점원(point-source)에서 증착됨으로 기판의 구석부분에서 비대칭형 게이트가 형성되는 단점이 있다[3-4]. 또한 후자의 에치백 방법에 의한

FEA의 경우 제작이 쉽다는 장점이 있지만, 게이트와 팁의 높이 조절과 게이트 개구의 크기 조절이 어렵다는 단점이 있다[5].

본 연구에서는 이러한 문제점을 해결하기 위하여 기계-화학적 연마(Chemical-Mechanical-Polishing: CMP)공정을 사용하여 실리콘 전계방출 소자를 제작하였다. CMP공정은 연마에 의한 식각비와 균일성이 높고 식각 손상이 적은 등의 장점으로 현재, 반도체공정에서 유전체의 평탄화나 금속배선의 상감법(damascene) 등의 목적으로 많이 사용되고 있으며, 최근 전계방출 소자의 제조에도 적용하려는 시도가 이루어지고 있다[6-7]. 이러한 CMP공정을 전계방출 소자의 제작에 적용함으로써 자동정렬된 게이트 전극의 개구를 깨끗하게 형성할 수 있었으며, 연마되는 시간과 압력을 적절히 설정하여 FEA의 게이트의 높이와 개구의 폭을 쉽게 조절할 수 있었다. 또한, FEA 제작시 주어진 마스크 크기에서 에미터 팁을 높게 형성하기 위하여 실리콘을 2단계의 건식식각 한후, 첨예화 산화공정으로 팁을 뾰족하게 형성하여 약 1.1 μm의 높이를 가지는 팁을 제작할 수 있었다.

2. 소자제작

Fig. 1에서는 본 구조의 실리콘 팁의 제조방법을 나타내었다. 사용된 기판은 5~8 Ω-cm의 비저항을 가지는 5인치 n형 (100)이다. 먼저 900°C의 확산로에서 $POCl_3$로 도핑하여 n형 well을 형성하고, 3000 Å의 산화막을 성장시켰다. 광학 스텝퍼를 이용하여 원형의 팁 마스크를 사용하여 노광후 산화막을 건식식각하여 디스크의 직경이 1.2 μm이 되게 하였다. 그 다음, SF_6 가스를 이용하여 실리콘을 등방성 식각을 한 다음, SF_6와 O_2 가스를 사용하여 비등방성 식각을 하는 2 단계 식각으로 팁을 형성하였다. 식각된 실리콘 팁을 더욱 뾰족하게 하기 위하여, 첨예화 산화공정을 수행하는데, 1000°C의 고온에서 약 2200 Å의 열산화막을 시킨 후, 마스킹 산화막과 열산화막을 6:1 BHF 용액에서 제거하였다. 노출된 팁위에 CVD방법으로 TEOS 산화막을 8000 Å의 두께로 증착시킨 후, 게이트 전극으로 사용될 폴리실리콘을 3000 Å의 두께로 증착하고, 900°C의 확산로에서 $POCl_3$로 도핑하였다. 게이트 전극의 개구를 형성하기 위하여 CMP공정을 사용하여 팁위의 불록한 부분의 폴리실리콘 전극만 선택적으로 연마하여 식각하였다. 연마된 게이트의 개구직경과 높이는 CMP공정시 압력과 시간에 의존되며, CMP공정시 게이트전극과 게이트절연막의 식각선택비가 높게(>100:1) 되는 조건으로 연마하였는데, 이것은 CMP공정시 게이트 유전체막이 팁의 식각을 방지해주는 식각 저지층으로 작용되기 때문이다.

Fig. 2는 3 psi, 5 psi의 압력을 가지고 연마를 했을 때, 연마시간에 따른 팁위에 뾰족한 부분에서 두꺼운 게이트 층의 식각된 두께를 나타내고 있다. 연마된 게이트 두께는 시간에 따라 선형적으로 비례하지 않고, 포화가 되는 것을 알 수 있다. 이것은 게이트막과 절연막의 식각율의 차이에 기인하며, 이러한 식각 포화 현상을 이용하면 게이트의 식각되는 높이를 용이하게 조절할 수 있게 된다. Fig. 3은 5 psi의 압력을 가지고 연마를 했을 때, 연마시간에 따라 식각된 모양을 보여주고 있다. CMP공정시 5 psi의 연마압력을 가하였을 때, 폴리실리

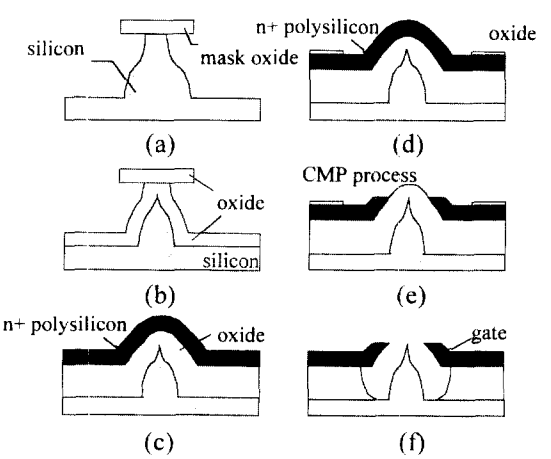

Fig. 1. Schematic diagram of the fabrication process of silicon FEA tip with CMP process.

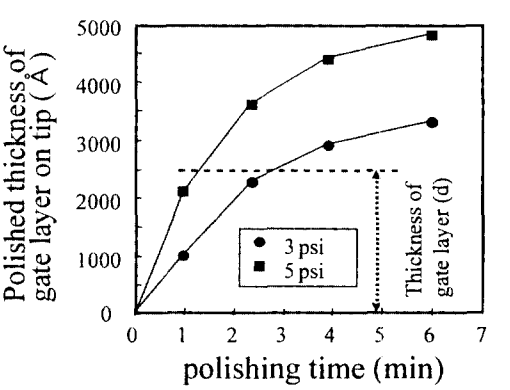

Fig. 2. Polished thickness of gate electrode on tips as a function of polishing time.

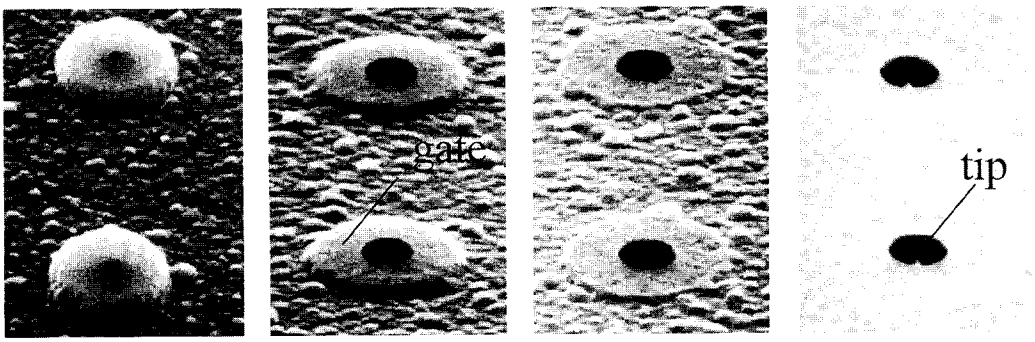

Fig. 3. SEM photographs after CMP process as a function of polishing time (a) 50 sec, (b) 1.5 min, (c) 2 min, and (d) 3 min.

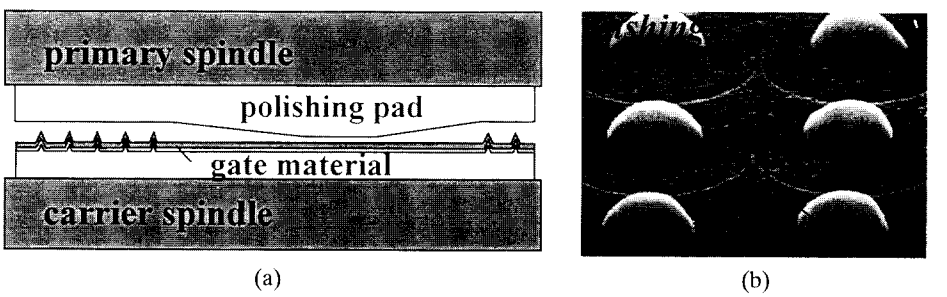

Fig. 4. (a) Schematic diagram of the dishing effect (b) SEM photograph of oxide layer on gate electrode for dishing-free process.

콘의 식각율은 2200 Å/min이었다. Primary spindle과 carrier spindle의 회전속도는 각각 20 rpm, 30 rpm이었다. 폴리실리콘과 산화막과의 고식각 선택비를 가지기 위하여 연마제로 Nalco 2371을 사용하였으며, 연마 패드(pad)로는 IC1000/Suba IV를 사용하였다.

그러나, CMP공정으로 넓은 면적에서 전계방출 어레이를 제작하는 경우, 디싱(dishing) 문제가 발생하는데, 디싱 현상은 연마 패드(pad)가 식각하고자 하는 볼록한 부분이외에 상대적으로 넓은 영역에 연마 패드가 접촉되어 원하지 않는 연마가 일어나는 현상을 말한다. Fig. 4(a)는 FEA를 제작할 때 발생하는 디싱(dishing) 현상의 원인을 개념적으로 보여주고 있다. 이러한 디싱 문제를 줄이기 위해 본 연구에서는 디싱 방지막으로 산화막을 얇게(500 Å) 형성시킨 후 팁의 주위만 식각을 해내었다. Fig. 4(b)는 디싱 현상을 막기 위하여 게이트 위에 500 Å의 얇은 산화막을 형성한 시료의 전자현미경 사진을 보여주고 있다. CMP공정을 수행할 경우, 폴리실리콘 게이트층과 산화막의 연마선택비가 크므로 산화막이 덮여 있는 게이트 폴리실리콘 층은 CMP공정에 의해 식각되지 않는다. Fig. 5(a)는 FEA의 모서리 부분에서 디싱 현상에 의해 게이트 층이 식각된 모양을 나타내는 현미경 사진이고, Fig. 5(b)는 디싱 현상을 제거하기 위해 산화막을 디싱 방지용으로 사용하여 제작한 FEA를 보여주는 현미경 사진이다. 이 결과로부터 디싱 방지막이 효과적으로 작용하는 것을 알 수 있다.

CMP공정으로 게이트의 개구가 식각된 후, 개구사이로 노출된 게이트 절연막을 습식식각에 의한 방법으로 식각하여 전계방출 팁을 노출시켰다. 끝으로 게이트 배선을 위하여 폴리실리콘막을 배선용 마스크를 사용하여 노광한 후, 식각하여 공정을 완료하였다.

3. 결과 및 고찰

CMP공정시 연마되는 시간과 압력을 조절함으로써, 게이트 개구의 크기와 높이를 적절히 조절할 수 있었다. 팁위의 볼록한 부분의 폴리실리콘 전극만 선택적으로

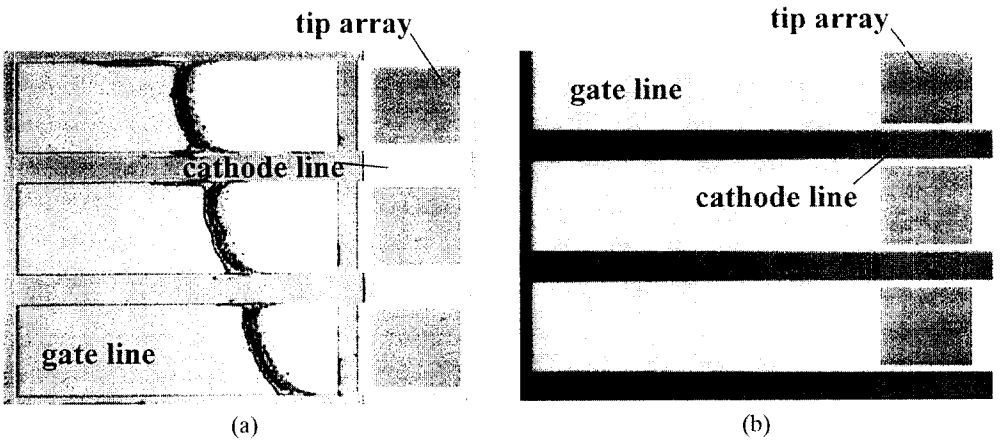

Fig. 5. Photographs of gate electrodes by CMP process. (a) dishing effect without masking process (b) no dishing effect with masking process.

식각하는 과정에 CMP공정을 사용하므로 게이트의 개구가 깨끗하게 형성됨을 알 수 있었다. 게이트절연막의 식각율은 폴리실리콘에 비해 크게 낮아 식각저지층의 역할을 하게 되어 비록 게이트전극물질이 팁끝보다 낮게 식각되더라도 팁이 무디어 지는 것을 막아주게 될뿐 아니라, 게이트의 연마속도를 낮추어 연마되는 두께를 어느정도 포화되게 하여 조절을 용이하게 한다. Fig. 6은 CMP 공정을 사용하여 최종 제작한 전계방출 팁에 대한 SEM사진이다. 최종 제작된 팁의 높이는 약 1.1 μm, 팁끝의 반경은 약 100 Å이었으며, 8000 Å의 게이트 산화막을 사용하여 1.1 μm의 지름과 깨끗하게 잘리는 면을 가지는 게이트 개구를 형성시켰다. 이러한 CMP공정으로 자동정렬된 게이트전극의 개구를 깨끗하게 형성할 수 있었고, 게이트 높이와 개구의 직경을 CMP공정의 연마시간과 압력의 변화로 쉽게 조절할 수 있었으며, 디싱 방지막을 사용하여 CMP공정시 발생되는 디싱 문제를 해결 할 수 있었다.

최종 제작된 FEA 팁의 전기적 특성은 상온에서 3×10^{-7} Torr이하의 초고진공 챔버(UHV)에서 측정되었다. 아노드와 에미터간의 간격은 500 μm이고, 아노드에 인가되는 전압은 450 V이었다. 전류는 모두 DC상태에서 측정되었는데, Keithly 487 pico-ammeter를 사용하였으

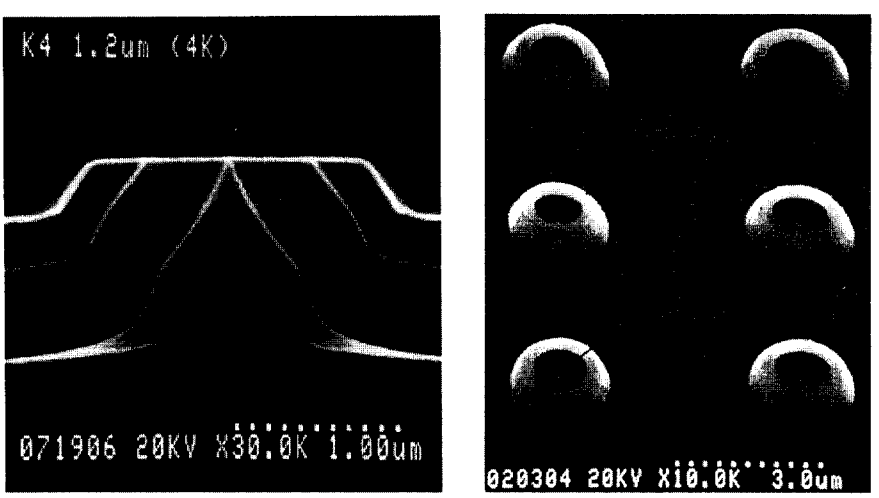

Fig. 6. SEM photographs of the finally fabricated tip and its array.

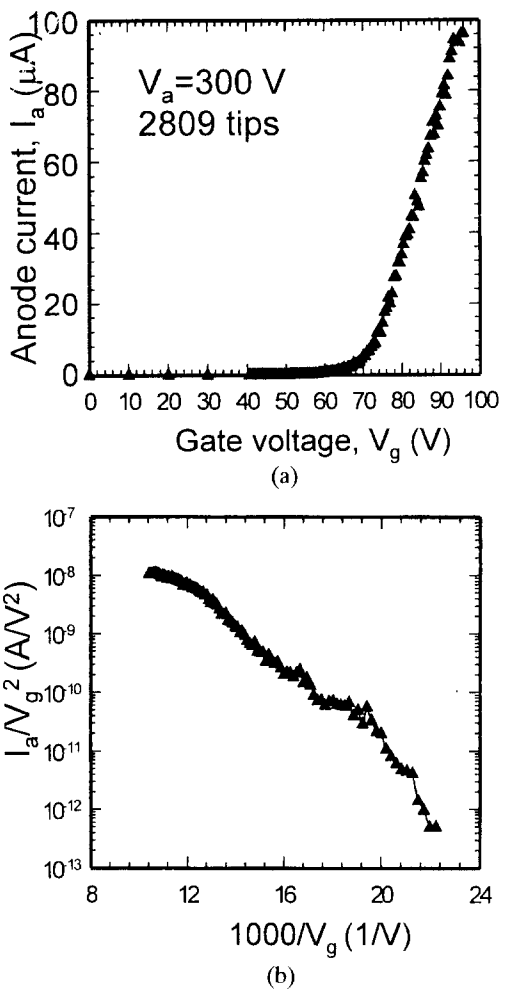

Fig. 7. The emission characteristics of a silicon FEA with 2809 tips; (a) Ia-Vg characteristic (b) F-N plot of the anode current.

며 컴퓨터로 자동 측정하였다. 전압을 인가하여 측정하기 전에 자연 산화막을 HF용액으로 제거 한 후 측정하였다. 전계 방출 팁을 측정할 때, 게이트에 낮은 전압(50-60 V)으로 수 분 동안 전기장을 인가한 후, 전류-전압 특성을 측정하였다. 만일 갑자기 과도한 전압을 인가하면 팁은 쉽게 파괴되는데, 이것은 고 전기장 인가시 팁 주위의 발열이나 플라즈마가 국소적으로 발생되기 때문이다[8, 9].

Fig. 7은 2809개의 팁을 가지는 어레이에서 아노드 방출전류를 나타내고 있다. 팁당 1 nA의 방출전류가 흐를 때의 게이트 전압을 문턱(turn-on) 전압으로 정의한다면, 제작된 전계방출 어레이에서의 문턱 전압은 약 50 V이며, 게이트가 80 V일 때의 아노드 방출전류는 31 μA이었으며, 이것은 팁당 11 nA에 해당된다. 이때, 게이트 전류는 아노드 전류의 0.1% 보다 적게 측정되었다. 측정된 아노드 전류의 Fowler-Nordheim(F-N) plot을 Fig. 7(b)에 나타내었다. F-N plot의 직선성으로 부터 전형적인 전계방출 특성이 잘 나타남을 알 수 있다.

4. 결 론

본 연구에서는 CMP 공정을 이용하여 게이트를 가지는 실리콘 전계방출 에미터 어레이를 제작하고 그 특성을 분석하였다. 두 단계의 팁 식각과 팁 첨예화 산화막 공정으로 고 종횡비(aspect ratio)를 가지는 뾰족한 팁을 만들 수 있었으며, 고 식각 선택비를 가지는 CMP공정을 이용하여 게이트 높이와 개구의 직경을 CMP공정의 연마시간과 압력의 변화로 쉽게 조절할 수 있었으며, 자동정렬된 게이트전극의 개구를 깨끗하게 형성할 수 있었다. 또한, 디싱 방지용 산화막을 사용하여 CMP공정에서 일어나는 디싱 문제를 해결할 수 있었다. 이러한 공정을 이용하여 1.2 μm의 디스크 패턴으로 1.1 μm 지름을 가지는 대칭의 게이트 구멍을 얻었으며, 제작된 어레이에서 우수한 전계방출 특성을 얻었다. 이러한 제조공정은 기존의 잘 발달된 반도체 IC 제조공정과 양립 가능한 것이 큰 장점이며, 또한 본 FEA의 제조방법은 향후 평판 디스플레이의 전자원 제작으로 쉽게 적용 가능하다.

참고문헌

1. I. Brodie, P. R. Schwoebel, *Proceedings of the IEEE*. Vol. **82**, No. 7, p. 1005, (1994).
2. C. A. Spindt, I. Brodie, L. Humphrey, and E. R. Westerberg, J. Appl. Phys. **47**, 5248 (1996).
3. H. S. Uh, J. D. Lee, N. S. Park, Proceedings of the 7th International Vacuum Microelectronics Conference, Granoble, France, p. 387 (1994).
4. H. H. Busta, B. J. Zimmerman, J. E. Pogenmiller, M. C. Tringides, and C. A. Spindt, J. Vac. Sci. Technol. **B 11**, 400 (1993).
5. D. Temple, H. F. Gray, C. A. Ball, J. E. Mancusi, W. D. Palmer, G. E. McGuire, and J. L. Shaw, Proceedings of the 8th International Vacuum Microelectronics Conference, Portland, OR, p. 113 (1995).

6. J. E. Pogemiller, H. H. Busta, and B. J. Zimmerman, J. Vac. Sci. Technol. **B 12**, 680 (1994).
7. J. Browing, Proceedings of the 7th International Vacuum Microelectronics Conference, Portland, OR, p. 1 (1995).
8. H. F. Gray, J. L. Shaw, D. Temple, Proceedings of the 7th International Vacuum Microelectronics Conference, Portland, OR, p. 27 (1995).
9. W. J. Bintz and N. E. McGruer, J. Vac. Sci. Technol. **B 12**, 697 (1994).