

SiO₂와 Co/Ti 이중층 구조의 상호반응

권영재 · 이종무 · 배대록* · 강호규*

인하대학교 금속공학과, 인천 402-751
*삼성전자 반도체연구소 LS 공정개발, 용인 449-900
(1998년 7월 20일 접수)

Interaction of Co/Ti Bilayer with SiO₂ Substrate

Youngjae Kwon, Chongmu Lee, Dae-Lok Bae* and Ho-Kyu Kang*

Department of Metallurgical Engineering, Inha University, Incheon 402-751
*LS Process Development Semiconductor R&D Center, Samsung Electronics, Yongin 449-900
(Received July 20, 1998)

요 약 - 최근 셀리사이드(salicide) 제조시 CoSi₂의 에피텍셜 성장을 돕기 위하여 Ti 층을 삽입한 Co/Ti/Si 이중층 구조의 실리사이드화가 관심을 끌고 있다. Co/Ti 이중층을 이용한 salicide 트랜지스터가 성공적으로 만들어지기 위해서는 gate 주위의 spacer oxide 위에 증착된 Co/Ti 구조가 열적으로 안정해야 한다. 이러한 배경에서 본 연구에서는 SiO₂ 기판 위에 증착한 Co/Ti 이중층을 급속열처리할 때 Co/Ti와 SiO₂ 간의 계면에서의 상호반응에 대하여 조사하였다. Co/Ti 이중층은 600°C 에서 열처리한 후 면저항이 급격하게 증가하기 시작하였는데, 이것은 Co 층이 SiO₂와의 계면에너지를 줄이기 위하여 응집되기 때문이다. 이 때 Co/Ti의 열처리후 Ti에 의하여 SiO₂ 기판의 일부가 분해됨으로써 절연체의 Ti 산화물이 형성되었으나, 이외의 도전성 반응부산물들은 발견되지 않았다.

Abstract - Silicidation of the Co/Ti/Si bilayer system in which Ti is used as an epitaxy promoter for CoSi₂ has recently received much attention. The Co/Ti bilayer on the spacer oxide of gate electrode must be thermally stable at high temperatures for a salicide transistor to be fabricated successfully. In this work the interfacial reaction of the Co/Ti/SiO₂ interfaces was investigated when the Co/Ti bilayer on the SiO₂ substrate was rapid-thermal annealed. The sheet resistances of the Co/Ti bilayer increased substantially after annealing at 600°C, which is due to the agglomeration of the Co layer to reduce the interface energy between the Co layer and the SiO₂ substrate. In the bilayer system insulating Ti oxide was found to form as a result of the reaction between Ti and SiO₂ but a conducting material such as non-stoichiometric Ti oxide and silicide were not found after annealing.

1. 서 론

반도체 소자의 제조공정에 실리사이드(silicide)를 적용하려는 가장 큰 이유는 MOS(metal oxide semiconductor) 트랜지스터 접합부(junction)의 기생직렬 저항(parasitic serial resistance)을 낮추어 소자의 크기축소에 따른 작동속도의 악화를 개선하고자 하는 것이 그 주목적이다[1]. 그러므로 이러한 목적을 이루기 위해서는 MOS 트랜지스터의 게이트와 소스/드레인의 전극을 동시에 실리사이드화 함으로써 접합부의 기생저항을 크

게 낮추어 줄 수 있는 셀리사이드(self-aligned silicide) 공정의 채택이 바람직하다[2]. 그런데 셀리사이드 공정에 단일층 금속의 실리사이드 재료를 이용할 경우에는 실리사이드/실리콘 기판의 계면이 매우 불균일해지기 때문에 얇은 접합(shallow junction)의 형성과 우수한 전기적 특성의 실현 면에서 한계가 있다. 그래서 실리콘 단결정 기판 위에 티타늄과 코발트를 차례로 증착하고 열처리를 함으로써 기판과 에피텍셜(epitaxial) 관계를 갖는 코발트 실리사이드를 형성하는 방법이 최근 개발되었다[3,4]. 이 방법으로 형성된 코발트 실리사이드는

얇은 접합의 형성이 가능하고, 실리사이드/실리콘 계면이 매끈하며, 접합계면과의 거리가 일정하여 누설전류를 억제하는 등의 여러 면에서 많은 장점을 갖고 있다.

셀리사이드 공정에서 이와 같은 Co/Ti 이중층 구조를 이용하여 실리사이드화 전극을 형성할 때 공정과정상 실리콘과 이들 금속과의 반응뿐 아니라 SiO₂와의 반응도 고려해야 할 필요가 있다. 이것은 셀리사이드 공정이 금속막을 트랜지스터 전면에 blanket 형태로 증착한 후 열처리를 하여 실리사이드 전극을 형성한 후 이들 실리사이드 외의 잔류 미반응 층을 선택적으로 제거하는 과정을 따르기 때문이다. 그런데 이러한 선택에칭시 산화막 위의 미반응 층이나 반응부산물 층의 제거가 불충분하면 전극간의 전기적 단선이 유발되어 MOS 트랜지스터의 작동이 불가능해지는 문제가 있다. 따라서 Co/Ti 이중층구조의 실리사이드화 반응에서 코발트뿐 아니라 티타늄 중간층과 SiO₂ 기판과의 반응을 이해하는 것이 매우 중요하다. 이와 관련하여 SiO₂ 기판 위의 티타늄 단일층의 거동에 대해서는 몇몇 연구자가 발표한 결과가 있으나[5-7], Co/Ti 이중층의 경우에 대해서는 그다지 알려진 바 없다. 그러므로 SiO₂ 기판 위에 티타늄과 코발트를 차례로 증착하고 열처리할 때 이들 금속층과 산화물 기판의 계면에서 일어나는 반응관계에 대하여 조사하고자 하였다.

2. 실험방법

먼저 (100)Si 웨이퍼를 1100°C에서 열산화하여 300 nm 두께의 SiO₂막을 성장시키고, 그 위에 스퍼터링법을 사용하여 Co/Ti의 이중층을 형성하였다. 이러한 이중층 구조는 스퍼터 챔버 내에서 SiO₂막 위에 Ti막을 먼저 증착하고 계속하여 Co막을 증착함으로써 형성한 것이다. 증착한 박막의 두께는 Ti가 8 nm이었으며, Co는 28 nm로 일정하게 하였다. 이 때 스퍼터 챔버내의 초기 진공도는 5×10^{-7} Torr 수준이었으며, 막증착시의 진공도는 3~6 mTorr를 유지하였다. 이 시편들을 2×10^{-5} Torr의 RTA (Rapid Thermal Annealing) 챔버 내에서 330~700°C 사이의 여러 온도에서 금속가열하여 30초간 RTA 처리하였다. 이와 같이 준비된 시편들에 대해 four point probe를 사용하여 면저항을 측정하고, glancing angle XRD(Cu K α 1, $\lambda=1.54056 \text{ \AA}$)를 사용하여 RTA 열처리후에 생성된 상들을 분석하였다. 또한, RBS(Rutherford Backscattering Spectroscopy)와 AES(Auger

Elertron Spectroscopy) depth profiling에 의하여 열처리에 따른 구성층간의 반응 및 시편 표면으로부터의 깊이에 따른 조성의 변화를, 그리고 AFM(Atomic Force Microscopy)을 통하여 표면의 morphology 변화를 조사하였다.

3. 결과 및 고찰

SiO₂ 기판 위에 먼저 8 nm 두께의 Ti를 증착하고 이어서 28 nm의 Co를 증착하여 Co/Ti/SiO₂의 이중층 구조를 형성한 후, 330~700°C 사이의 온도에서 30초 동안 RTA 열처리를 하였다. 다음의 Fig. 1은 이 시편들에 대해 glancing angle XRD를 이용하여 얻은 XRD 스펙트럼들이다. 증착직후의 스펙트럼을 보면 Co에 대한 피크가 주로 관찰되며, Ti 관련 피크는 찾을 수 없었는데, 이는 뒤의 AES 깊이분포도에서도 볼 수 있듯이 Ti 중간층이 일부 산소를 고용한 채로 비정질 상태로 있기 때문으로 생각된다. 이 후 약 100°C 간격으로 330°C부터 30초간 열처리가 진행됨에 따라, Fig. 1에서 볼 수 있듯이 700°C까지 Co 피크가 더욱 크게 발달함으로써 결정화에 따른 입계성장이 진행되었음을 알 수 있다. 그런데 이처럼 열처리가 진행되면서 Co 층이 입계성장한 이외에 Ti 중간층과 기판과의 사이에 반응이 일어났으리라 생각되는데 XRD 결과로는 이를 확인할 수 없었다. 이와 같은 양상은 Co 단일층이나 Hf 또는 Nb 등의 내열금속 중간층을 이용한 Co/M 이중층의 경우와 비슷한 것이다[8].

Fig. 2는 600°C에서 열처리한 시편의 표면 화학결합

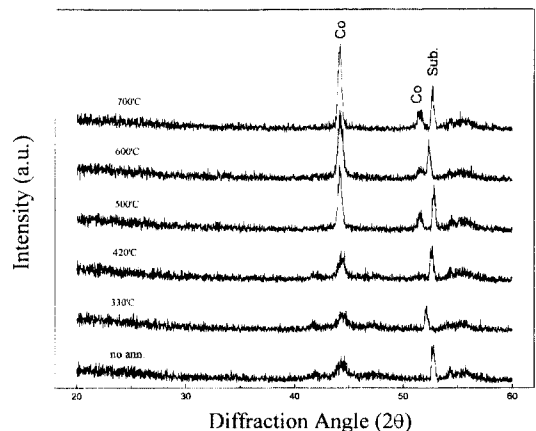


Fig. 1. The XRD spectra of Co/Ti/SiO₂ sample after rapid thermal annealing for 30 sec.

상태를 조사한 XPS(X-ray photoelectron spectroscopy) 스펙트럼이다. Fig. 2(b)는 열처리 후 아무런 처리를 하지 않고 바로 조사한 것으로, 1a와 1b는 Co-Co 결합을, 그리고 2a와 2b는 Co-O 결합을 나타낸다. 여기서 Co-O 결합의 피크가 크게 나타난 것으로 보아 Co 층의 표면이 열처리중의 분위기로부터 온 산소에 의해 일정 부분 산화되었음을 알 수 있다. 그러나 이것은 표면층에 한정된 것으로 Ar으로 6분간 표면을 에칭하고 난 결과 (Fig. 2(a))를 보면, Co 층 내부는 아무런 반응을 하지 않은 채로 전형적인 Co-Co 피크를 보이고 있다. 이와 같은 모습은 여기서는 보이지 않았지만 각각 이 전후의 온도인 420°C와 700°C에서도 마찬가지였다. RTA 열처리중 분위기 내의 산소로 인하여 600°C 전후의 온도에서 Co 층의 일부 또는 전부가 CoO나 Co₃O₄로 산화되었다는 연구결과[9]와 비교하였을 때, 본 연구에서 Co 층의 표면이 산화된 것으로 나타난 것은 이 때문으로 생각된다.

그러나 여기서 Co 층의 산화가 표면에만 한정된 것은 Co 단일층과 Co/Ti의 이중층의 차이에서 기인한 것이다. 즉, Co/Ti 이중층의 경우에는 열처리시 Co와 Ti이

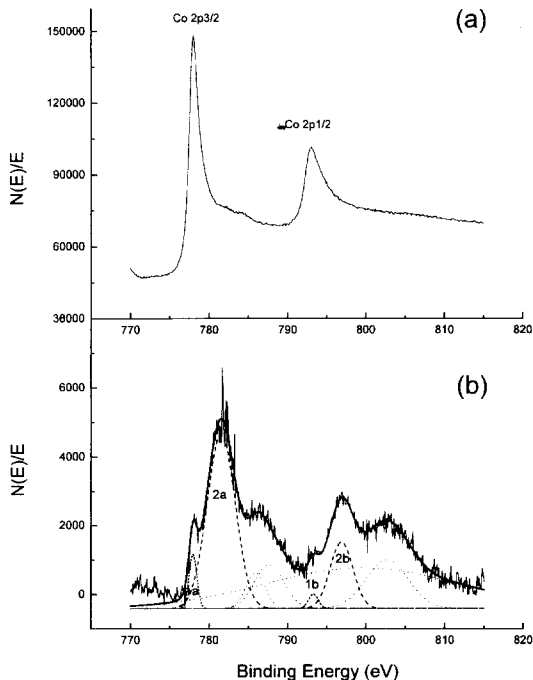


Fig. 2. The Co2p XPS region of Co/Ti/SiO₂ sample after rapid thermal annealing for 30 sec at 600°C; (a) after 6min Ar⁺ sputter cleaning, and (b) as recieved sample.

서로 확산하여 표면으로 이동한 일부 Ti가 Co의 표면에서 산화물을 형성함으로써 Co 층이 더 이상 산화되는 것을 막는 일종의 보호막 역할을 하는 것으로 생각된다. 이러한 구성원소들의 상호 이동은 다음의 AES 깊이분포도에서 살펴볼 수 있다.

Fig. 3은 AES를 이용하여 동일한 Co/Ti/SiO₂ 시편의 열처리에 따른 원자들의 깊이분포 변화를 조사한 것이다. 열처리하지 않은(as-deposited) 상태에서 Ti 피크와 Ti-O 결합에 대한 산소 피크가 거의 겹쳐 있음을 볼 수 있는데, 자세히 보면 산소 피크가 Ti 피크의 오른쪽(SiO₂ 기판쪽)으로 약간 비켜 있다. 바꾸어 말하면, Ti 층 내에 산소 원자들이 많이 들어 있어 Ti(O) 조성을 취하고 있으며, 특히, SiO₂와의 계면 가까운 부분은 TiO₂의 산화물에 가까운 조성인 것으로 보인다. 이것은 Ti 막을 스퍼터링법으로 증착할 때 상온에서 스퍼터링 공정이 이루어졌음에도 불구하고 Ti 입자들이 SiO₂ 기판을 칠 때 그 충격에너지에 의하여 기판 표면부의 SiO₂가 Ti와 반응함으로써 이러한 Ti 산화물이 생성된 것으로 판단

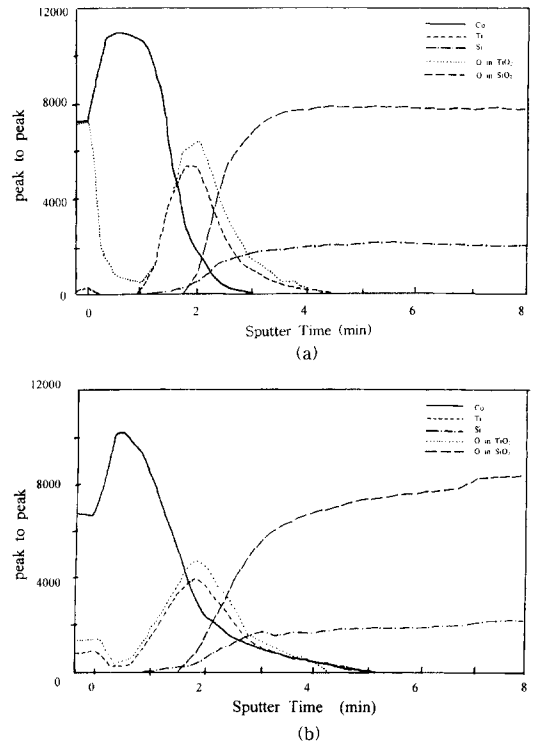


Fig. 3. AES depth profiles of the Co(28 nm)/Ti(10 nm)/SiO₂ samples (a) as-deposited, and (b) RTA annealed for 30 sec at 600°C.

된다. 즉, Ti의 산화성향이 높기 때문에 충격에너지의 지원을 받아 Ti와 SiO₂ 간의 반응이 상온에서 막증착 중에 일어난 것으로 보인다. 표면부의 산소 원소는 스퍼터 챔버로부터 유입되었거나 나중에 대기 중에서 유입된 것으로 생각된다.

600°C에서 열처리한 경우에는 Ti 피크와 산소 피크가 완전히 일치하는데, 이것은 Ti 막이 8 nm 정도로 얇기 때문에 Ti와 SiO₂ 기판 표면부의 SiO₂ 간의 반응이 본격적으로 일어나 Ti 막 전체에 걸쳐 산소의 함량이 증가했기 때문일 것이다. 즉, TiO₂에서 X 값이 좀 더 증가한 것이다. 그리고 일부의 Ti가 Co 층의 표면으로 이동하여 산소의 curve와 거의 같은 움직임을 보이는데, 이 표면층은 위에서 언급하였던 것과 같이 Co 층이 분위기 중의 산소와 반응하여 산화가 일어날 때 더 이상의 진행을 막는 일종의 보호막 역할을 하는 것으로 생각된다.

이와 같은 Ti와 SiO₂ 간의 반응은 다음의 RBS 결과로부터 보다 더 잘 알 수 있다. Fig. 4는 RBS를 이용하여 이중층의 증착직후와 600°C에서 30초간 열처리한 후의 결과를 비교한 결과이다. 열처리하기 전의 모습을 보면, 맨 우측에는 각기 Co와 Ti에 기인하는 피크가 있고, 좌측에는 기판 Si를 나타내는 넓은 curve가 있다. 기판 Si를 나타내는 curve 중 우측부의 step은 Si 기판의 상부가 SiO₂로 되어 있음을 보여준다. 그리고 Si curve의 중간부에는 산소에 기인하는 step이 있다. 이 시편을 600°C에서 열처리한 후에는 몇 가지 변화가 관찰되었다. 이 변화는 주로 Ti 중간층과 SiO₂ 기판의 반응에 의한 것으로 Si curve 내의 산소를 나타내는 step 부분이 이 반응에 의하여 표면쪽(그림의 우측)으로 그 폭이 다소 넓어졌으며, 이는 SiO₂ 중의 Si를 나타내는 step도 마찬가지로이다. 또한 Ti 피크는 다소 기판쪽(그림의 좌측)으로 이동한

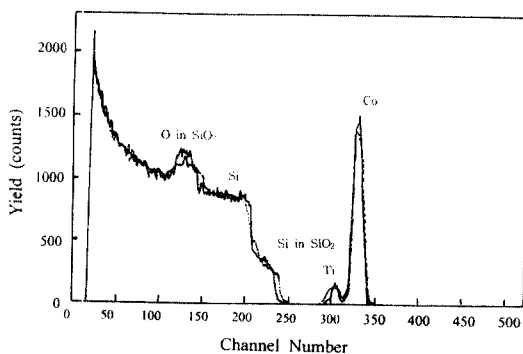


Fig. 4. RBS spectra of Co/Ti/SiO₂ sample after RTA annealing for 30 sec (—: no annealing,: RTA at 600°C).

반면, Co에 기인하는 curve에는 열처리 전후에 아무런 변화가 관찰되지 않았다. 그러므로 RBS와 AES 깊이분포도를 함께 고려할 때, 600°C에서 SiO₂ 기판과 Ti 중간층 간의 반응에 의하여 이 Ti 층이 완전히 산화됨을 알 수 있다. 그러나 이 때 Ti 중간층이 어떠한 산화상태에 있는가는 이 결과만으로는 알 수가 없다.

Co/Ti의 이중층을 실제 소자에 적용할 때 가장 큰 관심사는 Ti 중간층이 SiO₂ 기판과 반응할 때 도전성 반응 부산물이 형성될 것인가 하는 것이다. 그러므로 열처리 후 잔류 Co 층 아래의 산화된 Ti 중간층의 상태를 조사할 필요가 있다. Fig. 5는 600°C에서 열처리한 후에 Co 잔류물 층을 에칭해 내고 조사한 Ti 중간층의 XPS 스펙트럼이다. 이 스펙트럼을 curve fitting을 이용하여 여러 구성 curve로 분리하였다. 이 스펙트럼의 Ti 2p curve를 보면 이중이 모두 산화되었음을 볼 수 있는데, 이 때의 산화상태는 각기 TiO₂(2a, 2b)와 TiO(Ti rich TiO:1a, 1b, and O rich TiO:3a, 3b)[10]가 혼재되어 있는 모습을 보인다. Ti의 산화물은 TiO₂가 가장 안정한 상태이나 600°C에서는 아직 산화반응이 완료되지 않은 것으로 보인다. 이러한 산화물의 형성은 기판 상부의 일부 SiO₂가 소실되었음을 의미하는데, Ting 등[5]은 Ti(100 nm)/SiO₂ 구조를 이용하여 500~600°C의 온도구간에서 30~120분간 열처리할 때 5.5~15nm의 SiO₂가 소실된 것을 관찰하였다 한다. 그러나 본 실험에서 사용한 Ti 중간층은 그 두께가 8 nm에 불과하고 열처리시간도 30초 정도로 매우 짧았으므로, 실제 SiO₂의 소모량을 측정하지는 못하였지만, 그 소실 정도가 미미한 것으로 생각된다. 그리고 이 때 순수한 Ti-Ti 결합은 관찰되지 않았으며, 면저항 조사결과도 이 온도구간에서 절연체에 가까운 값을 나

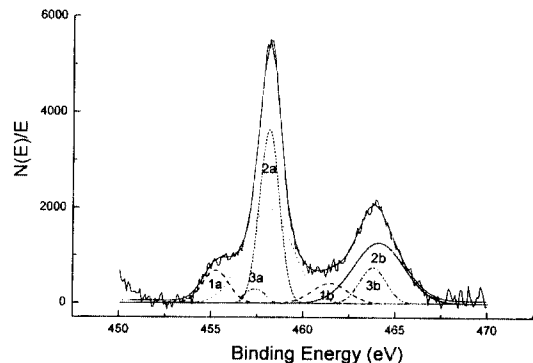


Fig. 5. The Ti2p XPS region of Co/Ti/SiO₂ sample after rapid thermal annealing for 30 sec at 600°C and subsequent etching of upper Co layer.

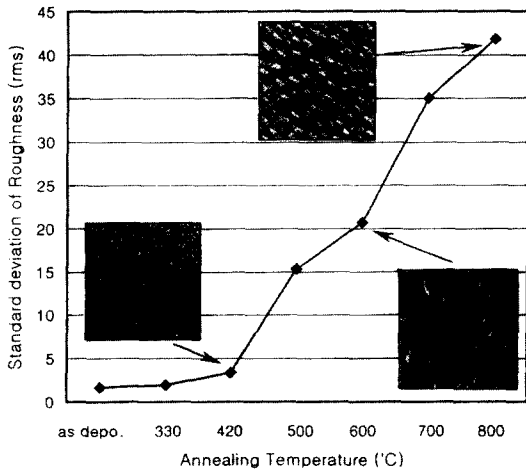


Fig. 6. The standard deviation of roughness of Co/Ti/SiO₂ samples at various annealing temperatures.

타내었으므로 실리사이드 공정에서 특히 문제가 될 수 있는 전도성 반응부산물 형성의 증거는 찾을 수 없었다.

Fig. 6는 이 시편들에 대해 AFM을 이용하여 표면 morphology를 조사하고 그 거칠기의 변화를 열처리 온도의 함수로 나타낸 그림이다. 이것을 보면 표면의 거칠기가 500°C에서부터 급격히 증가하기 시작했음을 볼 수 있다. 즉 막 표면의 응집(agglomeration)이 일어나서 막의 연속성이 파괴되는데, 이러한 경향은 산화막 위에서 부착특성이 좋지 못한 Co 증착층의 전형적인 모습이다 [11]. 이러한 막의 morphology 변화는 면저항의 변화로부터도 유추할 수 있다.

Table 1은 이 이중층 시편을 열처리하는 동안 면저항의 변화를 기록한 것이다. 이것을 보면, 열처리 온도가 600°C를 넘어서면서 부터 면저항이 급증하기 시작하여 700°C 이상에서는 사실상 절연체에 가까운 값을 가짐을 알 수 있다. 위의 XPS 결과로부터 600°C에서의 Ti 중간층은 거의 모두 산화되었으며, 표면 morphology의 조사에서 열처리 온도가 500°C를 넘어서면서부터는 막의 응집도 일어났다. 그러므로 600°C에서 일어난 이중층 구조의 급격한 면저항 증가는 이와 같은 두가지 측면, 즉 막의 연속성 파괴와 증착층 일부의 산화에 기인하였을

을 알 수 있다.

Co/Ti 이중층 구조를 이용하여 에피택셜 코발트 실리사이드를 형성하기 위해서는 700°C 이상의 온도에서 열처리를 진행시켜야 한다[11]. 따라서 이 부근의 온도에서 열처리할 때, 산화물 기판중 Si가 노출된 window 내에서는 에피택셜 실리사이드가 형성될 것이지만, 한편 SiO₂ 기판 위에서는 완전히 산화된 Ti 중간층 위에 반응하지 않고 남은 Co 층이 응집된 상태로 존재할 것이다. 그러나 이 때 소자의 작동에 영향을 미칠 수 있는 전도성 반응부산물은 형성되지 않았다.

4. 결 론

SiO₂ 기판 위에 증착시킨 Co/Ti 이중층 구조를 이용하여 급속열처리(RTA) 한 후 막의 열적안정성을 조사하여 다음과 같은 결과를 얻었다.

(1) 열처리중 분위기 내의 산소로 인하여 Co 층의 표면은 산화가 일어나지만, 표면으로 이동하여 온 Ti에 의하여 Co 층 내부에서는 전혀 산화반응이 일어나지 않은 채로 700°C의 고온까지 그대로 유지되었다.

(2) Ti 중간층은 600°C에서 대부분 산화되어 각기 O와 Ti가 풍부한 TiO 산화물과 TiO₂가 함께 존재하고 있었으며, 이 후 보다 더 고온에서 열처리가 진행됨에 따라 모두 TiO₂로 상전이아가 이루어 졌다.

(3) 그러나 이 때 Ti/SiO₂ 계면에서 전도성이 큰 Ti 실리사이드나 non-stoichiometric Ti 산화물 등의 반응부산물 형성의 증거는 발견되지 않았다.

(4) Co/Ti/SiO₂ 이중층 구조를 열처리하였을 때 600°C에서 처음으로 면저항이 급격히 증가하였으며, 표면 morphology와 roughness 관찰결과에 의하면, 본격적인 막의 응집은 600°C에서 일어났지만, 이미 그보다 더 낮은 500°C 부근에서 응집이 시작되었다.

이상의 결과로부터 Co/Ti/SiO₂ 이중층 구조에서 열처리에 막의 면저항이 급격히 상승하는 것은 Ti 중간층의 산화와 열처리시 고온에서 막의 계면에너지를 줄이 고자 하는 경향에 의해 Co 층의 응집이 일어나 막의 연속성이 파괴되기 때문임을 알 수 있다. 그러나 이 때

Table 1. The sheet resistance of Co/Ti bilayers on Si oxide (Ω/\square)

	as depo.	330°C	420°C	500°C	600°C	700°C	800°C
Co/Ti/SiO ₂	15.0	9.7	8.7	7.6	952	5,341	>10,000

Co 산화물이나 전도성 반응부산물의 형성은 관찰되지 않았다.

감사의 글

본 연구는 삼성전자(주)의 지원으로 이루어졌으며, 이에 감사드립니다.

참고문헌

1. J. M. Pimbley, M. Ghezzi, H. G. Parks and D. M. Brown, VLSI Electronics Microstructure Science, vol. 19, Advanced CMOS Process Technology, (Academic Press, NY 1989) chapter 3.
2. S. Wolf, Silicon Processing for VLSI Era, vol. 2, Process Integration, (Lattice Press, CA, 1990) pp. 84-175.
3. M. L. A. Dass, D. B. Fraser and C. S. Wei, *Appl. Phys. Lett.* **58**, 1308 (1991).
4. Jeong Soo Byun, Ph. D. Thesis, 서울대학교 무기재료공학과, (1993).
5. C. Y. Ting, M. Wittmer, S. S. Iyer and S. B. Brodsky, *J. Electrochem. Soc.* **131**, 2934 (1984).
6. G. J. P. Krooshof, F. H. P. M. Habraken, W. F. van der Weg, L. Van den hove, K. Maex and R. F. De Keersmaecker, *J. Appl. Phys.* **63**, 5110 (1988).
7. J. Donnelly, N. Bryn, R. Pantel, and P. Normandon, *Mater. Res. Soc. Symp. Proc.* **260**, 329 (1992).
8. C. Lee, Inha Univ., internal report (1997).
9. Z. L. Zhang, Z. G. Xiao and G. W. Tu, *Thin Solid Films* **286**, 295 (1996).
10. 김영남, 강성철, 박진성, 이내인, 김일권, 김영욱, 한국진공학회지 **2**(1), 28 (1993).
11. 권영재, 이종무, 배대륙, 강호규, 한국재료학회지, accepted.