

## Ti underlayer를 갖는 Al-1%Si 박막배선에서의 일렉트로마이그레이션 현상에 관한 연구

유희영 · 김진영

광운대학교 전자재료공학과  
(1998년 11월 14일 접수)

### A study on the electromigration phenomena in Al-1%Si thin film interconnections with Ti underlayers

Hee-young Yoo and Jinyoung Kim

Department of Electronic Materials Engineering Kangwoon University, Seoul 139-701, Korea  
(Received November 14, 1998)

**요 약** - 본 연구에서는 반도체 소자에서 일렉트로마이그레이션에 기인하는 Al-1%Si 박막배선의 길이 변화에 따른 수명시간 의존도를 조사하였다. 사용된 Al-1%Si 박막배선은 표준 사진식각 공정(standard photolithography process)을 사용하여 제작된 직선형 패턴이다. 직선형 패턴은 100에서 1600  $\mu\text{m}$  범위의 길이 변화를 갖도록 제작하였다. Ti underlayer가 없는 시편보다 Ti underlayer가 있는 시편에서 Al-1%Si 박막배선의 수명시간이 더 길게 나타났다. Ti underlayer를 갖는 시편에서 electromigration에 대한 저항성을 향상시키는 것으로 사료되어진다. Al-1%Si/Ti 박막배선의 길이에 의존하는 수명시간은 800  $\mu\text{m}$  이하에서 포화되는 경향을 나타내었다.

**Abstract** - In this paper, the lifetime dependence as a function of the line length of Al-1%Si thin film interconnections due to electromigration in semiconductor devices was studied. Al-1%Si thin film interconnections with a pattern of straight type were formed by using a standard photolithography process. The test patterns manufactured have line lengths in the range of 100 to 1600  $\mu\text{m}$ . Al-1%Si thin film interconnections with Ti underlayers showed longer lifetime than those without Ti underlayers. Ti underlayers are believed to improve electromigration resistance resulting in a longer lifetime in Al-1%Si thin film interconnections. The dependence of lifetime on the line length in Al-1%Si/Ti thin film interconnections shows a saturation tendency near 800  $\mu\text{m}$  line length.

## 1. 서 론

최근 반도체 직접회로의 특성이 고성능, 고밀도, 고속화 되어감에 따라 VLSI(Very Large Scale Integration) 소자 시대를 넘어 ULSI(Ultra Large Scale Integration) 소자 시대에 이르고 있다. 그러나, 이 과정은 금속박막배선에서 증가되는 복잡성과 그에 대응하는 크기의 축소가 요구된다. 예를 들면, 차세대 256 Mbyte DRAM(dynamic random access memory)의 경우 chips 박막배선의 최소 선 폭은 0.23  $\mu\text{m}$ 에 이르고, 2010년경에는 0.13  $\mu\text{m}$ 에 육박할 것으로 예상된다[1]. 이에 따라 박막배선

에는 고 전류밀도가 유도되며[2], 이로 인한 박막배선에서 electromigration(EM) 결함은 집적회로의 신뢰도를 좌우할 정도로 극미세 전자소자에서 중요한 결함 원인으로 부각되고 있다[3].

박막배선에서 EM 현상은 전도체 line에 높은 전류밀도가 인가될 때, 그 전도체 내의 금속화 이온이 이동하는 '물질이동현상(mass transport phenomena)'으로 Black에 의해서 제시되었다[4, 5]. 일반적으로, EM 현상은 Al 박막배선에  $10^6 \text{A}/\text{cm}^2$ (pulsed current:  $10^7 \text{A}/\text{cm}^2$ ) 이상의 전류밀도를 인가한 경우에 발생한다[6]. 이 물질이동 현상은 집적회로의 결함 메커니즘으로 널리 알려져 있으

며 폭넓은 연구가 진행되고 있다. 이러한 연구는 반도체 산업의 발전과 더불어 1950년대부터 시작되었다. 1960년대 후반에 집적회로의 Al 전도체가 결합에 이르는 균열 형성이 발견되면서, Al 박막배선에서 EM 연구가 본격적으로 시작되었다[4].

EM은 물질이동 현상을 유발시키는 열과 전기적인 응력(stress)의 복합적인 작용의 결과이다. 온도가 높아지면, 금속화 이온들이 이동하기가 더 쉬워진다. 금속(bulk metal)에서는 EM이 대략 응점의 3/4에서 나타나는 반면에, 금속 다결정 박막에서는 대략 응점의 1/2에서 나타난다고 알려져 있다[4].

EM에 대한 저항성을 향상시키기 위한 방법의 하나로 underlayered barrier layer 즉, refractory metal barrier film을 갖는 구조[2], 그리고 Al 전도체 위에 절연보호막을 입힌 구조를 이용한 연구들이 보고되고 있다. Lloyd와 Smith에 의하면, 절연보호막을 사용한 경우 수명시간이 대략 10배정도 향상되는 것으로, Yau, Hong등에 의하면, underlayered barrier layer를 사용한 경우 EM 저항성이 대략 20% 정도 증가되어지는 것으로 보고되었다[7].

Barrier layer 재료로는 Ti, Ti/TiN, TiW 등이 폭 넓게 사용되고 있다. 그리고, 이러한 barrier layer는 기판(substrate)으로부터 직접 전달되는 열응력(thermal stress)의 차단과 박막배선 전도체에 생기는 국부적인 온도구배 등을 감소시켜 EM에 대한 저항성을 향상시키는 것으로 보고되었다[8, 9].

본 논문에서는 Al-1%Si 박막배선의 길이 변화에 따른 수명시간 의존도를 조사하였다. Al-1%Si 박막배선은 각각 underlayered barrier layer와 passivated layer를 갖는 직선형의 패턴으로 제작하였다. 실온(298K)의 분위기에서 underlayered barrier layer의 경우에  $3.05 \times 10^7$  A/cm<sup>2</sup>, passivated layer의 경우에  $7.62 \times 10^6$  A/cm<sup>2</sup>의 전류밀도를 인가하여 결함발생시간(time-to-failure; TTF)을 측정하였다.

## 2. 실험방법

EM에 대한 Al-1%Si 박막배선의 저항성 효과를 알아보기 위한 테스트 시편의 제작과정은 다음과 같다. 테스트 시편은 SiO<sub>2</sub>층을 5000 Å의 두께로 성장시킨 boron이 도핑된 p형 Si(100) wafer위에 박막배선이 제작되었다. 박막배선 재료로는 Al-1%Si를 사용하였고, 스퍼터링법

으로 7000 Å의 두께로 증착하였다. 테스트 시편은 underlayered barrier layer와 passivated layer의 다른 박막배선 적층구조를 갖도록 제작하였다.

Underlayered barrier layer를 갖는 시편은 Al-1 %Si 박막배선을 증착하기 전에 Ti를 300 Å의 두께로 증착하였다. Passivated layer를 갖는 시편은 박막배선을 증착한 후 SiO<sub>2</sub>층을 1000 Å 정도, PSG 층을 8000 Å 정도의 두께로 증착하였다. 시편의 박막배선 적층구조는 Al-1%Si(7000 Å)/Ti(300 Å)/SiO<sub>2</sub>(5000 Å)/p-Si(100)와 PSG(8000 Å)/SiO<sub>2</sub>(1000 Å)/Al-1%Si(7000 Å)/SiO<sub>2</sub>(5000 Å)/p-Si(100)과 같다.

시편의 패턴은 두 적층구조 모두 표준 사진식각 공정(standard-photolithography process)으로 형성하였다. 그림 1에 패턴 형성을 위해 사용된 표준 사진식각 공정을 간략히 나타내었다.

테스트 패턴은 100, 400, 800, 1200, 1600 μm의 5가지 길이의 직선형 배선으로 3 μm의 선폭을 갖도록 제작하였다. 그림 2에 직선형의 테스트 패턴 형태를 나타내었다. 완성된 테스트 시편은 48 pin의 DIP(dual-in-line package) 형태로 제작하였다[4, 10].

본 실험은 패키지(package)로 제작된 상태에서 진행되었으며, Keithly 228A 전압/전류원을 사용하여 연속적이고, 고정된 전류밀도를 인가하여 결함발생시간을 측

Prebake	120°C, 100 min
→ P.R. Coating	MC 3500D2 1.4 μm Low : 250 rpm, 3 sec High : 400 rpm, 25 sec
→ Soft baking	110°C, 2 min
→ Exposure	300 mj/cm <sup>2</sup>
→ Develop	TMAH 2.38%, 60 sec, 6 times
→ Hard baking	120°C, 30 min
→ Etching	RIE (Cl <sub>2</sub> +BCl <sub>3</sub> )
→ P.R. Strip	Dry O <sub>2</sub> : 120 sec, Solvent
→ Pad Mask	
→ Pad Etching	CHF <sub>3</sub> +C <sub>2</sub> F <sub>6</sub> , 50% Over etch
→ P.R. Strip	Plasma : 120 sec, wet strip

Fig. 1. The standard photolithography process sequence.

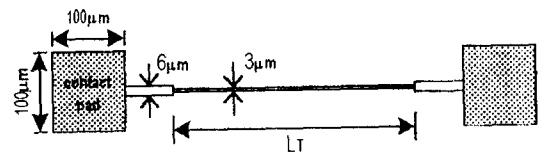


Fig. 2. Schematic diagram of the type of straighted test pattern, where L<sub>r</sub> has various line lengths in the range of 100 to 1600 μm.

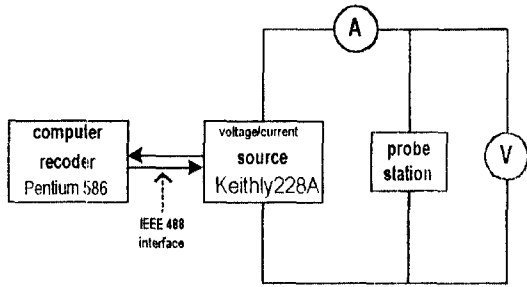


Fig. 3. The test circuit for electromigration.

정하였다. Ti 층을 갖는 시편의 경우  $3.05 \times 10^7 \text{ A/cm}^2$ , PSG/SiO<sub>2</sub> 층을 갖는 경우에는  $7.62 \times 10^6 \text{ A/cm}^2$ 의 전류밀도를 사용하였다. 그림 3에는 EM에 의한 결함발생시간 측정을 위한 폐회로(close-circuit)의 구성을 나타내었다.

실험의 진행은 실온(room temperature)의 분위기에서, 공공(void)에 의한 회로개방(open-circuit)까지의 시간을 결함발생시간으로 하여, EM에 대한 Al-1%Si 박막배선의 저항성 효과에 대해 조사하였다.

### 3. 결과 및 고찰

Al-1%Si 박막배선에 전류를 인가한 후에 각 테스트 시편의 직선형 패턴에서 결함발생시간을 측정하였다. 앞에서 언급한 것과 같이 결함발생시간은 D.C. 인가시 저항변화에 따른 전기적 개방(electrical open) 또는 공공에 의한 회로개방까지의 시간으로 하였다. 측정된 결함발생시간으로부터 평균결함발생시간(mean-time-to-failure; MTF)은 각 테스트 line에 다섯 개의 시편 중에서 가장 큰 값과 작은 값을 빼고, 세 개의 시편에 대한 결함발생시간의 평균값으로서 평균결함발생시간을 정하였다.

본 실험에서 측정한 Al-1%Si/Ti 시편의 결함발생시간은 100  $\mu\text{m}$ 에서 20,425분, 400  $\mu\text{m}$ 에서 16,350분, 800  $\mu\text{m}$ 에서 8,883분, 1200  $\mu\text{m}$ 에서 109분, 1600  $\mu\text{m}$ 에서 5분으로 나타났다. 앞서서 발표된 논문에 비해서[11, 12], 본 실험에서 Ti 층을 갖는 Al-1%Si 박막배선에서 평균수명시간이 더 길게 나타나는 경향을 보였다. 그림 4에 박막배선 길이에 따른 평균결함발생시간의 변화를 나타내었다.

그림 4에서 박막배선의 길이가 감소함에 따라서 평균수명시간이 지수 함수적으로 증가하는 경향을 보이고, 800  $\mu\text{m}$  이하의 길이에서 포화(saturation)되는 경향이 나

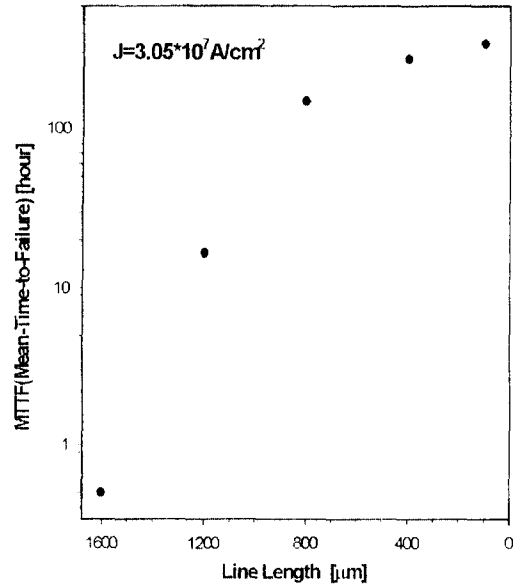


Fig. 4. MTF of Al-1%Si/Ti thin film interconnections with various line lengths measured at room temperature.

타났다.

Al-1%Si 박막배선에서 EM으로 인한 Al 이온들의 물질 이동이 Al-1%Si 박막배선을 따라 시작되면, 이 전도체 line에 결함 발생을 유발하는 국부적인 온도구배와 결정립 크기의 변형에 의해 전도체 내에 국부적인 전류 크라우딩(current crowding)이 유발된다[13]. 이로 인해서 Al-1%Si 박막배선이 결함에 이르는 시간 즉, 결함발생시간이 감소한다. 그러나, Ti 층을 사용한 Al-1%Si 박막배선의 경우에는 평균수명시간이 Ti 층을 사용하지 않은 박막배선에서 보다 길게 나타났다. 이는 glue layer로 사용된 Ti 층이 히트 싱크(heat sink)로 작용해서 기관으로 열 방출을 용이하게 해서 Al-1%Si 박막배선 전도체의 국부적인 온도구배가 감소된 것으로 사료된다[9, 14, 15].

또한, 박막배선의 적층구조를 달리한 PSG/SiO<sub>2</sub> 층을 갖는 시편에서 평균결함발생시간은 100  $\mu\text{m}$ 에서 645분, 400  $\mu\text{m}$ 에서 121분, 800  $\mu\text{m}$ 에서 70분, 1200  $\mu\text{m}$ 에서 65분, 1600  $\mu\text{m}$ 에서 1분 23초로 나타났다.

그림 5에 박막배선의 길이에 따른 평균결함발생시간의 변화를 나타내었다.

그림 5에서 보면 박막배선 길이가 감소함에 따라 수명시간이 증가함을 보이고 있다. 그 증가하는 경향은 log-normal 분포에서 거의 직선형에 가까운 분포를 나타

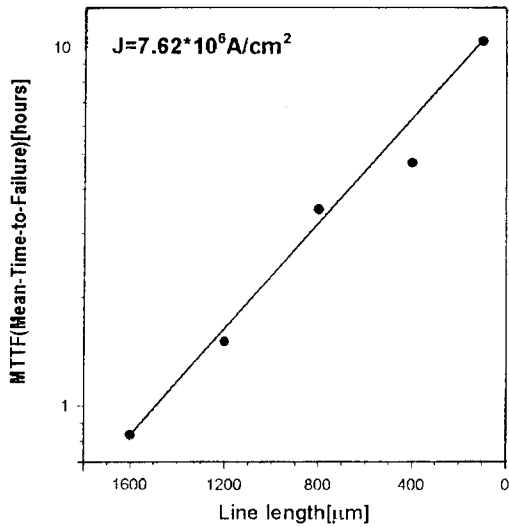


Fig. 5. MTTF of PSG/SiO<sub>2</sub>/Al-1%Si thin film interconnections with various line lengths measured at room temperature.

내고 있다.

Passivated layer를 사용한 Al-1%Si 박막배선의 경우에도 PSG/SiO<sub>2</sub>층을 사용하지 않은 경우와 비교해서 평균수명시간이 길게 나타났다[11, 12] 이는 PSG/SiO<sub>2</sub>의 절연보호막이 Al-1%Si 박막배선을 습기와 불순물의 노출에 대한 보호 역할을 해서 Al-1%Si 박막배선이 안정한 상태를 유지함으로써, 평균수명시간이 길게 나타난 것으로 사료된다[7, 14].

Al-1%Si 박막배선에서 Ti underlayer와 절연보호막이 수명시간 미치는 영향을 알아보기 위해서 동일 한 테스트 패턴에 대해서 위와 같이 실험하였다. Al-1%Si 박막배선 line의 평균결함발생시간을 Ti underlayer와 절연보호막을 갖는 시편에서 비교해보면, Ti underlayer 시편에서 수명시간이 더 길게 나타났다. 그림 6에 Ti underlayer와 절연보호막을 갖는 시편의 평균 결함발생시간을 비교해서 나타내었다.

EM에 기인한 결함은 박막배선에 물질의 축적(accumulation)과 공핍(depletion)으로 나타난다. 물질의 공핍은 회로개방을 유발하고, 물질의 축적은 회로단락을 유발한다[5, 16].

그림 7에 Al-1%Si 박막배선 시편의 EM 테스트 후의 주사전자현미경(scanning electron microscope; SEM) 사진을 나타내었다. 그림 7의 (a)에 나타난 다섯 가지의 직선형 패턴에 대한 SEM 사진을 보면, 박막배선의 길이가 증가함에 따라 Al-1%Si 박막배선에 공핍이 나타남을

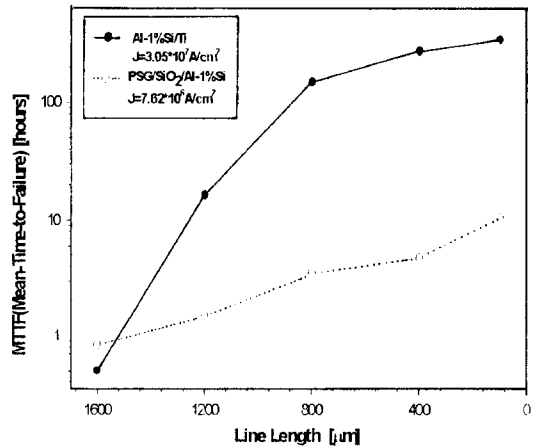


Fig. 6. MTTF of passivated and Ti underlayer specimens.

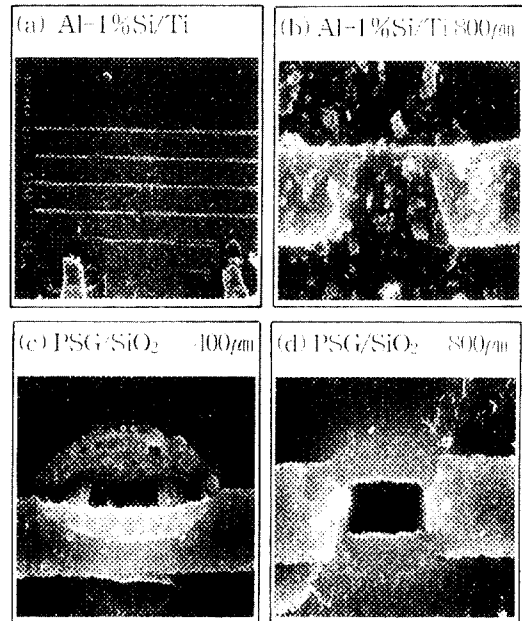


Fig 7. SEM micrograph for the test specimen after current stressing. (a) A top view of Al-1%Si/Ti specimen after current stressing, (b) EM induced the voids in 800  $\mu\text{m}$  line, (c) EM induced the failure in 400  $\mu\text{m}$  at PSG/SiO<sub>2</sub> specimen, (d) EM induced the failure in 800  $\mu\text{m}$  at PSG/SiO<sub>2</sub> specimen.

알 수 있다. 그림 7의 (b), (c), (d)에는 EM 가속화 테스트 이후 각 line에서 발생한 결함을 나타내었다.

#### 4. 결 론

이상의 EM 테스트의 실험적 결과로부터 Ti 층을 갖

는 Al-1%Si 박막배선의 경우에  $3.05 \times 10^7 \text{A/cm}^2$ 과 PSG/SiO<sub>2</sub>를 갖는 Al-1%Si 박막배선의 경우에  $7.62 \times 10^6 \text{A/cm}^2$ 를 Keithly 228A 전압/전류원을 사용해서 연속적이고, 고정된 전류밀도를 인가한 후에, EM에 의해 유발되는 각 테스트 line의 결함을 관찰한 결과는 다음과 같다.

1) EM 수명시간은 Ti 층을 갖는 Al-1%Si 박막배선이 절연보호막이 있는 Al-1%Si 박막배선보다 더 길게 나타났다. 즉, EM 저항성은 절연보호막을 갖는 Al-1%Si 박막배선보다 Ti underlayer를 갖는 Al-1%Si 박막배선에서 더 향상되었다.

2) 두 적층구조의 Al-1%Si 박막배선의 평균결함발생시간은 line의 길이가 감소할수록 증가함을 보였다.

3) Ti 층을 갖는 경우에 평균결함발생시간은 Al-1%Si 박막배선 800  $\mu\text{m}$ 이하에서 포화되는 경향을 나타내었다.

4) 주사전자현미경을 이용한 Al-1%Si 박막배선 테스트 line의 결함 분석 결과 EM에 의해 유발되는 결함은 공공과 hillock이 지배적이었다.

### 참고문헌

1. K. Y. Lee, C. K. Hu, T. Show and T. S. Kuan, J. Vac. Sci. Technol. **B13**(6), 2869 (1995).
2. K. Hinode, S. Kondo and O. Deguchi, J. Vac. Sci. Technol. **B14**(2), 687 (1996).
3. S. Vaidya, T. T. Sheng and A. K. Sinha, Appl. Phys. Lett. **36**(6), 464 (1980).
4. C. Y. Chang and S. M. Sze, *ULSI Technology* (McGraw-Hill, New York, 1996).
5. J. R. Black, Proceeding of the IEEE, **57**(9), 1587 (1969).
6. *Handbook of Deposition Technologies for Films and Coatings* 2nd ed. (Noyes Publications, New Jersey, 1994).
7. L. Yau, C. Hong and D. Crook, Reliability Phys. 23rd Annual Proceedings, 115 (1985).
8. M. Ohring, *The Materials Science of Thin Films* (Academic Press, San Diego, 1992).
9. D. Gupta and P. S. Ho, *Diffusion Phenomena in Thin Films and Microelectronic Materials* (Noyes Publications, New Jersey, 1988).
10. S. M. Sze, *VLSI Technology* 2nd ed. (McGraw-Hill, New Jersey, 1988).
11. 박영식, 김진영, 한국진공학회 **4**(3), 327 (1995).
12. 박영식, 김진영, 한국진공학회 **5**(2), 161 (1996).
13. R. Frankovic, G. H. Bernstein and J. J. Clement, IEEE Electron Device Lett. **17**(5), 244 (1996).
14. S. H. Kang, C. Kim, J. W. Moris Jr and F. Y. G nin, J. Appl. Phys. **79**(11), 8330 (1996).
15. K. Hashimoto, K. Touchi and H. Onoda, Relia. Phys., 32nd Annual Proceedings, 185 (1994).
16. K. Hinode, T. Furusawa and Y. Homma, Relia. Phys., 31st Annual Proceedings, 317 (1993).