

건식각을 이용한 0.18 μm dual polysilicon gate 형성 및 plasma damage 특성 평가

채수두 · 유경진 · 김동석 · 한석빈 · 하재희 · 박진원

현대반도체 중앙연구소 선형공정팀
(1999년 3월 5일 접수)

Study of plasma induced charging damage and fabrication of 0.18 μm dual polysilicon gate using dry etch

Soodoo Chae, Kyoungjin Yoo, Dongseok Kim, Sukbin Han, Jaehae Ha, and Jinwon Park

Advanced Process Technology Team, R&D Division, Hyundai Micro Electronics Co.
(Received March 5, 1999)

요 약 - 0.18 μm LOGIC device에서 dual polysilicon를 식각하여 gate를 형성하는 경우, NMOS와 PMOS에서 각각 polysilicon상태에 따라 식각속도가 달라지게 된다. 이 때 gate line의 식각 형상(profile)을 동등하게 조절하기 위하여 Cl_2/HBr 가스 조성비와 전체 압력을 변화시켰으며 back He pressure를 감소시켜 측벽 부착 폴리머를 최적으로 형성하여 88도 이상의 수직인 식각 형상(vertical profile)을 얻을 수 있었다. 또한 lithography를 이용한 gate 식각 마스크 line을 형성 시, 난반사를 방지하기 위하여 Bottom Anti-Reflective Coating(BARC)를 사용하게 되는데, 이러한 BARC식각 시 식각 마스크의 형상과 선택비를 향상시키기 위한 가스, 조성비 최적화 등을 연구한 결과, CF_4/O_2 가스가 적합함을 알 수 있었다. 이 밖에 식각 조건에 따른 plasma damage 특성 평가를 breakdown-voltage(BDV) 측정 중심으로 gate oxide의 antenna effect를 실험한 결과, NO 막(O_2 가스를 사용하여 SiO_2 막을 형성한 후 N_2+NO 가스를 이용하여 후처리하는 방법)이 wet 막(O_2+H_2 가스를 이용하여 SiO_2 막을 만드는 방법)보다 우수한 특성을 보여 주었다.

Abstract - In 0.18 μm LOGIC device, the etch rate of NMOS polysilicons is different from that of PMOS polysilicons due to the state of polysilicon to manufacture gate line. To control the etch profile, we tested the ratio of Cl_2/HBr gas and the total chamber pressure, and also we reduced Back He pressure to get the vertical profile. In the case of manufacturing the gate photoresist line, we used Bottom Anti-Reflective Coating (BARC) to protect refraction of light. As a result we found that CF_4/O_2 gas is good to etch BARC, because of high selectivity and good photoresist line profile after etching BARC. In the results of the characterization of plasma damage to the antenna effect of gate oxide, NO type thin film(growing gate oxide in O_2 ambient followed by an NO anneal) is better than wet type thin film(growing gate oxide in O_2+H_2 ambient).

1. 서 론

현재 유럽등지에서는 0.18 μm 미세선폭의 LOGIC device에 대한 연구가 활발히 이루어지고 있으며 특히 gate material, shallow trench, CoSi_2 silicidation, copper and low-k dielectrics등에서 많은 발전이 이루어지고 있다 [1]. 이러한 device는 gate의 미세선폭으로 인하여 기존 N-polysilicon gate만을 이용한 NMOS, PMOS의 활용

시, short channel effect의 문제가 발생하게 되어 점차 N-polysilicon 및 P-polysilicon gate를 함께 이용한 dual polysilicon gate로 변화되어 왔으며 [2], 동시에 gate oxide를 낮추는 high performance device를 요구하게 되었다 [3, 4]. 그러나 intrinsic polysilicon 및 doped polysilicon를 함께 이용한 dual polysilicon를 식각하여 gate line을 형성하는 경우에는 두 polysilicon의 식각속도가 다르며 이러한 식각차로 인하여 gate oxide

damage는 물론 profile distortion을 일으키고 있는 것으로 보고되고 있다 [5]. 또한 낮은 gate oxide로 인하여 gate 식각시 plasma damage등이 야기되는데 [6, 7] 이러한 plasma damage 측정방법으로는 antenna pattern을 이용하여 측정하는 방법 [8], CHARM-2 wafer를 통하여 wafer charging을 알아보는 방법 [9], oxide가 덮여있는 wafer를 식각후 charging을 monitoring하는 방법 [10] 등이 있다. 본 실험에서는 fine grain polysilicon위에 NMOS mask를 이용하여 arsenic을 이온 주입하고 PMOS area는 이온주입을 생략한 후, dual polysilicon를 식각하여 gate line 형성 시 식각형상을 동등하게 조절하기 위해 식각변수를 변화시켜 실험하였으며, 또한 식각 조건에 따른 plasma damage를 측정하기 위하여 antenna pattern을 이용하여 실험하였다.

2. 실험방법

P-type Si wafer 위에 gate oxide를 35 Å 성장시킨다. 이 때 gate oxide 성장방법으로는 두 가지 방법을 사용하였는데 첫 번째 방법으로 $\text{O}_2 + \text{H}_2$ 가스를 이용하여 SiO_2 막을 만드는 wet 방법과 먼저 O_2 가스를 사용하여 SiO_2 막을 형성한 후 $\text{N}_2 + \text{NO}$ 가스를 이용하여 후처리하는 NO 방법이 있다. Gate oxide를 성장시킨 후 polysilicon을 2500 Å 증착하였다. 이때 결정립 크기가 3000 Å인 amorphous silicon과 300 Å인 fine grain polysilicon등 두 가지로 나누어 증착하였다. 그 다음 NMOS area는 As를 이온 주입하고 PMOS area는 이온 주입을 생략한 후, annealing을 진행하였다. Lithography 를 이용하여 gate 식각 마스크 line을 형성하였으며 이러한 photoresist 마스크를 사용하여 식각하였다. 식각장비로는 AMK사에서 제조한 magnetically enhanced reactive ion etcher (MERIE) 타입의 MxP를 사용하였으며 장비의 chuck 온도는 40°C를 유지하였고 wall 온도는 60°C를 유지하였다. Wafer의 뒷면에는 helium cooling을 사용하도록 설계되었는데 이러한 backside helium cooling은 시간에 따른 식각 속도의 변화를 억제하고 재현성을 향상시키는 것으로 보고되고 있다 [11]. RF power는 13.56 MHz generator에 의해 공급되며 electromagnet를 chuck주위에 배치시켜 식각율(etch rate)과 식각균일(etch uniformity)등을 향상시키도록 고안되었다. BARC 식각의 경우, 식각 가스로는 O_2 가스를 주식각 가스로 사용하며 보조가스로 CF_4 와 N_2 가스를 이용하여 측벽을 폴리머 발생

표 1. Process parameters for etching dual poly Si.

| Parameter | step 1 | step 2 |
|---------------------------|--------|--------|
| Cl_2 flow (sccm) | 60 | 10 |
| HBr flow (sccm) | 100 | 50 |
| He- O_2 (sccm) | | 4 |
| Pressuere (mTorr) | 80 | 100 |
| Magnetic field (G) | 30 | 30 |
| RF Power (W) | 400 | 190 |
| Etch rate (nm/min) | 280 | 98 |
| Back He pressure (mTorr) | 4000 | 4000 |

로 보호하고 line width(critical dimension)의 loss를 줄이도록 실험하였다. Dual polysilicon 식각 단계는 gate oxide와의 선택비를 향상시키기 위해 두 단계로 나누었으며 첫번째 단계에서는 Cl_2 , HBr을 사용하였는데 이때 Cl_2 가스는 주 식각 가스로 사용하였고 HBr 가스는 식각 가스뿐만 아니라 oxide와의 선택비를 향상시키는 가스로 사용되었다. 두 번째 단계에서는 Cl_2 , HBr 가스와 함께 He- O_2 혼합 가스를 사용하여 선택비를 최대한 향상시키고자 하였다. He- O_2 혼합 가스를 사용하는 이유는 O_2 에 의하여 건식각중 선택비를 높일 수 있는 폴리머의 발생을 유발하여 선택비를 최대한으로 증가시키기 때문이다. 이에 대한 최적의 조건은 표 1에 기술하였다. plasma damage를 측정하기 위하여 그림 5(b)에서 보는 바와 같이 device를 형성한 후 Hewlette-Packard 사에서 제조한 HP4062를 이용하여 breakdown-voltage를 측정하였다.

3. 결과 및 고찰

3.1. 건식각을 이용한 0.18 μm Dual Polysilicon Gate 형성

Intrinsic 및 N-doped polysilicon를 동시에 식각시, 두 polysilicon gate의 critical dimension(CD)을 동일하게 하기 위해서는 식각형상을 90도에 가깝게 조절하여야 한다. 이를 위해 식각의 첫번째 단계에서 HBr 및 Cl_2 의 유량을 변화시켜 본 결과, HBr에 비해 Cl_2 증가시 중간 부분의 bowing이 증가하였다(그림 1). 이것은 line 측벽에 폴리머를 주로 발생시키는 HBr의 유량이 Cl_2 의 유량에 비해 줄어들어 일어난 현상이다. 식각 장비 압력 영향 실험에서는 압력 증가시 등방성 식각형상(isotropic profile)이 형성되는 것을 볼 수 있었다(그림 2). 이러한 원인으로는 압력이 증가함에 따라 입자들의 mean free

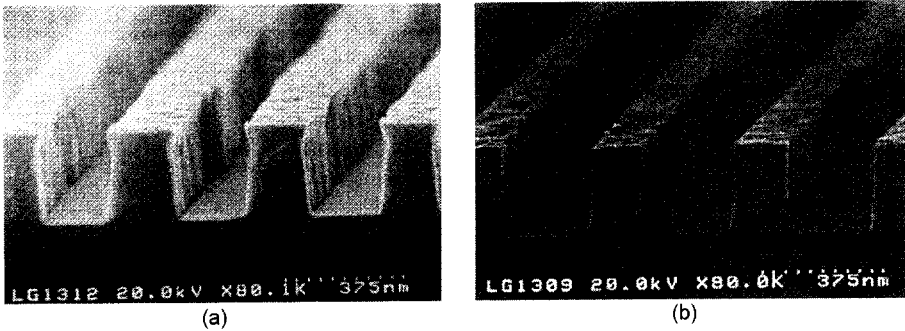


그림 1. Gate Profile in the case of HBr: 60 sccm/Cl₂ : 60sccm Gas flow (a) N-doped poly Si gate (b) intrinsic poly Si gate.

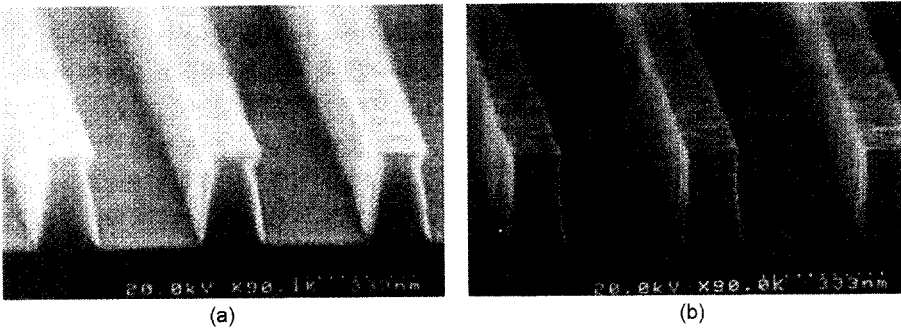


그림 2. Gate Profile in the case of 120 mTorr chamber pressure (a) N-doped poly Si gate and (b) intrinsic poly Si gate.

path의 감소로 인하여 식각 이온들의 직진성이 떨어진 결과이다. Back He pressure를 기존의 8000 mTorr에서 4000 mTorr로 감소시킨 경우, N-poly 및 intrinsic polysilicon gate의 식각율 차를 줄이면서 88도 이상의 식각형상을 나타내었다(그림 3). 이러한 현상은 압력이 줄어들어 wafer cooling 효과가 감소하므로써 온도가 상승하여 측벽에 부착되는 폴리머의 양을 줄임으로써 일어난 것으로 사료된다. 또한 식각 형상의 차는 식각물질의 저항이나 전도도에 큰 영향을 받는 것으로 보고되고 있으며 장비별로 다소의 차이는 있으나 이러한 현상이 완전히 해결되지는 않는 것을 확인할 수 있었다. oxide와의 선택비를 측정해본 결과, 첫 번째 단계에서는 1:15이며 두 번째 단계에서는 1:15임을 알 수 있었다. 따라서 gate oxide가 노출되는 두 번째 단계에서도 damage가 없이 식각이 가능하였다. BARC 식각을 진행한 실험에서는 CF₄ 가스가 적절한 양의 폴리머를 식각 마스크 측벽에 발생시켜 line측벽을 보호함으로써 line width나 식각마스크 형상등에 있어서 유리한 가스임을 알 수 있었다. N₂ 가스를 사용하는 경우에는 측벽에 폴

리머를 형성하지 못하여 critical dimension이 상당히 줄어드는 것을 알 수 있었다. 따라서 CF₄/O₂ 가스를 사용한 경우가 다른 종류의 가스를 사용한 것보다 선택비와 profile측면에서 우수한 형태를 보여 주었다(그림 4).

3.2. 건식각시 Plasma damage 평가

Etch 조건에 따른 GOI(gate oxide integrity) 특성 평가를 하였다. 이 때 측정 방법으로는 breakdown-voltage 측정 결과를 중심으로 antenna effect를 평가하였다(그림 5). Gate oxide에 따른 영향에서는 NO 막이 wet 막보다는 우수한 특성을 보여 주었다. 이것은 NO 막이 wet 막보다 mechanical stress, electric stress, charge density등이 작아서 plasma damage측면에서 우수하기 때문이다 [12]. Mechanical stress가 작은 이유로는 열팽창계수가 wet막보다 작아서 계면에서의 stress가 작기 때문이며 electric stress가 작다는 것은 trap generation의 수가 상대적으로 적다는 것이다. 그리고 charge density가 적은 이유는 Si-H의 연결고리보다 Si-N의 연결고리가 charge 발생을 적게 시키는 것으로 보고되고 있다(그림 6, 그림

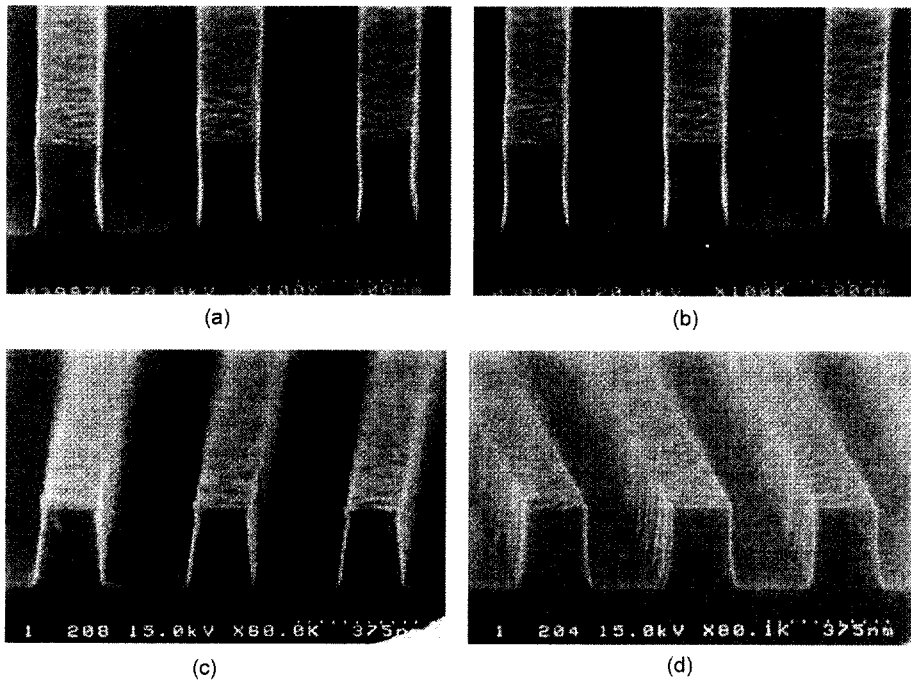


그림 3. Gate Profile according to back He pressure (a) N-doped poly Si gate (4 Torr), (b) intrinsic poly Si gate (4 Torr), (c) N-doped poly Si gate (8 Torr) and (d) intrinsic poly Si gate (8 Torr).

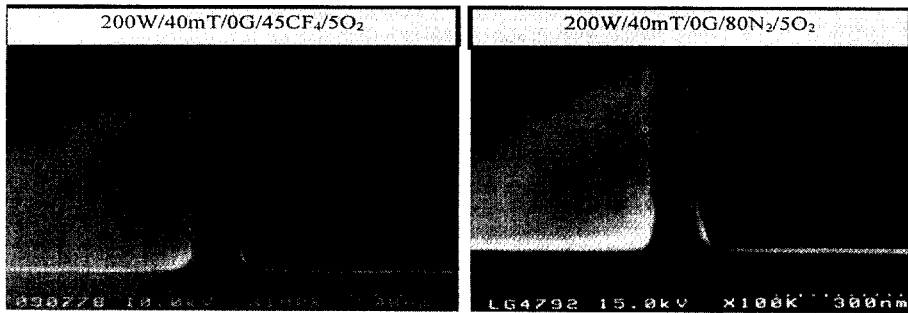


그림 4. Photoresist Profile after etching BARC.

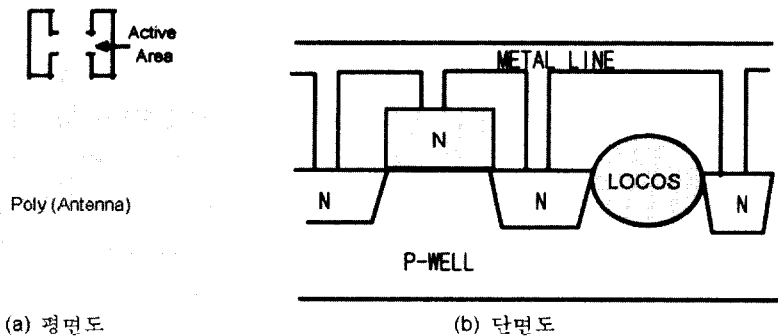


그림 5. Antenna Pattern Description.

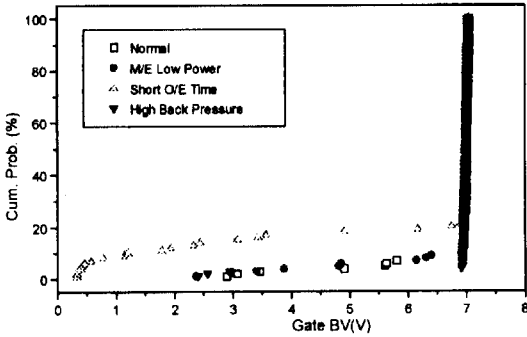


그림 6. Plasma Damage Performance of NO gate oxide thin film (NMOS, fine poly Si, current density 100 A/cm²).

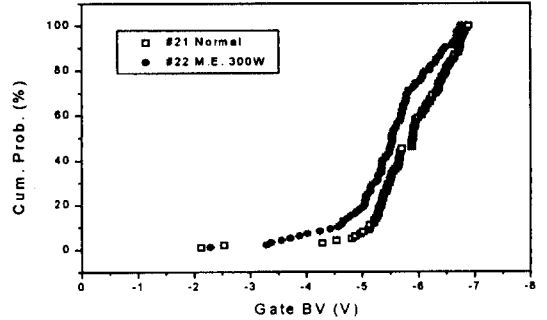


그림 8. Plasma Damage Performance of NO gate oxide thin film (PMOS, fine poly Si, current density 100 A/cm²).

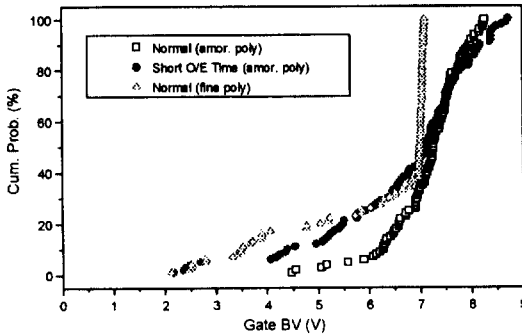


그림 7. Plasma Damage Performance of wet gate oxide thin film (NMOS, current density 100 A/cm²).

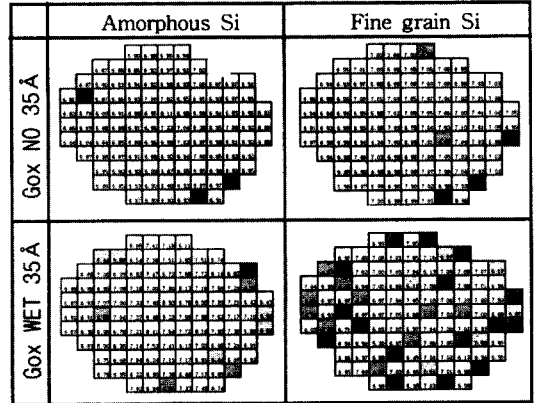


그림 9. wafer mapping of breakdown-voltage at current density 100 A/cm²(V).

7). 그림 6를 보면 두 번째 식각단계에서의 식각 시간이 적은 경우에는 BDV(Breakdown-Voltage)특성결과에서 다른 조건에 비해 10%이상 cum. prob.가 높은 것으로 나타내고 있다. 이것은 wafer의 edge쪽에 residue가 남아서 GOI특성을 저하시키는 것으로 사료된다. 그림 7의 경우 amorphous silicon gate와 fine grain polysilicon gate를 비교하여 보면 6V에서 15%이상 fine grain Si gate의 경우가 특성이 저하되어 있는 것을 볼 수 있다. 이것은 식각시의 두 gate의 특성보다는 증착시의 온도에 따른 gate oxide의 특성이 변화되었기 때문으로 사료된다. PMOS의 경우에는 NMOS와 비교하여 GOI특성이 저하되었는데 이것은 NMOS의 dopant로 사용되는 As보다는 PMOS의 dopant로 사용되는 boron의 열에 따른 확산 속도가 상대적으로 빨라서 동시에 열처리시 PMOS의 B 원자가 gate oxide의 특성을 저하시킨 것으로 판단된다(그림 8). 그림 9는 표 1에 제시한 조건으로 각 wafer를 식각하고 완전한 device를 형성한 후 HP 4062를 이용하여 전류밀도 100 A/cm²에서 breakdown-

voltage를 측정된 결과를 wafer에 나타낸 것이다. wafer의 edge쪽이 breakdown-voltage가 낮은 것으로 나타나고 있는데 이것은 식각 후 residue가 남아거나 photoresist line 등이 제대로 형성되지 않았기 때문이다. Amorphous silicon의 경우에는 대체적으로 양호하나 fine grain polysilicon의 경우에는 wet 막의 상당한 부분에 GOI특성이 저하되어 있는 것을 확인할 수 있었다. 따라서 좋은 GOI특성의 device를 얻기 위해서는 NO막의 gate oxide를 사용하는 것이 유리하리라 판단된다.

4. 결 론

HBr에 비해 Cl₂ 증가시 중간 부분의 bowing이 증가하는 것은 측벽 폴리머를 유발하는 HBr 가스의 양이 적어 상대적으로 Cl₂ 가스에 의한 등방성 식각 특성이라고 볼 수 있다. 압력이 증가된 경우에는 이온간의 충돌을 증가

시켜 등방성 식각을 증가시킨다. N-poly 및 undoped polysilicon gate의 식각형상이 다른 것은 식각율의 차와 doping의 상이함 때문이며 산화막과의 선택비를 높이고 가스의 유량 및 pressure (back He pressure 포함)를 조절하여 식각형상을 동일 수준으로 형성시킬 수 있었다(그림 3). Gate oxide에 대한 antenna effect에서는 NO 막이 wet 막보다는 우수한 특성을 보여주었으며 over etch의 양이 상당히 적은 경우에는 edge쪽에 residue의 영향 등으로 인하여 BDV 특성이 약화된 결과가 나타나고 있음을 알 수 있었다.

참고문헌

- [1] Jan Wauters, Semiconductors, 111 (september 1998).
- [2] L. Su *et al.*, Symposium on VLSI Technology, Santa clara, CA, 12 (1996).
- [3] T. Kuroi *et al.*, *ibid*, 210 (1996).
- [4] B. Davari *et al.*, Proc. of the IEEE, **83**, 595 (1995).
- [5] Z. H. Walker and E. A. Ogryzio, J. Appl. Phys. **69**, 2635 (1991).
- [6] K. Yagi, M. Matsui, and F. Uchida, T. Tokunages, dry process symposium, VII-1 (1995).
- [7] Y. Karzhavin and W. Wu, 3rd Sympo. on Plasma Process-Induced Damage, Honolulu, USA, 80 (1998).
- [8] D. Park and M. Kennard, 3rd Sympo. on Plasma Process-Induced Damage, Honolulu, USA, 56 (1998).
- [9] W. Lukaszek, 2nd Sympo. on Plasma Process-Induced Damage, Monterey, CA, 78 (1997).
- [10] Kazhavin, K. Q. Lao, and W. Wu, IEEE Transation on Electron Devices, **45**, 3 (1998).
- [11] S. V. Nguyen, D. Dobuzinsky, S. R. Stiffler, and G. Chrisman, J. Electrochem. Soc. **138**, 1112 (1991).
- [12] C. Lin, A. I. Chou, and K. Kumar, IEEE, **17**, 331 (1996).