Journal of the Korean Vacuum Society
Vol. 10, No. 1, April 2001, pp. 44~50

급속열처리산화법으로 형성시킨 SiO_2/나노결정 Si의 전기적 특성 연구

김 용 · 박경화 · 정태훈 · 박홍준 · 이재열 · 최원철 · 김은규

동아대학교 신소재 물리학과
한국과학기술연구원 반도체재료연구실
(2000년 6월 16일 접수)

Electrical properties of metal-oxide-semiconductor structures containing Si nanocrystals fabricated by rapid thermal oxidation process

Yong Kim, Kyung Hwa Park, Tae Hun Chung, Hong Jun Bark, Jae-Yel Yi, Won Cheol Choi and Eun Kyu Kim

Department of Physics, Dong-A University, Hadan 2 dong, Sahagu, Pusan, Korea
Semiconductor Materials Research Laboratory, Korea Institute of Science and Technology, P. O. Box 131, Cheongryang, Seoul 130-650, Korea
(Received June 16, 2000)

요 약 – 전자빔증착법과 이온빔의 도움을 받는 전자빔 증착법(Ion beam assisted electron beam deposition; IBAED)법으로 비정질 Si(~200 nm) 박막을 p-Si 기판위에 성장하고 이 두 구조를 급속열처리 산화(Rapid Thermal Oxidation; RTO)를 시킴으로서 SiO_2/ 나노결정 Si(nanocrystal Si)/p-Si 구조를 형성하였다. 그후 시료 위에 Au 막을 증착함으로서 최종적으로 나노결정이 함유된 MOS(metal-oxide-semiconductor) 구조를 완성하였다. 이 MOS 구조내의 나노결정 Si의 전하충전 특성을 바이어스 sweep 비율을 변화시키면서 Capacitance-Voltage(C-V) 특성을 측정하여 조사하였다. 전자빔증착시료의 경우에는 ΔV_{FB}(flatband voltage shift)가 1V 미만의 작은 C-V 이력곡선이 관측된 반면 IBAED 시료의 경우는 ΔV_{FB}가 22V(2V/s voltage sweep비율) 이상인 대단히 큰 C-V 이력곡선이 관측되었다. 전자빔증착중 Ar ion beam을 조사하면 표면 흡착원자이동이 활성화되고 따라서 비정질 Si 내에 Si의 핵 생성율이 증가하여 후속 급속열처리산화공정중 이 높은 농도의 핵들이 나노결정 Si으로 자라나게 되고 이렇게 형성된 높은 농도의 나노결정의 전하 충전 및 방전현상이 큰 이력곡선을 나타내는 원인이라고 생각된다. 따라서 IBAED 방법이 고농도의 나노결정 Si을 형성시키는데 유용한 방법이라고 판단된다.

Abstract – Metal oxide semiconductor (MOS) structures containing nanocrystals are fabricated by using rapid thermal oxidations of amorphous silicon films. The amorphous films are deposited either by electron beam deposition method or by electron beam deposition assisted by Ar ion beam during deposition. Post oxidation of e-beam deposited film results in relatively small hysteresis of capacitance-voltage (C-V) and the flat band voltage shift, ΔV_{FB} is less than 1V indicative of the formation of low density nanocrystals in SiO_2 near SiO_2/Si interface. By contrast, we observe very large hysteresis in C-V characteristics for oxidized ion-beam assisted e-beam deposited sample. The flat band voltage shift is larger than 22V and the hysteresis becomes even broader as increasing injection times of holes at accumulation condition and electrons at inversion condition. The result indicates the formation of slow traps in SiO_2 near SiO_2/Si interface which might be related to large density nanocrystals. Roughly estimated trap density is 1×10^{13} cm^{-2}. Such a large hysteresis may be explained in terms of the activation of adatom migration by Ar ion during deposition. The activated migration may increase nucleation rate of Si nuclei in amorphous Si matrix. During post oxidation process, nuclei grow into nanocrystals. Therefore, ion beam assistance during deposition may be very feasible for MOS structure containing nanocrystals with large density which is a basic building block for single electron memory device.

1. 서 론

최근 단일전자메모리(single electron memory)는 미래의 메모리소자를 담당할 소자로 크게 주목을 받고 있다. Yano [1]에 의하여 단일전자메모리 소자에 대한 연구가 보고된 이래, 이 분야의 연구가 가속되어 Tiwari [2], Chou [3] 등에 의하여 상온동작 단일전자메모리소자가 보고되었고 최근에는 Shin [4] 등에 의하여 상온동작 단일전자메모리소자가 보고된 바 있다. 이런 단일전자소자의 상온동작을 위해서는 전하충전에 의한 쿨롱장벽에너지가 상온의 열에너지보다 커야 하므로 양자점이나 나노결정의 자체전기용량(self-capacitance)이 atto Farad 정도로 작아야한다. 따라서 양자점이나 나노결정의 크기가 10 nm 이하가 되어야한다.

초기의 나노결정의 연구방향은 나노결정이 가시영역이나 근적외선영역에서 높은 양자효율로 발광하는 성질을 실리콘기반 광집적회로에 응용하려는 쪽으로 연구가 집중되었으나 최근에는 이 나노결정구조를 단일전자메모리에 응용하려는 쪽으로 연구방향이 바뀌고 있다. 나노결정을 형성하는 방법은 여러 가지가 보고되었으나 가장 성공적인 방법으로는 이온주입법 [5], co-sputtering 법 [6], 화학기상증착(chemical vapor deposition)에 의한 SRO(silicon rich oxide) 성장법 [7] 등이 있다.

이런 나노결정의 발광현상에 대하여 수많은 연구보고가 있었다. 이들 연구보고의 일관적인 결론은 발광현상에 나노결정의 작은 크기로 인한 양자구속(quantum confinement) 효과가 개입된다는 것이다 [8]. 이러한 수많은 광특성에 대한 보고(주로 photoluminescence 에 관한 보고)에도 불구하고 전기적 특성에 대한 보고는 상대적으로 적다. 본 연구에서는 먼저 기존의 방법과는 달리 실리콘 기판 위에 비정질 실리콘 박막을 전자빔에 의하여 증착한 다음 이 비정질 박막을 급속열처리산화(rapid thermal oxidation)에 의하여 산화시키고 동시에 그 산화층내에 나노결정을 형성시키는 연구를 하였고 이 구조에 금속을 증착하여 MOS(metal-oxide-semiconductor)와 유사한 구조를 형성하여 이 구조의 C-V (capacitance-voltage) 특성을 accumulation과 inversion 바이어스 영역에서 정공과 전자의 주입시간을 변화시켜 가면서 측정을 하였다. 이 보고에서 중요한 점은 단순한 전자빔증착 비정질 박막을 산화시켰을 때는 1V 미만의 이력곡선(hysteresis)이 관측된 반면에 전자빔증착 중에 Ar 이온빔으로 박막표면을 조사하여 표면의 흡착원자(adatom)를 활성화시키는 IBAED 법(Ion beam assisted electron-beam deposition)으로 증착한 후 비정질 실리콘박막을 급속열처리산화한 구조에서는 20V가 넘는 이력곡선이 관측되었다는 사실이다.

2. 실험방법

p형 실리콘 기판 위에 전자빔증착법 및 IBAED 법에 의하여 비정질 실리콘을 200 nm 증착하였다. 이때 IBAED의 경우에 Ar 이온으로 표면을 활성화시켰고 성장속도는 0.5 nm/sec였다. 자세한 성장조건은 이미 보고한 바 있다 [9]. 이 시료를 5N 순도의 산소분위기 속에서 1000°C에서 산화시키거나 같은 순도의 질소분위기속에서 급속열처리 하였다. 급속열처리장치는 자체 제작한 장치로서 시료는 실리콘기판 위에 놓여있고 실리콘 기판은 할로겐 램프에 의하여 약 140°C/sec의 가열속도로 가열된다. 온도감시를 위한 열전쌍이 시료근처의 실리콘 기판에 접촉하고 있으므로 다소의 가열온도의 측정오차가 유발될 수 있다.

시료에 그림자마스크 기법을 이용하여 여러 가지 직경의 Au 막을 진공증착하여 MOS 구조를 형성하였고 이 구조의 C-V 특성을 Keithley 590 C-V analyzer을 이용하여 측정하였다. 측정은 주로 직경 1 mm의 Au 점을 이용하였고 다른 크기의 점은 균일성여부를 확인하는데 사용하였다. 기판의 전극점은 기판을 사포 등으로 연마한 후 In-Ge eutectic을 이용하여 형성하였다. 한편 누설전류는 Keithley 595 picoampere meter을 이용하여 측정하였다. 이상의 모든측정은 상온에서 수행하였다. 일부의 급속열처리된 시료의 단면을 투과형 전자현미경(transmission electron microscope)으로 관찰하였다.

3. 결과 및 고찰

3.1. 급속열처리산화에 의한 산화막형성 조건

먼저 급속열처리산화에 의한 산화막형성조건을 찾기 위해 묽은 불산으로 자연산화막이 제거된 p형 Si 기판을 이용하여 급속열처리산화하였다. 산화후 산화막의 두께는 산화막에 의한 전기용량, C_{ox}로부터 산출하였다. 그림 1은 산화시간과 산화막의 두께의 관계를 나타낸 것이다. 산화막의 성장율은 산화시간이 증가함에 따라 억제되는 결과를 나타내었고 이는 산화막 성장이 Deal-Grove의 산화모델에서 확산제어영역에 속함을 나타낸다

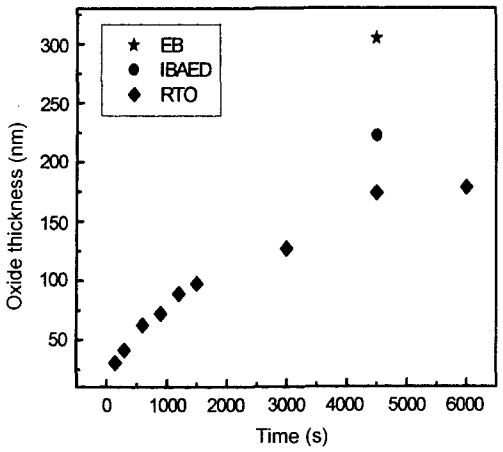

그림 1. 급속열처리 산화시간과 산화막두께.

[10]. 그러나 기존에 보고된 급속열처리산화에 의한 산화막에 형성에 관한 연구는 얇은 산화막의 두께조절과 그 특성을 목표로 한 연구여서 산화막 두께가 20-30 nm 이하로 국한되어있다 [11]. 따라서 본 연구결과와 같이 두꺼운 산화막성장에 관한 연구는 보고되어있지 않아서 직접적으로 비교하기가 어렵다. 본 연구에서의 산화막 성장은 급속열처리장치의 과열현상을 막기위해 150초 단위로 가열한 다음 산소분위기에서 480초간 냉각하고 다시 가열하는 방식으로 진행하였으므로 이 과정중에 잔류가스의 오염 혹은 열스트레스에 의하여 산화막에 산화막트랩(oxide trap)이 존재할 수 있다. 그림 2는 180 nm 산화막두께의 MOS 시료의 C-V 곡선이다. 이때 flatband voltage shift는 -10V로서 $(C_{ox}/q)\Delta V_{FB}$로 [12] 산출한 산화막포획전하(oxide trapped charge)의 양은 $1.2\times10^{12}\,cm^{-2}$로서 상당히 많은 편이다. flat-band voltage가 음의 방향으로 이동하였으므로 포획된 전하는 양전하이다. 그림 2에 나타낸 것처럼 이들 시료에서는 bias를 +에서 -로 다시 -에서 +로(혹은 그 반대로) dual sweep을 하여도 어떠한 이력현상도 관측되지 않았다. 따라서 산화막에 관련된 포획전하는 계면포획전하(interface trapped charge)처럼 대단히 빠른 것들이나 고정산화막전하(fixed oxide charge)나 산화막포획전하처럼 바이어스변화에 둔감한 것들이라고 결론 낼 수 있다.

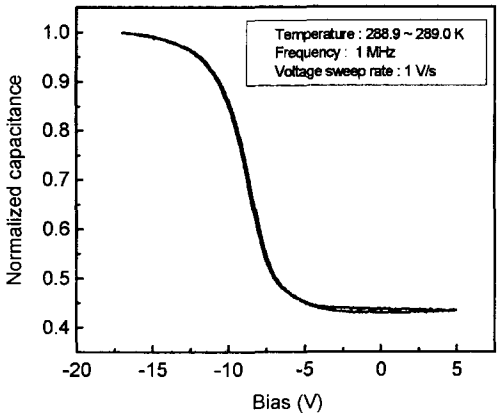

그림 2. 급속열처리 산화된 산화막의 C-V 곡선.

그림 1에 4500초 동안 산화한 IBAED 시료와 전자빔 증착시료의 산화막의 두께를 실리콘기판을 산화한 시료의 결과와 함께 나타내었다. 이 결과에서 비정질층의 산화막의 성장속도가 결정질의 산화막성장속도보다 훨씬 빠른 것을 알 수 있다. 산화막의 두께산출에는 SiO_2의 유전상수를 가정하였으므로 이 가정이 비정질층 위에 산화한 경우에도 적용이 될 수 있는지는 의문이나 그 전체적인 경향이 옳다고 보면 비정질층의 빠른 산화막 성장속도는 산소의 빠른 확산속도로 충분히 해석이 된다 [10]. 흥미로운 점은 두 비정질막의 산화경우를 서로 비교해 볼 때 전자빔의 증착 시료의 경우가 IBAED 시료의 경우보다 산화속도가 훨씬 빠르다는 점이다. 우리들의 이전의 연구에서 두 가지 시료의 1000°C에서 10 분간 질소분위기에서 급속열처리한후 나노결정형성 여부에 관한 연구를 투과형전자현미경관찰을 통하여 수행한 바 있다. 그 결과 전자빔에 의하여 증착한 시료의 경우에 어떠한 나노결정도 관찰되지 않은 반면에 IBAED 시료의 경우에 그림 3에 나타낸 바와 같이 계

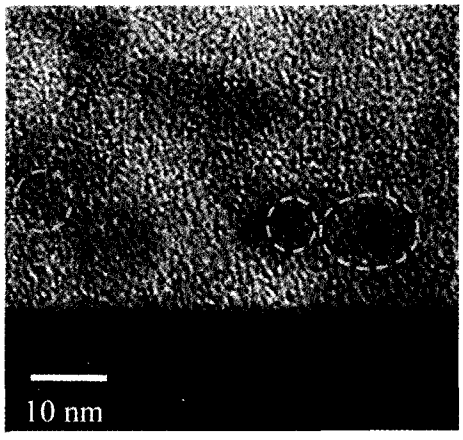

그림 3. 질소분위기에서 10분간 1000°C에서 열처리한 IBAED 시료의 단면 투과형 전자현미경사진.

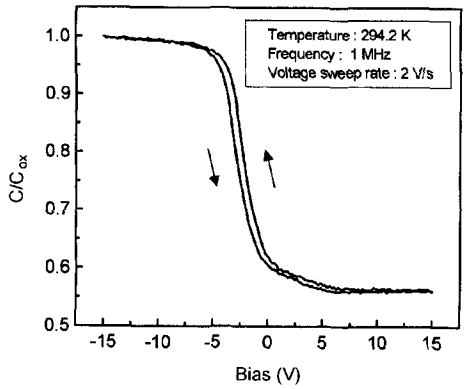

그림 4. 2V/s의 바이어스 sweep 비율로 측정한 전자빔증착 시료의 C-V 곡선.

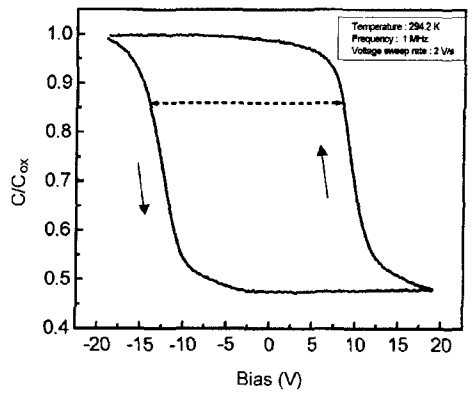

그림 5. 2V/s의 바이어스 sweep 비율로 측정한 IBAED 시료의 C-V 곡선.

면 근처에 다수의 나노결정이 관찰되었다. 전자빔증착중에 Ar 이온빔을 조사하면 표면 흡착원자의 이동(migration)이 활성화된다. 따라서 핵생성율이 크게 증가할 수 있다. 최근에 체계적으로 review 한 Spinella 등의 보고에 따르면 핵생성율은 100배이상 증가할 수 있다 [13]. 따라서 후속 열처리 과정에서 이 핵들이 나노결정으로 성장된다고 할 수 있다. 한편 이 다수의 나노결정은 산소의 빠른 확산을 저지할 수 있다. 이런 관점으로 IBAED 시료가 전자빔시료에 비하여 산화율이 더딘 요인을 설명할 수 있다.

3.2. C-V 측정

그림 4는 전자빔시료의 C-V 측정결과이다. 2V/s의 측정속도로 측정하였고 반시계방향의 이력현상이 관측되었다. 이때 flat band voltage shift는 0.66V이었다. 이 시료의 바이어스 sweep율을 감소시키면 이력곡선의 폭이 좀더 넓어지고 따라서 flat band voltage shift도 증가하였다. 최대 flat band voltage shift는 약 1V 이었다. 만일 IBAED 시료에 다수의 나노결정이 형성되었다면 특이한 C-V 결과가 기대된다. 실제로 IBAED 시료의 경우에 대단히 특이한 C-V 특성이 관측되었다. 그림 5는 IBAED 시료의 전자빔시료의 경우와 같은 2 V/s의 측정속도로 측정한 C-V 결과로서 flat band voltage shift가 22V인 대단히 큰 반시계방향의 이력현상이 관측되었다. 본 저자가 여러 가지 방법으로 문헌조사를 하여 이렇게 큰 이력현상에 관한 보고가 있는지 여부를 조사하였으나 발견하지 못했다. 바이어스 sweep 비율이 감소하면 이력곡선의 폭이 더욱 증가하였

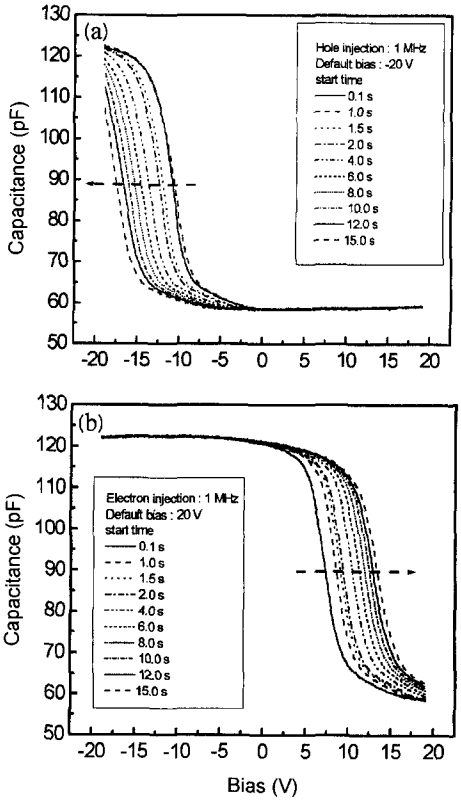

그림 6. IBAED 시료의 (a) -20V에서 정공주입시간에 따른 C-V 곡선변화, (b) +20V에서 전자주입시간에 따른 C-V 곡선변화.

다. 그림 6(a)은 −20 V accumulation 지역(전자방출 혹은 정공주입 지역)에서 일정시간(0~15초) 머문 후 빠른 바이어스 sweep 비율(10V/s)로 +20V inversion 지역으로 이동하면서 측정한 결과이고 그림 6(b)는 +20V

inver-sion 지역(전자주입 혹은 정공방출)에서 역시 일정 시간 (0~15 초) 머문 후 -20 V 지역으로 이동하면서 측정한 결과이다. 그림 6(a)와 (b)에서 알 수 있듯이 주입시간이 증가할수록 이력곡선의 폭이 증가하는 방향으로 C-V 곡선이 이동하는 것을 알 수 있다.

일반적으로 산화막에 존재하는 덫(trap)에 포획된 전하는 산화막포획전하, 고정산화막전하, 이동이온전하(mobile ionic charge), 계면포획전하 등으로 분류된다 [14]. 이밖에도 자외선조사, X-선 방사, 혹은 장시간 전압스트레스(voltage stress)를 인가하면 계면근처의 산화막내에 덫이 형성되고 이 덫은 턴넬링(tunneling) 현상에 의하여 Si 기판과 전하교환을 한다. 이러한 종류의 덫을 border trap 혹은 slow trap이라고 한다[15]. 이 border trap이 존재하는 경우에 보통 C-V 이력곡선이 관측된다. Fleetwood에 의하면 이러한 이력현상은 전하의 포획률과 방출율이 다를 때 혹은 border trap 이 주개(donor) 형 덫이라고 가정할 때 inversion에서 accumulation로 바이어스가 진행할 때 충전된 전하를 완전히 방전하는 바이어스점과 역으로 accumulation에서 inversion으로 바이어스가 진행할 때 전하를 완전히 충전하는 bias 점이 다를 때 일어난다고 설명하였다 [15].

그림 7(a)는 border trap이 주개형 일 때의 예측되는 C-V 이력곡선이고 그림 7(b)는 border trap이 받개(acceptor)형 일 때의 예측되는 C-V 이력곡선이다. 그리고 그림 7(c)는 border trap이 양성거동(amphoteric behavior)을 할 때의 예측되는 C-V hysteresis 곡선이다. 어느 경우나 sweep율를 감소시킴에 따라 이력곡선의 폭(즉 flat band voltage shift, ΔV_{FB})이 넓어진다. 다만 주개형 border trap의 경우에 역방향 C-V 곡선(즉 inversion에서 accumulation로 방향)이 sweep율 감소에 따라 이상적인 C-V 곡선에 점점 접근하고 받개형 border trap은 그 반대이다. 그림 7에 나타낸 것처럼 border trap의 형이 주개형이든 받개형이든 관계없이 기판이 p형 기판일 경우에 항상 반시계방향의 이력곡선을 나타낸다. 그리고 기판이 n형 기판일 경우에는 항상 시계방향의 이력곡선을 나타낸다. 일부 문헌에서 반시계방향의 이력곡선으로부터 덫이 주개형 덫이라고 해석을 하기도 하나 이는 잘못된 해석이다.

본 연구에서 관측한 C-V 곡선은 여러 가지 면에서 그 거동이 border trap가 유사하다. 그러나 본 연구에 사용된 시료의 형성조건이 자외선조사, X-선 방사, 혹은 장시간 전압스트레스 등의 border trap의 형성조건과 무관하기 때문에 이렇게 큰 이력곡선을 보이는 C-V 곡선이 Si/SiO_2 계면근처에 SiO_2 내에 존재하는 나노결정 혹은 나노결정의 계면에 존재하는 덫의 충전 및 방전에 기인되는 현상이라고 생각된다. 실제로 몇몇 문헌에서 본 연구와 같이 큰 이력곡선은 아니지만 나노결정이 함유된 MOS 구조의 시료에서 C-V 이력곡선이 보고되었다 [16-19]. 그림 8(a)와 (b)는 전자빔시료와 IBAED 시료의 전자와 정공 주입시간에 따른 flat band voltage의 변화를 나타낸 것이다. 누설전류가 있거나 또는 절연층의 두께가 얇아서 턴넬링현상이 허용되는 경우에 주입되는 전하량을 계산할 수 있으나 [18, 20] 본 시료의 경우에는 절연막이 두꺼워서 누설전류가 작고 충전현상이 주로 displacement current 에 의하여 이루어지므로 계산할 수가 없었다. 정량적인 주입전하의 양은 알 수 없었지만 그림 8(a),(b)에서 알 수 있듯이 주입시간이 증가함(즉 주입전하량이 증가함)에 따라

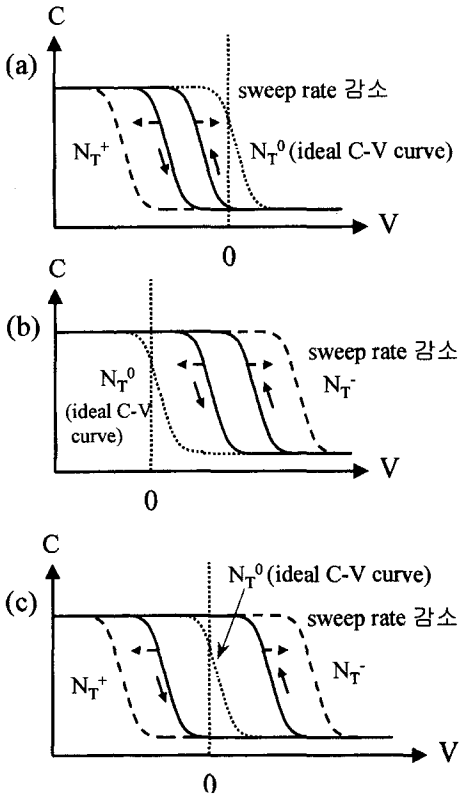

그림 7. N 채널 MOS 구조의 C-V 이력곡선의 개념도 (a) 주개형 덫이 개입될 때, (b) 받개형 덫이 개입될 때, (c) 양방성 덫이 개입될 때.

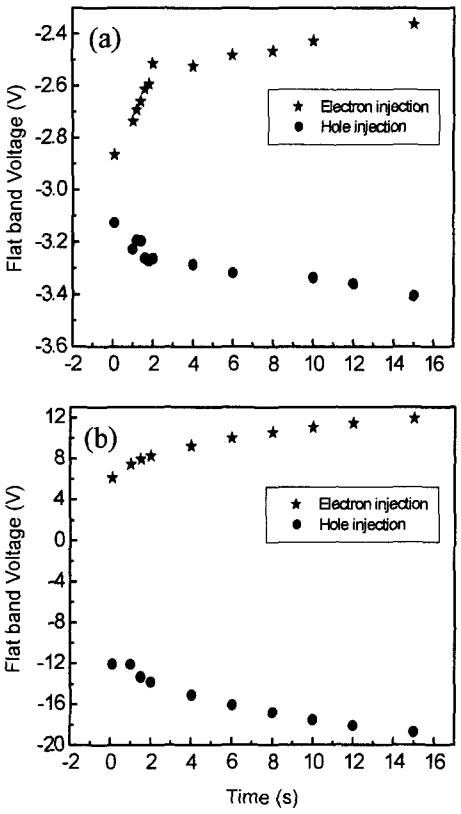

그림 8. (a) 전자빔시료의 전자 및 정공주입시간에 따른 flat band voltage 이동, (b) IBAED 시료의 전자 및 정공주입시간에 따른 flat band voltage 이동.

flat band voltage 이동이 점점 포화되어간다. 또한 전자빔시료와 IBAED 시료에 관계없이 flat band voltage 이동이 거의 대칭적임을 알 수 있다. 15초 동안 전자주입 혹은 정공주입후 이동된 flatband voltage의 절반을 나노결정에 의한 flatband voltage shift라고 어림할 수 있다. 이 값과 $(C_{ox}/q)\Delta V_{FB}$을 이용하여 나노결정의 농도를 환산하여 보면 약 $1.5\times 10^{13}\,cm^{-2}$이라고 환산할 수 있다. 현재 주로 보고되는 나노결정의 표면 밀도는 $10^{12}\,cm^{-2}$ 정도이다 [21]. 따라서 본 연구결과는 다른 결과에 비하여 10배이상 많은 결과이다. 본 연구결과의 나노결정의 경우에 산화막전체에 퍼져있을 것이므로 다중접합 턴넬링(multi junction tunneling; MTJ) 현상에 의한 과도산출의 결과로 생각할 수도 있다.

현재 본연구에서 보고한 전하충전현상이 나노결정 자체의 충전현상인지 또는 나노결정자체와 나노결정주변의 덫이 함께 전하충전에 관여하는지 분명하지 않다. 최근 Y. Shi [16] 등은 열처리 분위기에 따라 C-V 이력곡선이 달라지는 것을 보고하였다. 그래서 수소분위기에서 열처리할 때 이력곡선의 폭이 제일 좁아지는 연구결과를 얻었다. 이런 연구결과에 비추어 볼 때 본 시료의 C-V 이력현상에도 나노결정과 SiO_2와의 계면에 존재할 수 있는 덫이 작용을 할 가능성이 높다. 만일 하나 이상의 덫이 계면근처에 존재할 경우에 실제 나노결정의 수는 C-V 측정으로부터 결정한 값보다 훨씬 작을 수 있다. 계면 덫의 영향을 정밀하게 조사하기 위해 전기용량 감쇄(capacitance transient)에 대한 연구가 진행중이며, 박막의 나노결정의 밀도를 산출하기위한 투과형전자현미경의 관찰에 대한 연구가 진행중이다.

4. 결 론

전자빔 방법과 전자빔증착중 Ar 이온빔을 조사하는 IBAED 방법으로 비정질 Si 박막(~200 nm)을 p형 Si 기판위에 증착을 한 다음, 이 시료들을 급속열처리 산화하고 Au 막을 증착하여 MOS 구조를 형성하여 C-V 측정을 한 결과, IBAED 시료에서 20V가 넘는 flat band voltage shift를 보이는 큰 C-V 이력현상을 발견하였다. 그리고 accumulation 지역과 inversion 지역에서 각각 정공과 전자를 주입시간을 달리하여 주입한 다음 C-V 측정을 한 결과 주입시간에 따라 flat band voltage shift가 증가하였고 약 15초 정도에 shift가 둔화되면서 포화현상을 보였다. flat band voltage shift로부터 나노결정의 농도를 환산한 결과 약 $1\times 10^{13}\,cm^{-2}$의 나노결정이 존재할 수 있음을 보였다. 이렇게 높은 밀도의 나노결정형성은 전자빔 증착중 Ar 이온의 표면부착원자의 활성화에 의하여 형성된 높은 밀도의 Si 핵이 그 원인이라고 생각된다. 따라서 IBAED 방법으로 비정질 막을 증착하고 이를 후속 열처리산화하는 방법이 높은 밀도의 나노결정을 형성하는 데 유용한 방법임을 보였다.

감사의 글

이 논문은 1999학년도 동아대학교 학술연구조성비(신진과제)에 의하여 연구되었음.

참고문헌

[1] K. Yano, T. Ishii, T. Hashimoto, T. Kobayashi, F. Murai, and K. Seki, IEEE Trans. Electron Devices **41**, 1628 (1994).

[2] S. Tiwari, F. Rana, H. Hanafi, A. Hartstein, E. F. Crabbe, and K. Chan, Appl. Phys. Lett. **68**, 1377 (1996).

[3] L. Guo, E. Leobandung, and S. Y. Chou, Appl. Phys. Lett. **70**, 850 (1997).

[4] I. Kim, S. Han, K. Han, J. Lee, and H. Shin, IEEE Elect. Device Lett. **20**, 630 (1999).

[5] K. S. Min, K. V. Shcheglov, C. M. Yang, H. Atwater, M. L. Brongersma, and A. Polman, Appl. Phys. Lett. **68**, 2511 (1996).

[6] M. Fujii, S. Hayashi, and K. Yamamoto, Jpn. J. Appl. Phys. **30**, 687 (1991).

[7] T. Inokuma, Y. Wakayama, T. Muramoto, R. Aoki, Y. Kurata, and S. Hasegawa, J. Appl. Phys. **83**, 2228 (1998).

[8] S. Takeoka, M. Fujii, S. Hayashi, and K. Yamamoto, Phys. Rev. **B58**, 7921 (1998).

[9] E. K. Kim, W. C. Choi, S-K. Min, and C-Y. Park, Mat. Res. Soc. Symp. Proc. **486**, 231 (1998).

[10] S. K. Ghandhi, VLSI fabrication principles, 2nd ed. (Wiley, New York, 1994), Chap 7.

[11] M. M. Moslehi, S. C. Shatas, and K. C. Sarawat, Appl. Phys. Lett. **47**, 1353 (1985).

[12] E. H. Nicollian, and J. R. Brews, MOS physics and technology (Wiley, New York, 1982) p. 423.

[13] C. Spinella, S. Lombardo, and F. Priolo, J. Appl. Phys. **84**, 5383 (1998).

[14] S. M. Sze, Physics of semiconductor devices, 2nd ed. (Wiley, New York, 1981), p380.

[15] D. M. Fleetwood, M. R. Shaneyfelt, W. L. Warren, J. R. Schwank, T. L. Meisenheimer, and P. S. Winokur, Microelectron. Reliab. **35**, 403 (1995).

[16] Y. Shi, K. Saito, H. Ishikuro, and T. Hiramoto, J. Appl. Phys. **84**, 2358 (1998).

[17] L. Tsybeskov, G. F. Grom, M. Jungo, L. Montes, P. M. Fauchet, J. P. McCaffrey, J.-M. Baribeau, G. I. Sproule, and D. J. Lockwood, Mater. Sci. & Eng. **B69-70**, 303 (2000).

[18] T. Kobayashi, T. Endoh, H. Fukuda, S. Nomura, A. Sakai, and Y. Ueda, Appl. Phys. Lett. **71**, 1195 (1997).

[19] S. Lombardo, S. Coffa, C. Bongiorno, C. Spinella, E. Castagna, A. Sciuto, C. Gerardi, F. Ferrari, B. Fazio, and S. Privitera, Mat. Sci. Eng. **B69-70**, 295 (2000).

[20] S-K. Choi, and R. G. Elliman, Appl. Phys. Lett. **75**, 968 (1999).

[21] T-S. Yoon, J-Y. Kwon, D-H. Lee, K-B. Kim, S-H. Min, D-H. Chae, D. H. Kim, J. D. Lee, B-G. Park, and H-J. Lee, J. Appl. Phys. **87**, 2449 (2000) and references there in.