

W-TiN 복층 전극 소자에서 TiN 박막 형성 조건에 따른 특성 분석

윤선필 · 노관종 · 양성우 · 노용한* · 김기수* · 장영철* · 이내응*

성균관대학교 전기전자및컴퓨터공학부, *성균관대학교 재료공학과
(논문접수일 : 2000년 7월 13일)

Characteristics of W-TiN Gate Electrode Depending on the Formation of TiN Thin Film

Sunpil Youn, Kwanchong Roh, Sungwoo Yang, Yonghan Roh,*
Ki-Su Kim*, Young-Chul Jang*, and Nae-Eung Lee*

School of Electrical and Computer Engineering, Sungkyunkwan University

**Materials Engineering, Sungkyunkwan University*

(Received July 13, 2000)

요 약

TiN을 불소의 확산 방지막으로 사용한 W-TiN 복층 게이트 소자의 물리적·전기적 특성 변화를 살펴보았다. TiN 스퍼터링 증착시 N₂/Ar 가스 비율이 증가할수록 TiN 박막은 N-과다막이 되어 비저항이 증가하였으나, W-TiN 복층 구조에서는 N₂/Ar 가스 비율이 증가할수록 상부 텅스텐 박막의 결정화가 증가하여 비저항이 감소하였다. 한편, 같은 N₂/Ar 비율의 경우, TiN 박막 열처리 온도 변화(600~800°C)에 무관하게 W(110) 방향으로 우선 배향된 결정 구조를 보였다. 누설 전류 특성은 TiN 증착시 N₂/Ar 비율 변화에 무관하게 우수하였으며, TiN을 확산 방지막으로 사용함으로써 순수 텅스텐 전극만을 적용시 나타나는 초기 저전계 누설 특성을 향상시킬 수 있음을 확인하였다.

Abstract

We have characterized physical and electrical properties of W-TiN stacked gate electrode structure with TiN as a diffusion barrier of fluorine. As the N₂/Ar gas ratio increased during sputter deposition, TiN thin films became N-rich, and the resistivity of the films increased. However, the resistivity of W-TiN stacked gate reduced as a result of the crystallization of tungsten with the increase of N₂/Ar gas ratio. On the other hand, tungsten in W-TiN stacked gate structure have the (100)-oriented crystalline structure although TiN films were subjected to annealing at high temperature (600~800°C). Leakage currents of W-TiN gate MOS capacitors were less than 10⁻⁷ A/cm² and also were lowered by the order of 2 compared with those of pure W gate electrode.

1. 서 론

금속-산화막-반도체(MOS) 소자를 이용하는 집적 회로의 발전은 게이트 전극의 규격 및 저항 감소를

필요로 한다. 현재까지 게이트 전극으로 이용되고 있는 폴리 실리컨막은(폴리사이드도 동일) 산화막과의 호환성은 좋으나 초미세소자에서는 불순물의 산화막을 통한 확산과 불순물의 불충분한 활성화에

의한 공핍현상 및 그로 인한 문턱전압 제어가 어려운 것이 문제점으로 지적되고 있다 [1,2]. 그러나, 적절한 일함수를 갖는 금속 게이트는 저항이 낮을 뿐만 아니라 불순물의 확산과 게이트 공핍으로 인한 문제를 해결할 수 있다.

금속 게이트 물질 중 저항이 낮고 녹는점이 매우 높은 내화성금속(refractory metal)의 하나인 텅스텐(tungsten, W)은 차세대 MOS 소자의 유력한 대체 게이트 금속으로 일찍부터 연구되어 왔다 [3-7]. 텅스텐을 산화막 위에 증착하는 방법은 스퍼터링(sputtering)과 화학기상 증착(CVD) 방식이 가능하다. 스퍼터링에 의한 텅스텐 증착은 산화막과의 접착성은 우수하나, 증착 과정 동안 산화막(SiO₂)에 손상을 주어 게이트 산화막의 특성을 열화시킬 수 있다 [4,7]. 반면, 화학기상 증착에 의한 텅스텐 성장은 스퍼터링보다 저항이 낮고 균일한 막을 얻을 수 있으나, WF₆와 SiH₄을 반응 가스로 사용하여 증착시킬 경우, 게이트 산화막 속에 불소(F)가 유입되어 소자의 누설전류가 크게 증가할 수 있다 [8-9]. 이러한 문제점을 해결하기 위하여 TiN을 확산 방지막으로 사용한 W-TiN 복층 게이트가 제안되어 연구되어 왔으나, 현재까지 TiN의 구조와 증착 조건 변화에 따른 W-TiN 복층 게이트의 물리·전기적인 특성 변화 연구는 미흡하였다 [10-11].

본 연구에서는 반응성 스퍼터링 방식에 의해 TiN을 증착하고 그 위에 LPCVD 방식으로 텅스텐(W)을 증착한 W-TiN 복층 게이트에 대해 연구하였다. 특히, TiN의 증착시 N₂/Ar의 가스 비율 변화 및 TiN 증착후 열처리 온도변화에 따른 W-TiN 복층막의 구조적 변화 및 W-TiN 복층 게이트 MOS 소자의 전기적인 특성 변화를 살펴보았다.

2. 실험 방법

본 연구에서는 TiN 증착을 위해 마그네트론 스퍼터를 사용하였고, 상부 텅스텐 박막의 증착을 위해 cold wall 방식의 저압 화학기상 증착(LPCVD) 시스템을 사용하였다. 세정된 p-Si (100) 웨이퍼위에 금속 열처리기에 의해 850°C에서 80 초간 110 Å의 열산화막을 성장시키고 850°C에서 60 초간 POA(Post Oxidation Annealing)를 수행한 후, 그 위에 반응성

스퍼터링법으로 TiN을 500 Å 증착하였다. TiN의 증착조건으로 온도, 압력, power는 각각 상온, 6 mTorr, 100 W로 고정시키고 N₂ 대 Ar의 유량 비율(N₂/Ar)을 1/6, 3/6, 6/6 sccm으로 변화시켰다. 한편, TiN 박막의 열처리 전후 특성 비교를 위해 TiN/SiO₂/Si 구조를 갖는 시료들을 진공분위기, 600~800°C에서 금속 열처리(RTA)를 수행하였다. 상부막으로 텅스텐을 350°C, 0.7 Torr, WF₆/SiH₄/H₂=5/10/500 sccm 조건에서 2000~3000 Å 두께로 증착하였다. 전기적 소자 분석을 위해, photolithography 공정 및 습식 에칭을 통해 200 μm×200 μm의 캐패시터 면적을 갖는 W-TiN 복층 게이트 MOSC를 제작하였고, 비교분석을 위해 같은 두께를 갖는 산화막을 이용한 텅스텐 게이트 MOSC도 제작하였다.

N₂/Ar 비율의 영향을 살펴보기 위해, TiN 박막의 조성변화를 AES를 통해 분석하였고 TiN막과 W-TiN 복층막의 결정성 및 저항 변화를 각각 XRD와 4-point probe를 사용하여 분석하였다. 제조된 W-TiN 복층 게이트 MOS 캐패시터의 누설전류 특성은 HP 4140B pA meter/dc voltage source를 사용하여 측정하였다.

3. 결과 및 논의

TiN 박막의 열처리전 N₂/Ar의 비율에 차이에 따른 조성 변화를 AES를 통해서 살펴보았다. 그림 1은 열처리전 TiN(~500 Å)/SiO₂/Si 구조의 깊이에 따른 AES 분포를 나타낸 것이다. 분석에 사용된 시료들은 온도, 압력, power 등의 조건은 동일하고 단지 N₂/Ar 가스 비율을 1/6, 3/6으로 다르게 하여 증착되었으며, 깊이에 따른 조성분포 분석을 위해 시료를 ~50 Å/min의 속도로 스퍼터링하면서 분석하였다. 그림 1(a) 및 1(b)에서 볼 수 있듯이, N₂/Ar 비율에 무관하게 TiN 막내의 Ti와 N의 분포가 약간의 변화는 있으나 일정하게 분포함을 볼 수 있으며, 이것은 스퍼터링동안 성장되는 막이 정량 화학성을 갖고 성장되었음을 나타낸다. 한편, N₂/Ar 비율의 차이에 따라 Ti와 N의 비율의 차이가 있음을 확인할 수 있다. N₂/Ar 가스 비율이 1/6에서 3/6으로 증가할수록 Ti의 atomic %는 거의 변화가 없으나 N의 경우 크게 증가되었다. 구체적인 조성분석으로는 다소 부정확한 방법이지만, sensitivity를 고려하여 조

성을 분석한 결과 $N_2/Ar=1/6$ 인 경우는 $TiN_{0.82}$ 이고, $N_2/Ar=3/6$ 인 경우 $TiN_{0.94}$ 로 나타났다. 이러한 결과는 반응성 스퍼터링 방식에 의한 TiN 증착시, 반응 가스 중 질소의 비율이 높아질수록 Ti-과다에서 N-과다의 방향으로 변함을 보여준다. 기존 보고된 문헌에 따르면 TiN의 조성비가 $Ti:N=1:1$ 인 경우가 확산 방지막 특성이 가장 좋은 것으로 나타나고 있다 [12]. TiN 막내에 Ti와 N 외에 다소 많은 O와 C의 양이 검출되었는데 이것은 TiN 증착시 스퍼터링 시작전에 행하는 pre-sputtering시간의 부족과 base pressure가 낮아서, 증착시스템 내부와 target표면에 남아있던 O와 C가 증착되는 TiN 막내에 유입된 것으로 사료된다.

그림 2는 TiN 증착시 N_2/Ar 비율 차이 및 열처리 온도 차이에 따른 W-TiN 복층 박막의 XRD 측정 결과이다. 그림 2(a)는 N_2/Ar 비율을 다르게 하여 TiN

증착한 후 그 위에 텅스텐을 증착한 시료들을 분석한 XRD 결과이며, 그림 2(b)는 같은 가스비율(1/6)에서 증착된 TiN 박막을 $600\sim 800^\circ C$ 의 각기 다른 온도에서 열처리한 후 그 위에 텅스텐을 증착한 시료들을 분석한 결과이다. XRD 결과들에서 TiN에 해당하는 피크치들은 관측되지 않고 하부 기판인 Si와 α -W에 해당하는 피크치들만이 관측됨을 볼 수 있다. TiN의 XRD 피크치가 관측되지 않는 이유는 TiN의 두께가 얇기 때문일 수도 있으나 분석에 사용된 시료구조가 $W(\sim 3000 \text{ \AA})/TiN(\sim 500 \text{ \AA})$ 으로 TiN이 충분히 두껍기 때문에 가스비율 및 열처리 온도에 무관하게 TiN이 비정질(amorphous) 또는 미세결정(microcrystalline)상태를 유지하기 때문으로 보여진다. TiN의 결정화 온도에 대해 여러 결과들이 보고되고 있고, 증착 방법 및 증착 온도, 열처리 조건에

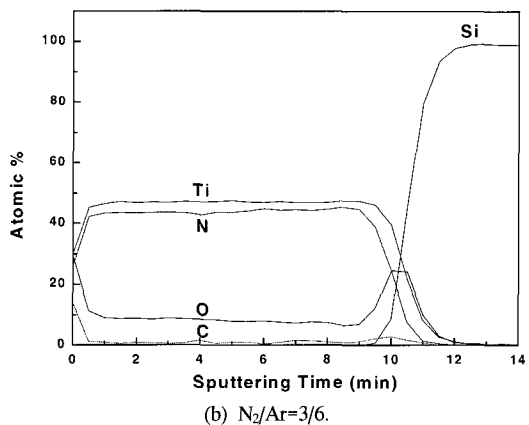
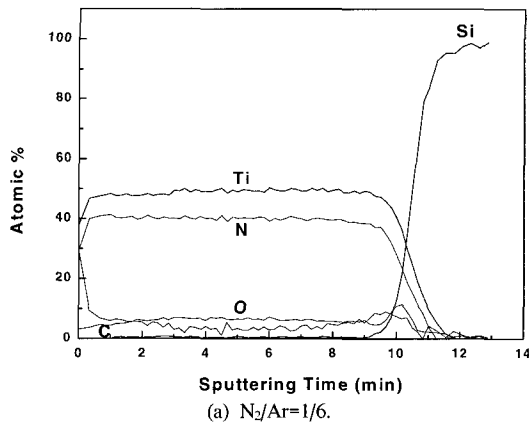


그림 1 TiN 증착시 N_2/Ar 가스 비율 변화에 따른 AES 결과.

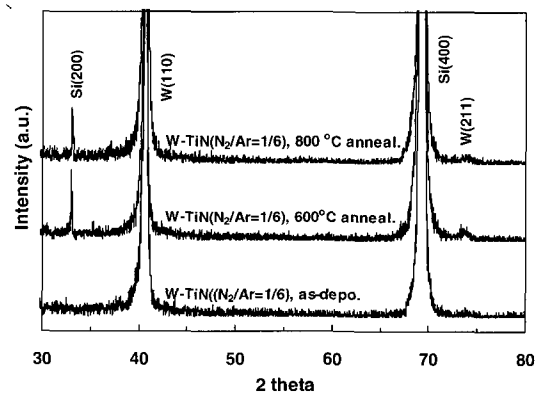
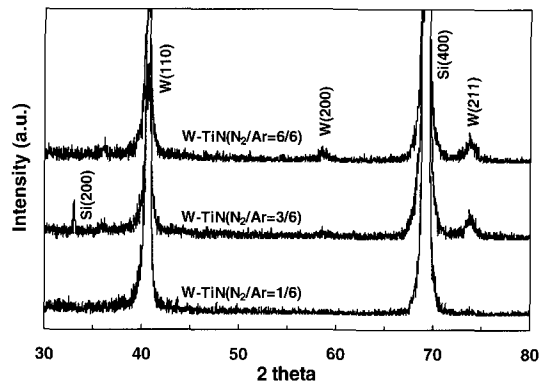


그림 2 TiN 증착시 N_2/Ar 가스 비율 변화 및 열처리 온도 변화에 따른 W-TiN 복층 박막의 XRD 결과.

따라 그 결과가 다르겠지만, 본 실험에서 증착된 박막은 가스비율에 무관하고 800°C 열처리후에도 비정질 또는 미세결정 상태를 유지함을 알 수 있다. 그림 2(a)에서 TiN 증착시 N₂/Ar 비율변화에 무관하게 W(110) 피크가 모두 강하게 나타났고, N₂/Ar 비율이 3/6인 조건에서 W(211) 피크가 보이기 시작하여 N₂/Ar 비율이 6/6인 조건에서 W(211)의 피크치가 증가하고, 또 다시 새로운 W(200) 피크가 관측됨을 볼 수 있다. 반면, 그림 2(b)에서는 같은 N₂/Ar 비율 내에서 열처리가 온도가 다를지라도 약한 W(211) 피크치가 나타났지만, 주로 W(110) 피크치만 관측됨을 볼 수 있다. 이러한 결과들은 W-TiN 복층 게이트에서 상부 텅스텐 막의 결정화가 하부 TiN의 열처리 조건에는 무관하게 W(100) 방향으로 우선배향 성장됨을 보여주고, TiN 증착조건인 N₂/Ar 비율에 따라 상부 텅스텐의 결정화가 W(100) 외에 다른 방향으로의 성장도 나타남을 보여준다. 일반적으로 배향면이 증가할수록 금속막의 결정화는 증가하기 때문에 상부 텅스텐의 결정화는 TiN의 증착시 N₂/Ar 가스 비율이 커질수록 증가하는 것으로 판단된다. 기존 보고에 따르면 TiN의 결정성은 N-과다가 될수록 더 강해진다 [12]. 비록 XRD 상에서는 TiN의 결정성 변화를 관측할 수 없었지만, N₂/Ar 가스 비율이 커질수록 TiN 박막이 N-과다가 되어 상부 텅스텐 막의 결정성에 영향을 준 것으로 사료된다.

그림 3은 TiN 및 W-TiN 복층 구조의 TiN 증착시 N₂/Ar 가스 비율 변화에 따른 비저항의 변화를 나타낸 것이다. TiN의 경우 N₂/Ar 비율이 증가할수록

비저항이 급격히 증가하였으나, W-TiN 복층 박막의 경우 비저항은 서서히 감소하였다. 이러한 결과는 TiN 박막의 경우 AES 결과에서도 알 수 있듯이 N₂/Ar 가스 비율이 증가할수록 막의 조성이 N-과다가 되어 비저항이 증가하기 때문이다. 반면, W-TiN 복층 박막의 경우, 하부 TiN 박막의 경우 N₂/Ar 가스 비율이 증가할수록 TiN의 저항은 증가하지만, 그 위에 증착되는 텅스텐은 그림 2(a)에서 살펴보았듯이 질소의 유량이 증가할수록 결정화가 증가되므로 W-TiN 전체 박막의 비저항은 감소된 것으로 보여진다. 또한, 텅스텐의 증착 온도가 350°C 이므로 상온에서 증착된 TiN이 텅스텐 증착동안 비저항이 감소하는 것 역시 무시할 수 없다. 결국 W-TiN 복층 구조의 비저항은 하부 TiN의 비저항보다 상부 W의 비저항에 더 많은 영향을 받음을 알 수 있다. 그림 3에서 보여진 비저항 값들이 기존 보고된 결과보다 전체적으로 높은 것을 볼 수 있는데 이것은 W-TiN 복층 박막을 열처리하지 않았기 때문이다.

N₂/Ar 가스 비율 변화에 따른 W-TiN 복층 게이트 MOS 캐패시터의 누설 전류 특성 변화를 조사하기 위해 I-V 측정을 수행하였다. 그림 4는 N₂/Ar 가스 비율 변화에 따른 W-TiN 복층 게이트와 순수 텅스텐 게이트의 I-V 특성을 나타낸 것이다. W-TiN 복층 게이트의 경우 N₂/Ar 비율의 변화에 무관하게 저전계에서 10⁷ A/cm² 이하의 낮은 누설전류 특성을 보여주며, -8~-9 MV/cm의 전계이후 전형적인 FNT (Fowler Nordheim Tunneling)의 형태를 보여주고 있다. 반면, 순수 텅스텐 게이트 소자는 초기 저전계

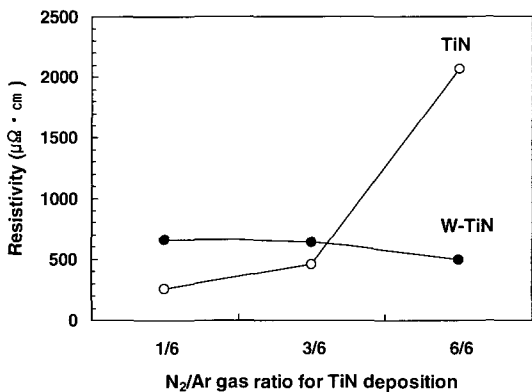


그림 3 TiN 및 W-TiN 복층 구조의 TiN 증착시 N₂/Ar 가스 비율 변화에 따른 비저항의 변화.

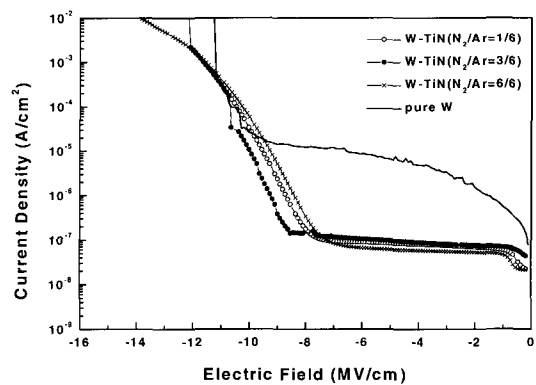


그림 4 W-TiN 복층 게이트와 순수 텅스텐 게이트 MOS 캐패시터의 누설 전류 특성 비교.

에서의 누설전류가 W-TiN 게이트보다 100배 이상 현저히 높은 것을 알 수 있다. 이러한 결과는 TiN 박막이 텅스텐 증착시 불소에 대한 확실한 확산방지막으로서의 역할을 수행하였음을 보여주는 결과이다. 순수 텅스텐 게이트의 경우 텅스텐 증착동안 산화막내로의 불소 확산으로 인해 크게 누설전류가 증가하게 된다 [13]. 한편, W-TiN 복층 게이트 내에서 N_2/Ar 가스 비율 변화에 따른 누설전류의 차이는 크게 보이지 않지만, N_2/Ar 비율이 6/6인 경우가 다른 조건보다 0~-6 MV/cm의 전계 범위에서 더 낮은 누설전류를 보여주고 있다. 이러한 결과는 좀더 연구가 필요하지만, N_2/Ar 가스 비율이 높을수록 증착된 TiN의 비저항은 증가할지라도 불소에 대한 확산 방지막으로서의 역할을 잘하여 더 우수한 누설전류 특성을 보여주는 것으로 사료된다.

4. 결 론

반응성 스퍼터링으로 증착된 TiN 박막은 N_2/Ar 가스 비율이 증가할수록 N-과다 박막으로 성장하여 비저항이 증가하는 경향을 보였다. 반면, TiN 상부에 텅스텐을 증착한 W-TiN복층 구조에서, N_2/Ar 가스 비율이 증가할수록 상부 텅스텐의 결정화가 증가하여 전체 비저항이 감소하였다. 한편, 같은 N_2/Ar 가스 비율내에서 열처리 온도 변화에 무관하게 텅스텐의 결정성은 W(110) 우선 배향성장의 특성을 나타내었다. 이러한 결과들은 W-TiN 복층 구조의 전체 비저항이 하부 TiN 박막보다 상부 텅스텐 박막의 특성에 더 많은 영향을 받음을 보여준다. 그러나, W-TiN 복층 게이트는 TiN이 불소에 대한 확산 방지막으로서의 역할을 수행하여 순수 텅스텐 게이트에 비해 우수한 누설전류 특성을 나타내었다. 향후 좀더 N_2/Ar 비율을 최적화시킴으로써 게이트 전극으로서 적절한 특성을 갖는 W-TiN 복층 게이트 소자를 구현할 수 있을 것으로 보여진다.

참 고 문 헌

- [1] B. Yu, D. H. Ju, W. C. Lee, N. Kepler, T. J. King and C. Hu, IEEE Trans. Electron Devices **ED-45**, pp.1253-1262 (1998).
- [2] T. S. Chao, C. H. Chu, C. F. Wang, K. J. Ito, T. F. Lei and C. L. Lee, Jpn. J. Appl. Phys. **35**, pp.6003-6007 (1997).
- [3] C. Y. Ting and B. Davari, Applied Surface Science **38**, pp.416-428 (1989).
- [4] N. Kobayashi, S. Iwata, N. Yamamoto and N. Hara, Materials Research Society pp.159-167 (1987).
- [5] N. Kobayashi, S. Iwata, N. Yamamoto, T. Mizutni and K. Yagi, IEDM Tech. Dig. pp.122-125 (1984).
- [6] B. Davari, C. Y. Ting, K. Y. Ahn, S. Basavaiah, C. K. Hu, Y. Taur, M. R. Wordeman, O. Abolfotoh, L. Krusin-Elbaum, R. V. Joshi and M. R. Polcari, VLSI Tech. Dig. pp.61-62 (1987).
- [7] M. Wong and K. C. Sarawat, IEEE Electron Device Letters **9**, pp.582-584 (1988).
- [8] J. H. Sone, S. O. Kim, K. J. Kim, H. S. Kim and H. J. Kim, Thin Solid Films **253**, pp.377-381 (1994).
- [9] K. Kim, J. H. Sone, S. -O. Park, J. S. Park and H. J. Kim, J. Vac. Sci. Technol. A **14(3)**, pp.919-923 (1996).
- [10] H. Wakabayashi, Y. Saito, K. Takeuchi, T. Mogami and T. Kunio, IEDM Tech. Dig. pp.253-256 (1999).
- [11] K. Nakajima, Y. Akasaka, M. Kaneko, M. Tamaoki, Y. Yamada, T. Shimizu, Y. Ozawa and K. Suguro, VLSI Tech. Dig. pp.95-96 (1999).
- [12] C. Choi, M. Kang, H. Park, B. Ryum, K. Suh, J. Lee, K. Kim and J. Lee, J. Korean Vac. Sci. **6**, pp.255-262 (1997).
- [13] Y. Shioya, S. Kawamura, I. Kobayashi, M. Maeda, and K. Yanagida, J. Appl. Phys. **61**, pp.5102-5109 (1987).