기술특집

Field Emission Display 기술의 동향과 전망

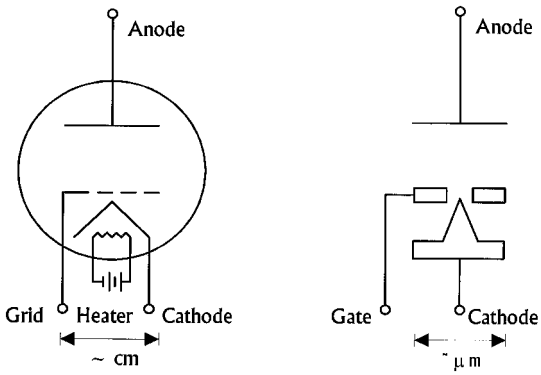
주 병 권(KIST 디스플레이 및 나노소자 연구실)

본 고에서는 전계 방출 표시 소자(FED : Field Emission Display)와 관련하여 진공 마이크로 일렉트로닉스, CRT와 평판 디스플레이 기술, FED 기술의 개요, 전계 방출 현상, 요소 기술(음극 기술, 양극 기술, 진공 패키징 기술, 구동 기술), 그리고 연구 개발 동향 및 전망 등에 대하여 기술하고자 한다.

Ⅰ. 진공 마이크로 일렉트로닉스

진공 마이크로 일렉트로닉스라 함은 '반도체 기술을 모체로 하며, 진공 내에서의 전자 전송에 의해 동작하는 초소형 전자 소자'를 일컫는다. 대표적인 소자가 마이크로 진공 3극관으로 〈그림 1〉에 보인 바와 같이 열 음극 진공관과 비교할 때 1/10,000로 규모가 축소된다.

이러한 진공 마이크로 일렉트로닉스 소자는 음극에서 양극으로까지 이동하는 동안에 전하 스캐



〈그림 1〉 종래의 열음극 진공관과 냉음극 마이크로 진공관의 비교

터링이 거의 없어 캐리어 속도가 빠르고, 소자 동작의 기판 의존성이 적고(단결정성이나 도핑 특성 등 공정 변수에 둔감하고 또한 온도에 둔감함), 방사선 등 외부 잡음에 강하고, 전자 경로에 대한 편향 및 초점이 가능하며, 고체 소자와 마찬가지로 반도체 공정을 이용한 일괄 제조 및 소형화가 가능하다는 특징을 갖는다.

진공 마이크로 일렉트로닉스의 응용도는 주로 양자역학적 터널링 현상을 이용하는 초소형-초고속-내환경성 소자들에 집중되는데, 예를 들면, 전자총, 마이크로 웨이브 발생기 및 증폭기, 이온원, 전자선 리소그래피, 마이크로 센서 및 액튜에이터, STM(Scanning Tunneling Microscope) 및 AFM(Atomic Force Microscope), 집적 회로용 능동 소자, 그리고 평판 표시기 등을 들 수 있다. FED도 이러한 진공 마이크로 일렉트로닉스 소자의 주요 응용도 중의 하나이다.

Ⅱ. CRT와 평판 디스플레이

CRT(Cathode-Ray Tube)의 경우, 음극선 발광(cathodoluminescence)에 의해 동작하므로, 자체적으로 모든 색깔의 빛을 낼 수 있을 뿐만 아니라, 빛의 질과 강도를 광범위하게 조절할 수 있고, 발생된 빛은 순도와 강도, 그리고 대조비를 유지한 채로 매우 넓은 시야각을 가지면서 전달되고, 제조 공정이 잘 확립되어 간단하며, 가격이 저렴하다는 등의 장점이 있다[1]. 반면에, 부피가 크고 중량이 무겁고(스크린의 크기가 증가

할수록 부피가 거의 세제곱으로 증가하며, 무게도 증가함), 내파(implosion) 및 파괴 가능성이 높다는 문제점도 매우 심각하다.

이러한 한계점으로 인하여 다양한 종류의 평판 디스플레이(FPD : Flat Panel Display)들이 등장하고 있는데, 대표적인 것들로는 액정 표시기(LCD : Liquid Crystal Display), 플라즈마 표시기(PDP : Plasma Display Panel), 전계 발광 표시기(ELD: Electro-Luminescent Display), 유기 발광 표시기(OLED: Organic Light Emitting Display), 그리고 전계 방출 표시기(FED : Field Emission Display) 등이 있으며 각각 고유의 특징들을 토대로 하여 응용 분야를 넓혀 가고 있다[2-6].

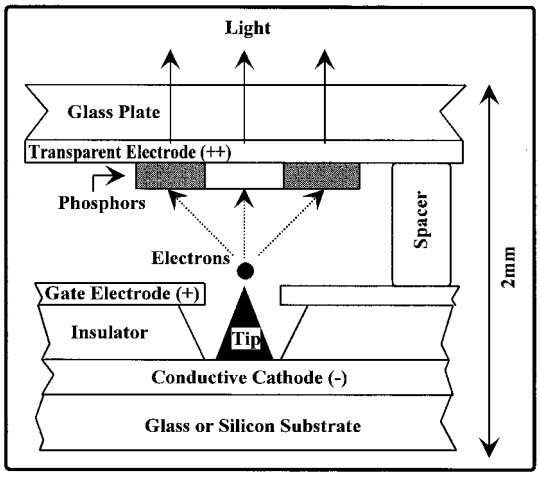
Ⅲ. FED 기술의 개요

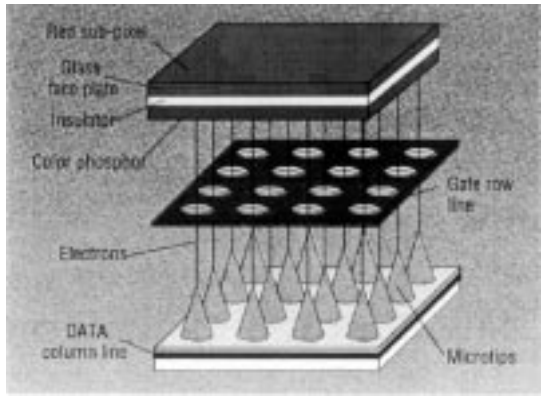
1. 간단한 역사

FED의 간단한 역사를 살펴 보면, 1960년대 중반에 최초로 FED를 만들려는 시도가 있었으나, 팁의 손상 문제와 형광체의 성능 문제로 인해 좌절된 바 있다. 1980년대 후반에 이르러 프랑스의 LETI가 마이크로 팁과 형광체와 관련하여 보다 진보된 기술을 제시함으로써, FED가 다시 개발되기 시작하여 상업화의 가능성을 보였으며, 1992년도 6월에 FED 생산을 목적으로 Pixel International(현재는 PixTech)이 설립되었고, 같은 해 9월에 LETI로부터 특허권을 전수받았다. 1993년도 7월에 미국의 로드 아일랜드에서 개최된 6회 IVMC에서 Pixel International이 칼라 FED 패널을 시연함으로써 FED 개발 경쟁의 도화선을 마련하였고 현재에는 세계적으로 10여 개에 이르는 업체들이 FED의 제품화를 위하여 매진하고 있다.

2. 구조 및 동작 원리

FED의 기본 구조를 〈그림 2〉에 보였으며, 이를 이용하여 동작 원리를 설명하면 다음과 같다. 즉, 각각의 FEA(Field Emitter Array) cell은 초소형 전자총으로 동작하며, 게이트와 팁 간에 일정 전압(수십 V)이 인가되면, 전자들이 팁으로부터 양자역학적으로 터널링되어 방출된다. 방출된 전자들은 더욱 큰 양극 전압(수백 V~수 kV)에 의해 형광체가 도포되어 있는 양극 쪽으로 가속되며, 전자들이 형광체에 충돌하게 되면 이 에너지에 의해 형광체 내의 특정 원소 내에 있는 전자들이 여기 되었다가 떨어지면서 빛을 발생한다.





〈그림 2〉 FED의 기본 구조도

〈표 1〉 FED의 특징

CRT 특징	FPD 특징
Cathodoluminescence에 의한 동작 (휘도, 효율, 시야각 등에 유리.)	얇고 가벼움. 자기장이 불필요함. X-선 발생 우려가 적음.
빠른 동작 속도 (동화상 구현 등에 유리.)	
내환경성 (온도, 방사선, 습도 변화 등에 강함.)	

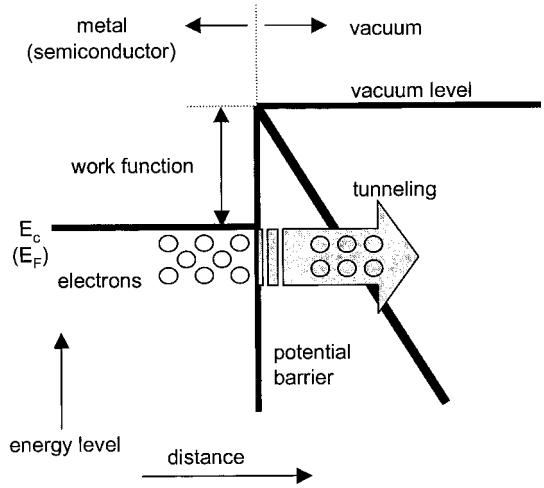
3. 특징

FED가 지닌 고유의 특징으로는 CRT와 마찬가지로 음극선 발광에 의해 동작한다는 점(자체 광원, 높은 효율, 높은 휘도와 넓은 휘도 영역, 천연색 및 높은 색순도, 넓은 시야각 등이 가능), 고유의 sub-pixel redundancy를 가진다는 점(10%에 이르는 emitter가 손상되어 도 단위 픽셀 동작에 지장이 없음), 동작 속도가 매우 빠르다는 점(응답 속도 : 수 μsec), 동작 온도 영역이 넓다는 점(−45~+85℃), 그리고 반도체 공정에 의해 일괄-대량 제조가 가능하다는 점 등을 들 수 있다.

이와 같이 FED는 CRT와 FPD의 특징을 공히 갖추고 있는 유일한 디스플레이로서 주요 특징을 〈표 1〉에 나타내었다. CRT와의 부분적인 차이점을 살펴보면, CRT는 한 개(혹은 세 개)의 전자총으로 스크린을 편향/주사함으로 상을 형성하나, FED는 한 개의 픽셀 내에 수백 개에 이르는 전자 방출원이 있어 주사할 필요가 없고(FED의 양극 전압은 300~10,000 V이며, CRT의 경우 15~30 kV임), CRT는 열 음극 소자인 반면에 FED는 냉 음극 소자라는 점만 다르다.

Ⅳ. 전계 방출 현상

전계 방출(field emission) 현상이란 〈그림 3〉에 보인 바와 같이 진공 내에 있는 금속 표면에 0.5 V/Å 이상의 전계가 인가될 경우, 금속 표면의 전위 장벽이 얇아지면서 금속 내의 전자



〈그림 3〉 전계 방출 현상

들이 양자 역학적으로 터널링하여 진공 내로 방출되는 현상을 일컫는다. 이때 전계 방출 전류는 식 (1)과 같은 Fowler-Nordheim(F-N) 식으로 표현된다. 여기서 J는 방출 전류 밀도[A/cm²], a와 b는 상수(실제로는 전계에 약간 의존함.), E는 인가 전계[V/cm], 그리고 Φ는 일함수[eV]에 해당한다.

$$J = aE^2\Phi^{-1}\exp(-b\Phi^{3/2}/E) \qquad (1)$$

이러한 F-N 식을 전류-전압 관계로 다시 표현하면 식 (2)와 (3)으로 표현되는데, 식 (3)에서 〈ln(I/V²)〉과 (I/V) 간의 관계는 직선으로 표현될 수 있으며, 이를 통하여 전계 방출 전류임을 확인함과 동시에 유효 일함수나 방출 면적 등을 구할 수 있다.

$$I = MV^2 \exp(-N/V)$$
(단, M과 N은 상수) (2)

$$\log(I/V^2) = -N/V + 상수 \quad (3)$$

또한, 식 (1)로부터 작은 영향들을 무시한 상태에서 F-N 식을 수식화하면, 식 (4)와 같으며, 이 식에서 우세한 항은 지수항으로서 전계가 증가하고($E = 1.74 \times 10^7 \sim 8 \times 10^7$ V/cm) 일함수가 감소하면($\Phi = 0 \sim 5$ eV) 전류 밀도(J)는 매우 급격히 증가한다는 것을 알 수 있다. 예를 들어, 방출부에 인가되는 전계가 25% 증가하면 방출 전류가 3.7×10^4%가 증가하고, 방출부의 일함수가 25% 증가하면 방출 전류가 2×10^6%나 증가하게 된다.

$$J = 1.54 \times 10^{-6} E^2 \Phi^{-1} \exp(-6.83 \times 10^7 \Phi^{3/2}/E) \quad (4)$$

따라서 전자 방출원을 설계할 때 팁에 인가되는 전계가 최대가 되고 방출원의 일함수가 최소가 되도록 설계하는 것이 작은 인가 전압에서 큰 방출 전류를 얻는데 매우 중요하며, '전자'와 '후자'는 각각 전자 방출원의 '구조'와 '재료'적인 특성에 관계한다. 전계를 증가시키는 방법으로는 외부 인가 전압을 증가시키는 방법이 있으나 이는 주변 회로와의 매칭 및 절연 파괴 전압에 의해 제한되며, 방출부와 전극 간의 거리를 줄이는 방법은 리소그래피의 한계에 제한을 받는다. 따라서, 방출부의 형상을 변화하는 방법이 가장 효과적인데, 이에 관계되는 것이 전계 증배 계수 β로 식 (5)에 나타낸 바와 같이 전극에 인가되는 전압(V)와 이로 인해 방출부에 인가되는 전계(E)의 비례 상수이다.

$$E = \beta V \quad (5)$$

$$\beta = kh/r \quad (6)$$

이 때, β는 식 (6)에 나타낸 바와 같이 비례상수(k)에 의해 방출부의 높이 h에 비례하고, 반경 r에 반비례하며 50~500 범위의 값을 갖는다. 즉 끝이 높고 뾰족한 팁일수록 β가 크고, 따라서

〈표 2〉 각각의 재료들에 대한 일함수 및 녹는점

Material	Work function [eV]	Melting point [℃]	Material	Work function [eV]	Melting point [℃]
Ag	4.7	961	Nd	3.3	
Al	3.0	660	Ni	5.0	1455
Au	4.8	1063	Pb	4.0	327
Ba	2.5	850	Pt	6.0	1774
Bi	4.1	271	Rb	1.8	39
C	4.7	>3500	Sr	2.1	800
Ca	3.2	810	Ta	4.1	2850
Cd	4.1	321	Ti	4.1	
Cs	1.8	29	Th	3.4	1845
Cu	4.1	1083	W	4.5	3370
Fe	4.7	1535	Zn	3.3	420
Hf	3.6		Zr	4.1	1900
Hg	4.5	−39	LaB_6	2.7	
Ir	5.4		NdB_6	4.6	
K	1.8	62	TaB	2.9	
La	3.3		TaC	3.1	
Li	2.2	186	ThO_2	2.6	
Mg	2.4	651	TiC	3.4	
Mo	4.3	2620	ZrB	4.5	
Na	1.9	98			

인가 전압(V)이 동일하더라도 방출부에는 큰 전계가 걸리게 된다.

한편, 일함수는 물질 자체가 갖는 고유의 값으로 재료의 개발을 통해 개선될 수 있다. 각각의 재료들별로 일함수와 녹는점을 〈표 2〉에 나타내었다. 일함수가 낮을수록 방출 전류는 증가하지만, 전계 방출 재료로서 이용하기 위해서는 이외에도 열-화학-기계적 내구성, 재료의 온도 특성(온도 변화에 따른 일함수의 변화 추이), 그리고 팁 구조로서의 가공성 등이 고려되어야 한다.

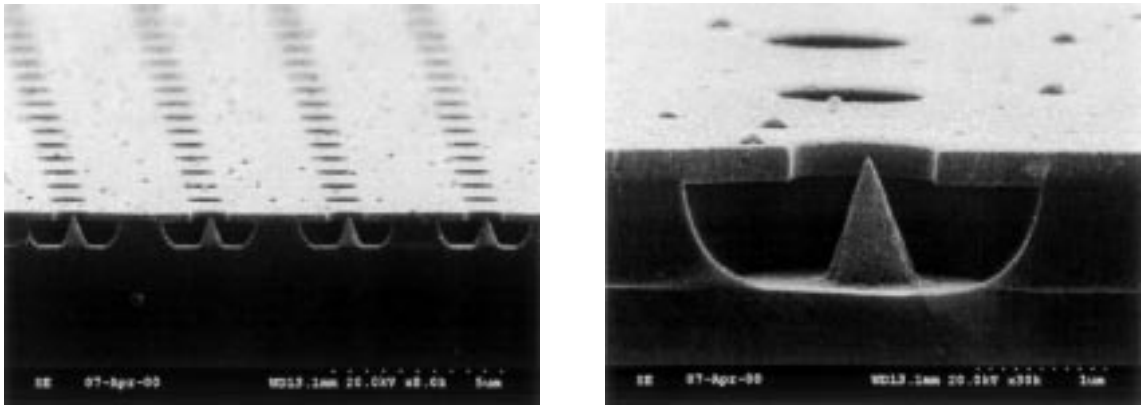
V. FED의 핵심 요소 기술

1. 음극 기술

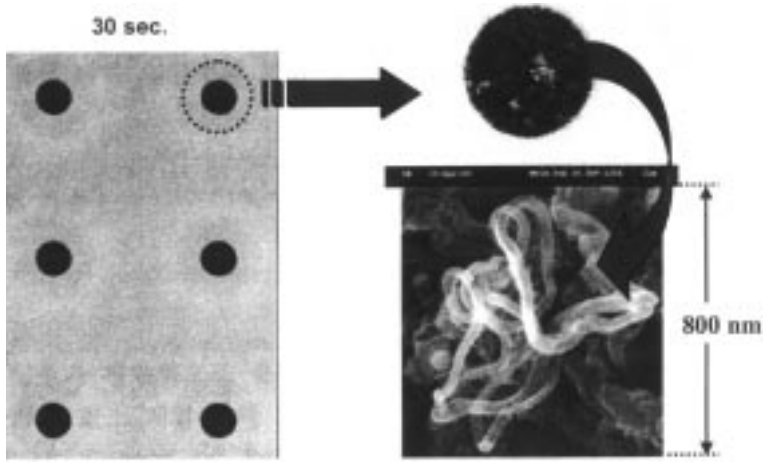
전자 방출원은 팁형과 평면형으로 분류될 수 있으며, 팁 형의 경우에는 실리콘 팁과 금속 팁, 평면형의 경우에는 탄소 계열 박막 및 후막(다이아몬드, 다이아몬드 상 카본, 탄소 나노 튜브 등), SCE(Surface Conduction Emitter), BSD(Ballistic electron Surface-emitting Display), MIM(Metal Insulator Metal)이나 MIS(Metal Insulator Semiconductor) 등이 대표적이다.

실리콘 팁의 경우 팁의 구조 조절이 용이하고, 균일성이 우수하며, 반도체 공정과 호환성이 있는 반면에, 방출 전류가 불안정하고, 팁의 파괴 우려가 크고, 표면 산화막이 존재하고, 패널 크기가 제한되는 단점이 있다. 금속 팁 전자 방출원의 경우, 내구성이 우수할 뿐 아니라 유리 기판을 사용할 수 있어 대면적화가 가능하다. 금속 팁의 재료로는 주로 몰리브덴을 사용하는데, 높은 전류 밀도를 얻을 수 있고, 강도 및 안정성에서 우수하나, 팁의 구조나 모양의 조절이 어렵다. 〈그림 4〉에 몰리브덴 팁 전계 방출 소자의 전형적인 모양을 보였다.

팁형 전자 방출원의 경우 게이트 홀의 직경을 줄임으로써 저전압 구동, 화소 내 전자 방출원 수의 증가, 방출 전류의 증가 등의 효과를 볼 수 있으며, 이를 위해 고품위 게이트 절연막의 형성, 팁의 종횡비 증가, 새로운 리소그래피 공정의 적용 등이 이루어지고 있다. 리소그래피에 있어서는 홀로그래픽이나 전자선 묘사 등을 통하여 서브 마이크론의 직경을 갖는 게이트 홀이 얻어지고는 있으나, 유리 기판의 표면 거칠기, 패턴의 원형성, 생산성 등이 패널의 크기를 20 인치급으로 증가시키는 데에 큰 제약으로 작용하고 있다. 또한 고전압 FED의 경우 팁과 양극 간의 거리가 1mm 이상이 되어 전자선이 퍼지는 현상이 발생하고(이는 색 순도의 저하, 대조비 감소, 분해능 감소의 원인이 됨), 이를 방지하기 위해 별도의 초점 조절용 전극을 설치하여야 하는 점도 고려되어야 한다. 이 외에도 팁 형 전자 방출원에서 나타나는 소자의 손상 기구들을 살펴보면, 방출원과 분위기 기체와의 화학적인 반응, 이온들



〈그림 4〉 금속 팁 전자 방출원의 모양(KIST)



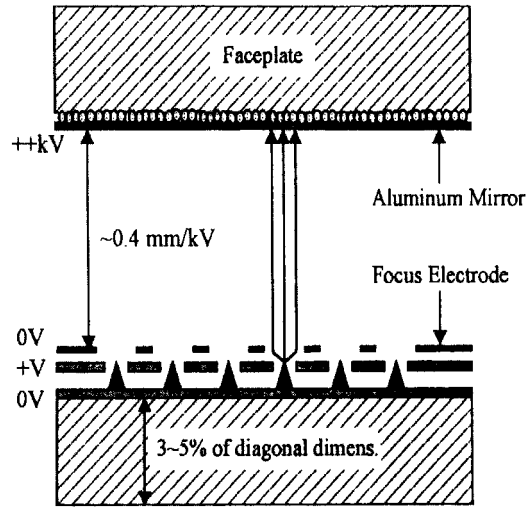
〈그림 5〉 3극관형 탄소 나노 튜브 전계 방출 소자(KIST)

에 의한 방출원의 역 스퍼터링, 팁 과열로 인한 손상, 방출원과 게이트 간의 아킹에 따른 의한 팁과 게이트의 파괴, 게이트 절연막의 전기적 항복(특히 시간 종속성 항복), 과전류 등으로 인한 양극의 손상(out-gassing 등) 등을 들 수 있다.

평면 형에 속하는 탄소 계열 박막의 경우, 일함수가 낮고, 물리-화학적으로 안정하고, 열 전도도가 크다는 등의 장점이 있으나, 전자 방출 영역이 정확히 정의되지 않으며 조절 전극인 게이트가 있는 3극 구조를 만들기가 용이하지 않다는 한계가 있다. 최근 연구 개발이 활발한 탄소 나노 튜브의 경우 전계 방출 성능을 향상시킬 수 있는 두 인자 즉 이상적인 구조와 낮은 일함수를 가진다는 특징으로 인해 이를 이용한 FED 개발이 가속화되고 있다. 〈그림 5〉는 게이트 구조가 집적화된 3극관형 탄소 나노 튜브 전계 방출 소자로서, 1 μm 직경의 게이트 홀 내에 선택적으로 성장된 탄소 나노 튜브를 볼 수 있다.

2. 양극 기술

FED 양극 기술의 경우 주로 형광체 개발에 초점이 맞추어지고 있는데, 크게 고전압 형광체와 저전압 형광체 개발로 분류되고 있다. 고전압 형광체 FED의 경우, 주로 3,000 V 이상의 전압에서 동작하며, 형광체 기술이 이미 확립되어 있고, 효율이 높고, 수명이 길고, 색 순도가 우수하



〈그림 6〉 고전압 FED의 구조

며, 공급 업체들이 많다는 장점을 지니고 있다. 또한, 형광체 상에 알루미늄 박막의 활용이 가능한데, 이는 후면으로 반사되는 빛을 반사하는 역할, 형광체 분말 등이 이탈되어 팁을 오염시키는 것을 방지하는 역할, 형광체에 전체적으로 균등한 전위가 인가되도록 하며 발생된 전자들을 흡수하는 역할 등을 수행한다. 반면에, 고전압 인가시 아킹 및 전기적 항복을 방지하기 위해 음극과 양극간에 일정 거리가 요구되는데(5 kV일 때 1.2 mm 이상) 이로 인해 빔의 퍼짐을 방지하는 초점 조절 전극, 상판과 하판을 지지하기 위해 큰

종횡비를 갖는 내부 지지 구조(스페이서)가 필요하다는 번거로움이 있다. 〈그림 6〉에 고전압 FED의 전형적인 구조를 도시하였다.

한편, 저전압 형광체 FED는 1,000 V 이하의 양극 전압에서 동작하며, 이로 인해 음극과 양극 간의 간격이 300 μm 이내에 불과하여 전자선이 크게 퍼지지 않으므로 초점 조절용 전극이 불필요하고, 스페이서 재료로서 간단한 물질들(유리구나 프릿 등)을 사용할 수 있다는 장점이 있으나, 저전압 형광체 기술이 완성되지 않은 상태로 고전압 형광체와 동일 휘도를 얻기 위해서는 10배 이상의 전류가 필요하며, 따라서 성능, 효율, 수명 개선을 향한 노력이 절실하다.

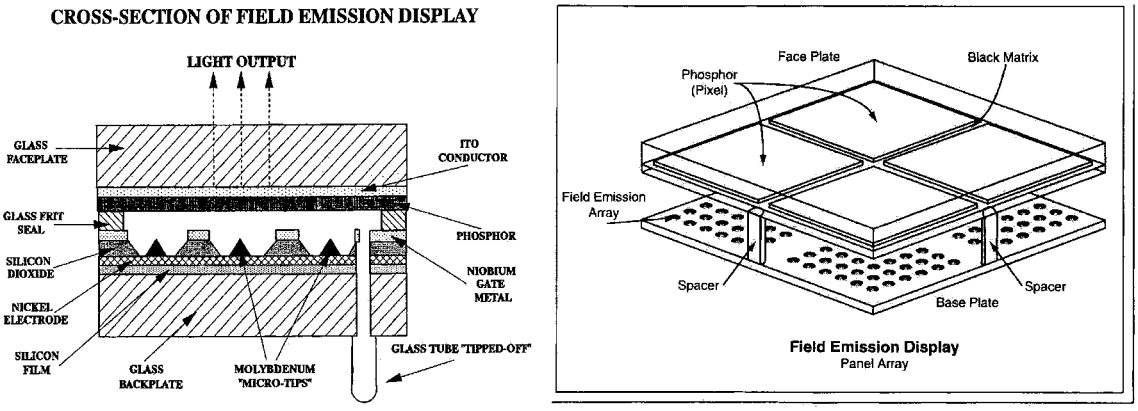
3. 진공 패키징 기술

FED는 진공 내에서의 전계 방출에 의해 동작하는 소자로서 다음과 같은 점들로 인해 패널 내부가 반드시 진공으로 유지되어야 한다. 즉, 진공 패키징에 의해 전자의 평균 자유 행정을 증가시키고, 방출부에 기체 입자들이 흡착되어 일함수를 변화 시키는 것을 방지하고(일례로 금속 위에 기체가 흡착될 경우 일함수가 25~50% 정도가 변화함.), 이온화된 기체에 팁이 물리-화학적으로 손상되거나(re-sputtering) 전자선의 궤적이 변화하는 것을 방지하며, 수증기, 산소, 일산화탄소, 이산화탄소, 메탄 등에 의해 형광체가 손상되는 것을 방지할 수 있다.

FED의 패키징 공정이 가장 이상적으로 이루어지기 위해서는 충족되어야 할 여러 요건들이 있는데, 우선 진공도가 10^{-7}~10^{-9} Torr 범위 내에서 유지되어야 하고, 프릿으로부터의 leak rate가 디스플레이용 유리 기판의 경우에 상당하여야 하며(400℃에서 10^{-9} cc/sec, 20℃에서 10^{-12} cc/sec 수준), 프릿과 이를 통과하는 연결 전극 간에 반응이 일어나지 않아야 한다. 실링 재료들이 이동하거나 소자를 오염시키지 않아야 하고, 상부 및 하부 기판들과 친화성이 있어 응력 등을 발생시키지 않아야 한다. 공정과 관련하여서는 가능한 저온 공정이 바람직하고, 음극판과 양극판간의 정렬 및 유지가 가능하여야 하며, 패키징에 걸리는 시간이 짧아 throughput을 높일 수 있어야 한다(자동화 개념의 도입이 필요). 아울러, 프릿 실링이 차지하는 영역이 가능한 적어 능동 영역을 높힐 수 있어야 하며, 진공 패키징 후에 고전압에 견딜 수 있어야 한다.

진공 패키징과 관련된 요소 기술로는 스페이서 기술, 정렬 및 실링 기술, 고진공 배기 기술, 팁 오프 기술, 게터 기술, 잔류 기체 분석 기술, 패널 내부 진공도 측정 기술 등이 있으며, 이러한 요소 기술 개발을 통하여 현재의 tube-based 진공 패키징에서 tubeless 패키징 과정을 거쳐 궁극적으로는 진공 in-line 패키징을 지향하게 될 것이다.

〈그림 7〉에 진공 패키징된 FED 소자의 개념도를 보였는데, 스페이서의 경우 FED 패널의 수



〈그림 7〉 진공 패키징의 개념도 및 스페이서의 배열

십 마이크론에서 수 밀리에 이르는 진공 간격(vacuum gap)을 일정한 폭으로 유지하고, 외부의 대기 압력에 의하여 진공 상태에 있는 전면(face plate)과 후면(baseplate)이 붕괴되는 것을 방지하며, 소자 동작시 화소들간의 상호 간섭 현상인 cross-talk를 방지하는 역할을 한다. 이러한 스페이서들은 〈그림 5〉에 보인 바와 같이 양극 기판 내의 black matrix 내에 위치하여 외부로부터 관찰되지 않으면서 주어진 역할을 수행하는데, 다음과 같은 요건들을 갖추어야 한다. 즉, 시각적으로 보이지 않아야 하고(50~100 μm의 폭, 25 : 1 이상의 종횡비), 물리-화학적인 내구성이 있어야 하며(FED에 요구되는 강도 : 14.7 lbs/inch^2 = 1.0 lbs/12.1 inch-diagonal), 가열 공정시 응력에 의한 손상 방지를 위하여 상-하부 기판과 열 팽창 계수 등이 부합되어야 한다. 또한, Out-gassing, 형광체와의 반응성 등이 적어야 하고, 누설 전류가 적어야 하고, 음극-양극간의 절연이 유지되는 범위 내에서 표면 전도성이 있어 전하 축적이 방지되어야 하며, 전기적 항복이 일어나지 않도록 2차 전자의 발생이 적어야 한다. 현재 상술한 조건을 충족시킬 수 있도록, 다양한 재료 및 구조물들이 FED 스페이서로서 적용되고 있으며, 대표적인 것들로는 유리 프릿(glass frit), 폴리이미드(polyimide), 감광성 유리(photo-sensitive glass), 유리 구조물(cross, pillar, rib, ball 등), 세라믹 구조물, 그리고 광 파이버(optical fiber) 등이 있다

4. 구동 기술

칼라 FED의 구동에 있어서는 두 종류의 어드레싱 방식이 적용되고 있는데, 스위칭 양극(switched anode) 방식과 비스위칭 양극(non-switched anode) 방식이 이에 해당한다. 스위칭 양극 방식의 경우, 세 개의 부 화소(sub-pixel)들이 한 개의 FEA 화소를 공유하며, 동일 색의 모든 양극 부 화소들은 서로 전기적으로 연결되어 있다. 이 경우 많은 수(세 배)의 전자 방출원을 사용할 수 있으며, 양극과 음극의 정렬에 크게 민감하지 않다는 장점이 있으나, 인접한 형광체 부 화소들간에 전기적 항복을 피하기 위해 양극 전압을 일정치 이하로 하여야 하며(주로 1,000 V 이하), 양극 전압이 세 배 빠른 속도로 인가되어야 한다.

비스위칭 양극 방식의 경우, 양극 부 화소들마다 별도의 FEA 부화소들을 사용하며, 한 화소 내에 있는 세 개의 부 화소들이 전기적으로 연결되어 있다. 이 방식에서는 인접한 양극 부 화소들간에 전가적 항복이 일어날 우려가 적어 고전압 동작이 가능하며, 양극 전압을 고속으로 변환시킬 필요가 없다. 반면에 게이트 전극의 수가 세 배로 증가하고, 각각의 양극 부화소가 사용하는 전자 방출원 수가 적어 단일 방출원이 상대적으로 높은 전류를 제공하여야 하며, 양극과 음극의 정렬 오차가 색 순도에 영향을 미치게 된다.

VI. FED의 기술 현황 및 전망

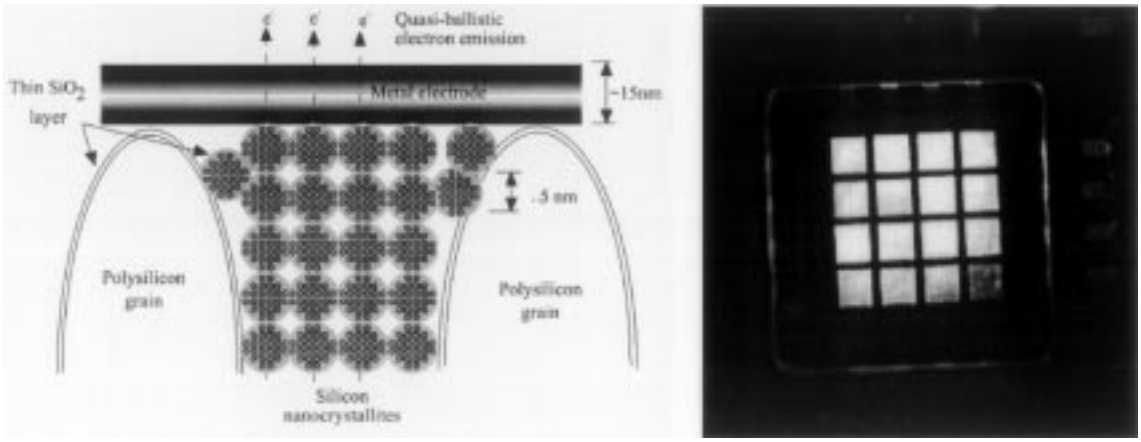
현재 FED의 생산을 목표로 하여 제품 개발에 주력하고 있는 회사들은 세계적으로 10여 개에 이르며, 나름대로 독창성 있는 모델(저전압 형 혹은 고전압 형, 팁 형 혹은 평면형 등)들을 제시하고 있다. 국내의 경우, 삼성 종합기술원-SDI에서는 약 50~60명 정도의 개발 인력이 FED의 제품화를 위하여 매진 중이며, 최근 대면적 및 가격 경쟁력을 이유로 몰리브덴 팁 형 FED에서 탄소 나노 튜브를 이용한 FED 쪽으로 방향을 선회한 바 있다[7]. 탄소 나노 튜브는 프린팅 법으로 인쇄하며, 이와 함께 박막형 소자 개발에도 착수할 계획인데 공히 게이트가 있는 3극형 구조를 취하고 있다. 현재에 이르기까지 5~6인치급을 거쳐 최근에는 7~10인치급 칼라 패널을 개발 중이며, 이의 규격은 구동 전압 −100 V 이하, 휘도 −200Cd/m^2 이상이 될 것으로 보인다. 이는 차량용으로 사용되어 VFD(Vacuum Fluorescent Display) 등을 대체할 예정이며, 다음 단계로 30~50인치급 패널 개발이 수행될 예정인데 10인치급 이하는 2002년, 그 이상은 2003~2005년 정도로 실용화 시기를 잡고 있다. LG 전자 디스플레이 연구소의 경우, 저전력-저가격을 특징

〈그림 8〉 KIST-LG 전자의 FED 전용 공정실

으로 하는 고유의 모델을 개발하고 있으며, 특히 Sub-micron급 극소형 전자 방출원과 레이저를 이용한 진공 패키징 등에 독창적인 아이디어를 가지고 있다. 아울러 최근에 이 회사는 〈그림 8〉에 보인 바와 같이 KIST 내에 디스플레이 및 나노소자 연구실과 공동으로 30평 규모의 몰리브덴 팁 FED용 클린 룸 및 설비를 완료하였으며, 이를 이용하여 팁형 FED의 공동 개발도 병행할 계획이다. 이 외에도 ETRI, KIST 등의 연구소, 그리고 서울대 등의 학교에서 FED 패널 수준의 연구 개발을 진행 중에 있으며, 특히 일진 나노텍, 군산대, 연세대 등 다수의 탄소 나노 튜브 관련 기업이나 연구소, 학교들이 전계 방출에 대한 연구 결과를 발표하고 있다.

국외의 경우, Candescent, Canon, Futaba, Matsushita, PixTech 등이 제품화를 눈 앞에 두고 있다. Candescent의 경우, ThinCRT로 일컬어지는 고전압 FED 모델을 개발 중으로 〈그림 9〉에 나타내었듯이 최근에 이르기까지 4.4인치, 5.3인치 13.2인치(SVGA) 급을 순차적으로 발표하고 있다[8]. 이 회사는 1998년 10월 이후로 현재에 이르기까지 Sony와 고전압 FED 개발을 위한 기술적 제휴를 맺어오고 있는데, 2000년 10월에 Paris에서 열린 Mondial de l' Automobile 2000에서 Delphi의 모델에 ThinCRT를 탑재하였으며, 또한 2001년 2월에 San Jose에서 열린 Mobile Insights Conference Showcase에서 Texas Instruments의 멀티미디어에 5.3인치급 QVGA ThinCRT의 적용용이 구체화되고 있다고 발표하였다. 이와 함께 2001년 3월에 열린 US FPD Conference에서 ThinCRT의 DVD player 응용 등을 제

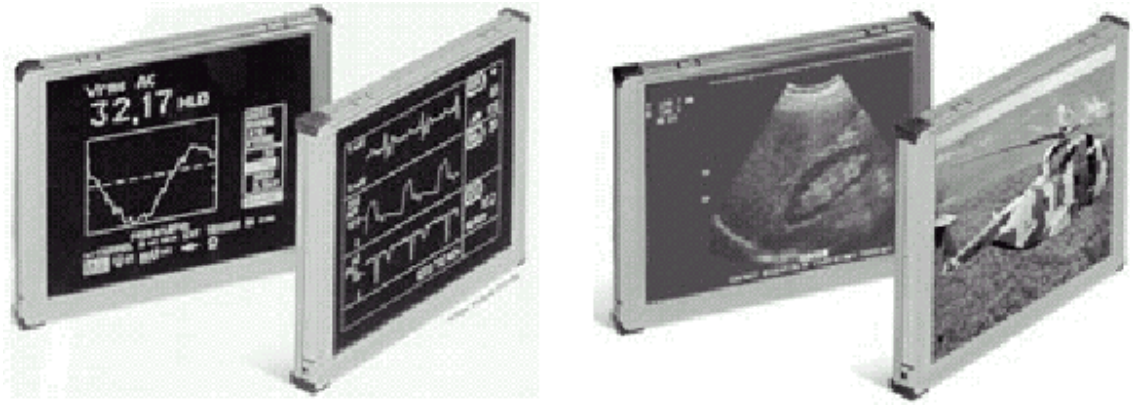
〈그림 9〉 5.3인치 및 13.2인치 FED 모델(Candescent)



〈그림 10〉 BSD의 동작 원리 및 모양(Matsushita)

시함으로서 제품화 가능성을 더욱 높이고 있다. Canon의 경우, FED의 일종으로, 후막 프린팅 및 잉크 공정을 모체로 한 저가격-대형 SED (Surface-conduction Electron Display)를 개발하였으며, 이를 토대로 한 Toshiba와의 협력 체제를 통해 30~40인치급 이상의 중 대형 디스플레이 시장 진입을 목표로 하고 있다. Matsushita의 경우, BSD(Ballistic electron Surface-emitting Display)로 일컬어지는 FED를 개발 중인데, 이는 다공질 실리콘의 전자 방출 현상을 이용하고, 방출 전자의 발산 정도가 적고 낮은 진공도에서 동작이 가능하며, 대면적 및 저가격화가 가능하다는 등의 특징을 자체적으로 제시하고 있다[9]. 이의 동작 원리 및 모양을 〈그림 10〉에 나타내었다.

또한 PixTech의 경우, 〈그림 11〉에 나타낸 모양의 단색 FED를 제품화하였으며, 곧 5.6인치의 칼라 FED 제품도 출하할 예정이다. 이 회사는 2001년 1월에 DARPA로부터 310만 불을 추가로 지원받아 Abrams Tank System을 비롯한 군수 기기용 12.1인치급 칼라 FED 패널 개발을 진행하고 있다[10]. 이와 함께 팁형 FED가 갖는 어려움, 즉 FEA의 균일성, FED의 대면적화, 그리고 수율 및 가격 등을 극복할 수 있는 방편으로서 인쇄형 FED(printable FED)가 개발되고 있는데, 삼성, Canon, Printable



〈그림 11〉 2인치급 FED 제품(PixTech)

Field Emitters Ltd. 등에서 연구 개발이 집중적으로 이루어지고 있다[11]. 결과적으로 1990년대 초부터 현재에 이르기까지 약 10년 동안의 FED 연구 개발에도 불구하고 특히 Field Emitter 기술에서의 독보적인 소자가 확정되지 않은 채, Spindt형(금속 팁형), 탄소 나노 튜브형, 탄소/다이아몬드 박막 및 후막형, 표면 전도형, BSD형, 그리고 MIS/MIM(Metal Insulator Semiconductor/Metal Insulator Metal)형 등이 경쟁하고 있는 체재로 볼 수 있다.

Ⅶ. 맺음말

FED가 가능성이 충분하면서도 한 번 더 도약하지 못하는 것은 기술 발전 속도가 기대한 만큼 빠르지 않고, 또한 TFT-LCD 및 유기 LED 등의 경쟁 품목의 급속한 진보 등으로 인한 기업의 개발 의욕 저하에도 충분한 원인이 있겠지만, 전자 방출원으로부터 형광체, 진공 패키징에 이르기까지 요소 기술의 궤적이 기존의 반도체 및 디스플레이 관련 기술 구도에서 상당 부분 이탈되어 있기 때문인 것으로 판단된다. 따라서 "요소 기술들을 향해 어떠한 경로로 접근할 것인가?"라는 질문만큼이나 "이탈된 요소 기술들을 어떠한 도구를 통하여 기존 기술의 틀 내로 당겨 올 것인가?"라는 질문에 대한 답이 충분히 마련되어야 할 것이다. 이러한 의미에서 볼 때 기존 FED의 개발에 가장 큰 제한이 되고 있는 〈장수명화-대면적화-저가격화〉라는 매듭을 "마이크로팁-리소그래피-IC 공정-저전압 형광체-고진공 패키징-영상 표시 등과 같은 상류 사회적 개념"이 아닌 "프린팅-잉크 제트-LCD 공정-고전압 형광체-저진공 동작-문자 표시 등의 대중적 개념"으로 풀어보려는 노력이 충분히 효과를 얻을 수 있을 것으로 판단된다. 이 과정을 통하여 "수명 향상을 통한 기술적 한계 극복→수율 및 생산성개선에 따른 가격 경쟁력 확보→소형 디스플레이 시장 진입→대면적화를 통한 양지에서의 경쟁" 순으로의 접근이 바람직할 것으로 판단되며, 특히 금속 팁 FED의 경우 휴대용 정보 통신기기나 차량 항법 시스템으로 대표되는 중소형 시장에서 대뷔전을 치른 후 이의 승리를 발판으로 삼아 TV 및 모니터 시장에서 본 게임을 벌이는 것이 승률을 높일 수 있을 것으로 본다.

참 고 문 헌

〔1〕 주병권, 박종원, 김훈, 이윤희, "CRT 기술의 현황 및 전망," 마이크로 전자 및 패키징 학회지 (2001. 4.) : 게재 예정

〔2〕 이윤희, "교류구동형 Thin Film Electroluminescent Device 기술," 세라미스트, 제 2 권, 6호, pp. 18-25(1999. 12.)

〔3〕 주병권, 문성욱, 이윤희, 오명환, "전계방출 디스플레이 기술," 화학세계, 제 37 권, 6호, pp. 17-26(1997. 6.)

〔4〕 주병권, "Field Emission Display 기술," 세라미스트, 제 2 권, 6호, pp. 11-17(1999. 12.)

〔5〕 주병권, 김재경, 이윤희, "유기 LED 기술의 등장, 현황, 그리고 발전 방향," 월간 전자산업정보, pp. 94-98(2001. 3.)

〔6〕 주병권, 이남양, "Microdisplay 기술 및 전망," 전자공학회지, 제 28 권, 4호, pp. 288-299(2001. 4.)

〔7〕 이내성, "Panel Discussion-차세대 디스플레이 연구방향," FED 연구회 기술교류 세미나'01, 서울대(2001. 2. 23.)

〔8〕 http://www.candescent.com

〔9〕 T. Komoda, Y. Honda, T. Hatai, Y. Watabe, T. Ichihara, K. Aizawa and Y. Kondo, "Matrix flat-panel application of ballistic electron surface-emitting display," Proc. SID'00, pp. 428-431(2000. 5.)

〔10〕 http://www.pixtech.com

〔11〕 R. A. Tuck, "Printable large-area FEDs," Information Display, pp. 14-16 (2000. 6.)