

고품위 FED을 위한 액티브-매트릭스 전계 에미터 어레이 기술

송 윤 호, 이 진 호, 조 경 익 (한국전자통신연구원 회로소자기술연구소)

I. 개 요

FED 기술은 크게 전계 에미터 어레이(Field Emitter Array : FEA), 아노드 형광판 및 스페이스(spacer), 고진공 패키징, 구동회로 등의 핵심 요소기술로 나누어지며, 현재 상용화에 가장 큰 애로점은 FEA의 신뢰성 및 균일도이다. 현재까지 FEA의 손상은 주로 전계 에미터와 분위기 기체와의 화학적인 반응, 이온들에 의한 FEA의 역 스퍼터링, 전계 방출 시 과열에 인한 팁 손상, 전계 에미터와 게이트간의 아킹에 따른 의한 팁과 게이트의 파괴, 게이트 절연막의 전기적 항복(특히 시간 종속성 항복), 과전류에 의한 양극의 손상(out-gassing) 등에 기인하는 것으로 알려져 있다. 특히, 캐소드판이 전계 에미터로만 이루어진 단순-매트릭스 전계 에미터 어레이(Simple-Matrix FEA : SMFEA)의 경우 위와 같은 문제점 뿐만 아니라, 전계 에미터의 팁과 게이트간에 전기적 단락 결함(short fail)이 발생하면 결함이 발생한 라인 전체의 구동이 어렵거나 불가능해지고, 또한 FEA의 구동 전압이 통상 40V 이상으로 높아 구동회로의 가격 및 구동 전력소모가 매우 큰 단점이 있다. 이상의 SMFEA의 단점을 보완하기 위하여 기존의 박막 트랜지스터-액정 디스플레이(TFT-LCD)와 같은 액티브-매트릭스 전계 에미터 어레이(Active-Matrix FEA : AMFEA) 기술이 제안되었다.^{1)~3)}

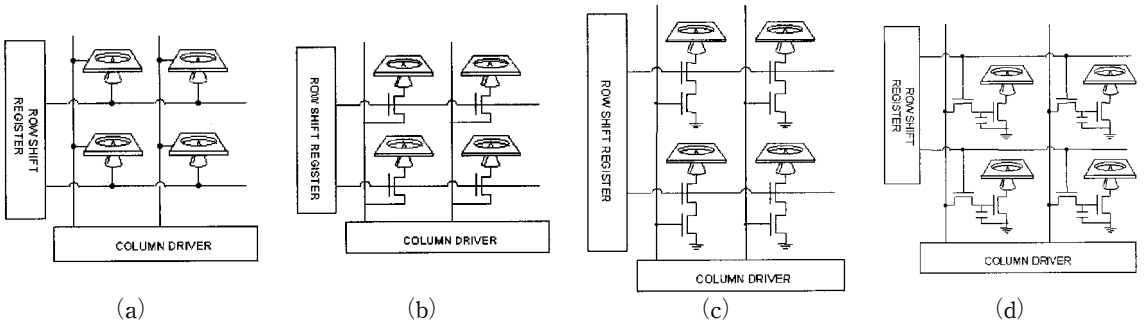
본 글에서는 먼저 AMFEA의 구조 및 동작원리를 설명하고, 금속-산화 전계 효과 트랜지스터

(Metal-on-Silicon Field Effect Transistor : MOSFET), 박막 트랜지스터(Thin-Film Transistor : TFT) 등을 이용한 AMFEA의 제작 및 특성에 관하여 살펴보기로 한다.

II. AMFEA 구조 및 동작원리

AMFEA는 <그림 1>에서 보는 바와 같이 각 픽셀이 FEA와 제어 스위칭 소자로 구성되어 있으며, FEA의 캐소드 전극에 부착되어 있는 제어 스위칭 소자는 FEA의 전계 방출을 능동적으로 제어한다. <그림 1>의 AMFEA 구조에서 (b)는 하나의 제어 스위칭 소자를 가지는 반면 (c)와 (d)는 두개의 스위칭 소자로 구성되어 있는데, 특히 (d)의 구조는 TFT-LCD와 같이 각 픽셀이 메모리 기능을 가지기 때문에 역율(duty factor)을 크게 향상시킬 수 있으며, 이에 따라 FED의 밝기를 크게 높일 수 있다.

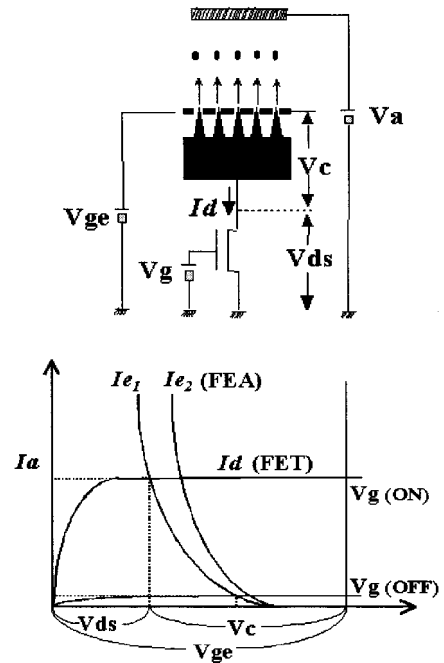
AMFEA에서는 FEA의 전계 방출 전류를 반도체 스위칭 소자로 제어하기 때문에 전계 방출 전류의 균일도 및 신뢰성을 크게 향상시킬 수 있고, 더불어 각 픽셀이 전기적으로 서로 고립되어 있기 때문에 픽셀간 크로스-토크(cross-talk)를 방지할 수 있다. 또한, AMFEA는 SMFEA와는 달리 디스플레이의 스캔(scan) 및 데이터(data) 신호를 각 픽셀의 스위칭 소자를 통하여 어드레싱하기 때문에 FEA의 전계방출에 필요한 전압에 관계없이 디스플레이의 구동 전압을 스위칭 소자의 동작 전압까지 낮출 수 있다. 이에 따



〈그림 1〉 SMFEA (a)와 다양한 AMFEA 픽셀구조 (b), (c), (d)

라 AMFEA에서는 구동회로의 가격 절감은 물론 구동 소비전력을 획기적으로 감소시킬 수 있다. 특히, AMFEA의 각 픽셀은 전기적으로 서로 고립되어 있기 때문에 데이터 라인의 부하 용량이 어드레싱(addressing)되는 픽셀의 전기 용량만을 가지게 되어 구동 소비전력이 크게 낮아진다. 위와 같은 AMFEA의 특성을 SMFEA와 비교하여 〈표 1〉에 정리하였다.

AMFEA 픽셀의 등가회로 및 동작점을 〈그림 2〉에 나타내었다. FEA와 제어 트랜지스터가 캐소드 전극 및 드레인 전극을 통하여 서로 직렬 연결되어 있으며, FEA의 게이트에 인가된 전압 V_{ge} 는 FEA의 캐소드 팁 전압 V_c 와 트랜지스터의 드레인 전압 V_{ds} 로 나누어지며, 이에 따라 AMFEA의 동작점은 두 소자의 전류가 일치하는 전압에서 결정된다. 이렇게 결정되는 동작점이 트랜지스터의 포화 영역(saturation region)에 존재하게 되면 〈그림 2〉에서 보는 바와 같이



〈그림 2〉 AMFEA 픽셀의 등가회로 및 동작점

〈표 1〉 SMFEA와 AMFEA의 특성 비교

ITEMS	SMFEA	AMFEA
Brightness	Normal	Excellent
Gray scale	Normal	Excellent
Contrast	Normal	Excellent
Uniformity	Poor	Excellent
Reliability	Poor	Excellent
Cross-talk	Normal	Excellent
Driving voltage	High	Low
Power consumption	High	Low
Fabrication	Simple	Complex

FEA의 전계 방출 특성이 불균일할 지라도 AMFEA 픽셀의 전계 방출 전류는 거의 동일하게 되어 균일도가 크게 향상된다.

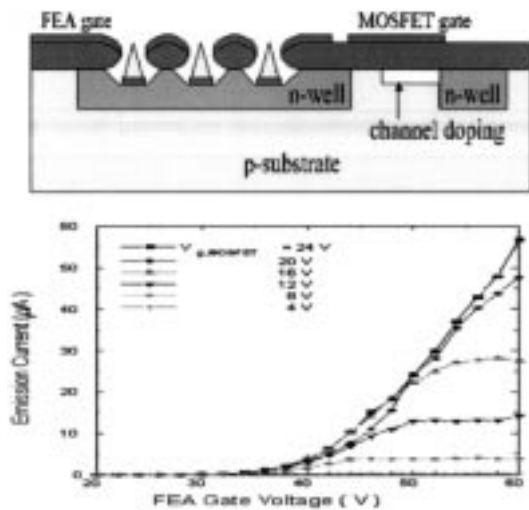
한편, 제어 트랜지스터는 AMFEA 구동 시 (특히, turn-off 상태) 드레인에 매우 높은 전압이 유도되기 때문에 소자 파괴전압(breakdown voltage)이 특별히 높아야 할 뿐만 아니라 고전압하에서도 드레인의 누설전류가 매우 낮아야 하는 고전압 소자의 특성을 가져야 한다. 특히, FEA의 팁과 게이트간에 전기적 단락이 발생하

면 FEA의 게이트 전압이 제어 트랜지스터의 드레인에 직접적으로 인가되기 때문에 소자 파괴전압이 FEA 게이트 동작전압 이상으로 커야 한다.

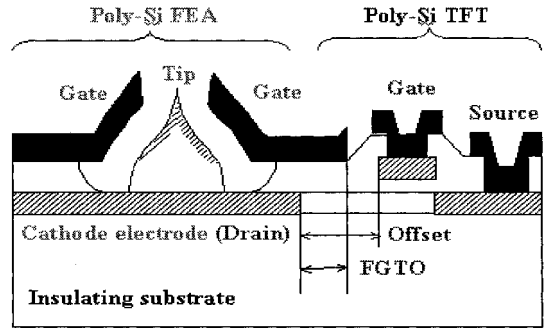
III. AMFEA 제작 및 특성

MOSFET과 FEA를 집적화시킨 MCFEA (MOSFET-Controlled FEA) 소자는 AMFEA 중에서 가장 먼저 제작되었으며, 여러 가지 소자 구조가 제안되어 있으나 가장 일반적인 구조는 <그림 3>과 같다. <그림 3>에서 보는 MCFEA는 고전압 MOSFET의 드레인에 Mo-tip FEA가 집적화되어 있는 구조를 가지며, MOSFET의 채널은 도핑 농도의 조절에 따라 낮은 문턱전압을 가지는 영역과 높은 문턱전압을 가지는 두 영역으로 나누어져 제작되어 있으며 낮은 문턱전압 영역은 소자 파괴전압을 결정하는 반면, 높은 문턱전압 영역은 고전압 MOSFET 전체의 문턱전압을 결정한다.^[2] <그림 3>에서 MCFEA의 전계방출 특성을 살펴보면 일정한 MOSFET의 게이트 전압에 대해서 전계방출 전류는 FEA의 게이트 전압이 증가하더라도 포화되는 영역을 나타내고 있어, MOSFET에 의하여 FEA의 전계방출 전류가 매우 잘 제어됨을 알 수 있다.

<그림 4>는 다결정 실리콘(Poly-Si) FEA와



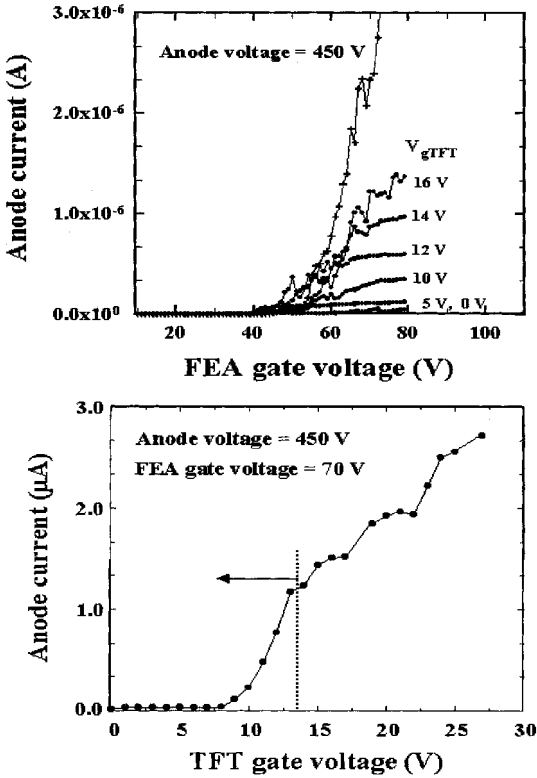
<그림 3> MCFEA 구조 및 전계방출 특성



<그림 4> Poly-Si TFT와 FEA로 구성된 AMFEA 픽셀구조

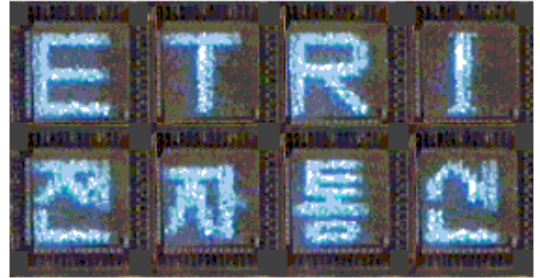
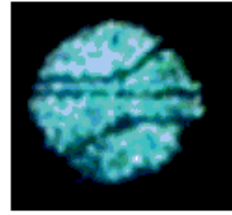
Poly-Si TFT가 집적화된 AMFEA의 픽셀구조를 보여준다.^[4] <그림 4>의 AMFEA에서 Poly-Si TFT는 드레인 영역에 드레인과 게이트가 서로 수직적으로 중첩되지 않는 오프셋(offset)을 가지고, 또한 Poly-Si FEA의 게이트가 TFT 오프셋 영역의 일부를 덮는 구조로 이루어져 있는데, 이러한 구조는 Poly-Si TFT의 소자 파괴전압을 크게 높이면서도 구동 전류를 최대한으로 증가시킬 수 있는 장점을 가진다. <그림 4>의 Poly-Si TFT는 일반적인 고온 공정으로 제작되었으며, TFT 드레인 위의 Poly-Si FEA는 비정질 실리콘(a-Si)을 먼저 증착한 후 식각, 도핑, 및 산화 방법 등으로 Poly-Si 팁을 형성한다. 그 후, FEA의 게이트 산화막 및 게이트 전극 물질을 증착하고, 뒤이어 PR 에치백(photoresist etch-back) 공정으로 FEA의 게이트 구멍을 형성하며, 마지막으로 게이트 구멍내의 산화막을 습식식각 방법으로 제거한다.

Poly-Si TFT와 Poly-Si FEA로 이루어진 AMFEA 픽셀의 전계방출 특성이 <그림 5>에 나타나 있다. 그림에서 보는 바와 같이 일정하게 주어진 Poly-Si TFT의 게이트 전압하에서 아노드 방출 전류는 FEA의 게이트 전압이 증가하더라도 포화되는 영역을 나타내고 있는 것을 볼 수 있고, 더욱이 일정한 FEA의 게이트 전압하에서는 아노드 전류가 TFT의 게이트 전압에 의하여 완벽하게 제어됨을 알 수 있으며(TFT 게이트 전압 < 13V), 특히 이 영역에서는 전계방출 전류가 Poly-Si TFT의 게이트 전압-드레인 전

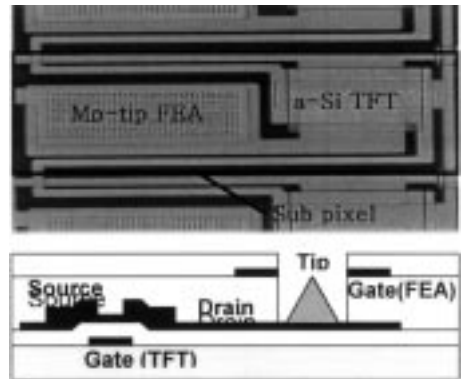


<그림 5> Poly-Si TFT와 FEA로 구성된 MFEA 픽셀의 전계방출 특성

류의 전이 (transfer) 특성과 동일한 형태를 가진다. <그림 6>은 Poly-Si AMFEA의 발광 특성을 보여준다.^[6] 발광 특성은 진공 챔버내에서 25×25개의 AMFEA 픽셀로부터 얻어졌으며, 실험에 사용된 아노드 형광체는 ZnO로 캐소드로부터 약 3mm 떨어져 있다. 측정 시 아노드에는 450 V, FEA 게이트에는 70 V의 직류 전압이 인가되었으며, 디스플레이의 스캔 및 데이터 신호는 15 V의 펄스 형태로 각 픽셀 내에 있는 Poly-Si TFT의 게이트 및 소스로 입력되었으며, 계조 표현(gray representation)은 PWM(Pulse Width Modulation) 방법으로 얻었다. <그림 6>의 AMFEA 발광 특성으로부터 제어 스위칭 트랜지스터를 통한 행렬 구동 및 계조 표현이 가능함을 알 수 있으며, 이에 따라 액티브-매트릭스 전계 방출 디스플레이(AMFED)의 기술적 가능성을 확인할 수 있다.



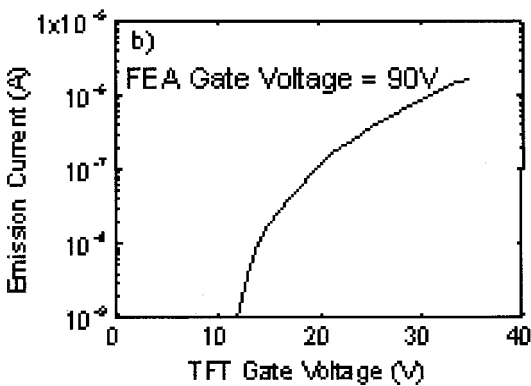
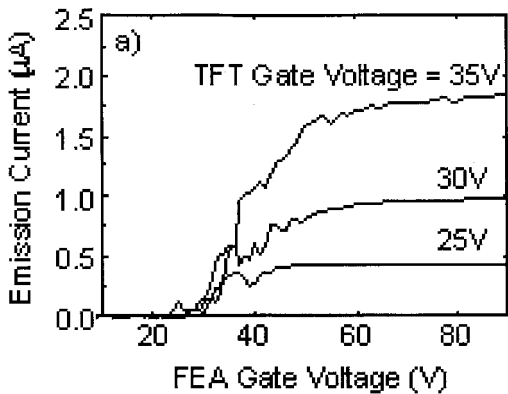
<그림 6> Poly-Si TFT와 FEA로 구성된 AMFEA의 발광



<그림 7> a-Si TFT와 Mo-tip FEA로 구성된 AMFEA 픽셀 구조

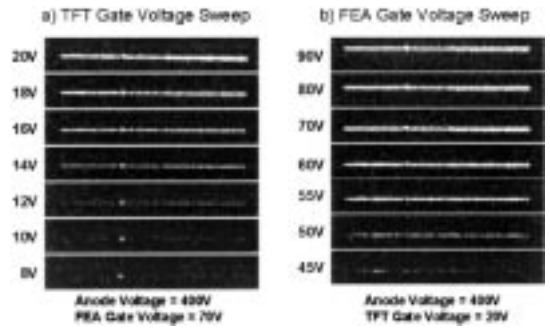
<그림 7>은 a-Si TFT와 Mo-tip FEA가 유리 기판위에 집적화된 AMFEA의 픽셀 구조를 보여준다.^[6] 그림에서 보는 바와 같이 역스태거 (inverted stagger)형 a-Si TFT을 제작한 후에 Spindt 방식으로 Mo-tip FEA을 TFT의 드레인 전극 위에 형성하여 AMFEA를 제작하였다. a-Si TFT의 활성층은 일반적인 TFT-LCD 기술과는 달리 330°C 이상의 고온에서 형성되었는데, 이는 진공 패키징 과정에서의 열화를 억제하기 위한 것이다.

a-Si TFT와 Mo-tip FEA로 이루어진 AMFEA 픽셀의 전계방출 특성이 <그림 8>에



〈그림 8〉 a-Si TFT와 Mo-tip FEA로 구성된 AMFEA 픽셀의 전계방출 특성

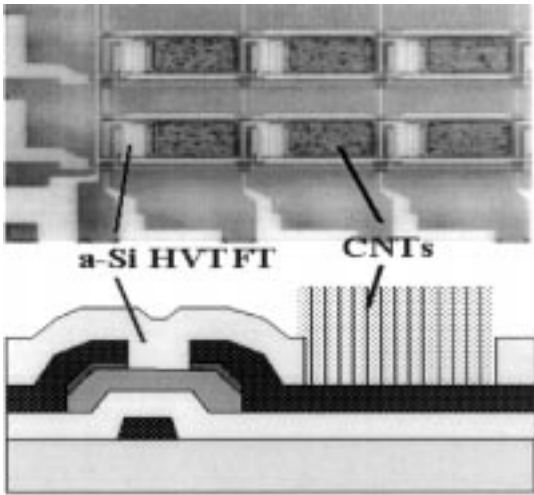
나타나 있다. 일정한 TFT의 게이트 전압하에서 FEA의 게이트 전압에 따른 전계방출 전류는 〈그림 8(a)〉에서 보는 바와 같이 초기에는 거의 선형 또는 비선형적으로 증가하다가 포화되는 경향을 보이고, 일정한 FEA의 게이트 전압하에서 TFT의 게이트 전압에 따른 전계방출 전류는 〈그림 8(b)〉에서 보는 바와 같이 a-Si TFT의 게이트 전압-드레인 전류의 전이특성을 그대로 나타낸다. 이와 같은 AMFEA 특성은 a-Si TFT가 Mo-tip FEA의 전계방출 전류를 완벽하게 제어한다는 것을 나타내며, AMFEA 패널의 구동 신호를 a-Si TFT의 게이트 및 소스 전극를 통하여 어드레싱하면 Mo-tip FEA에 인가되는 전압에 관계없이 저전압으로 구동할 수 있음을 나타낸다. 〈그림 9〉는 64개의 서브픽셀(sub-pixel)로 이루어진 라인 AMFEA를 CaS:Pb 박막 형광체⁷⁾를 이용하여 진공 챔버내



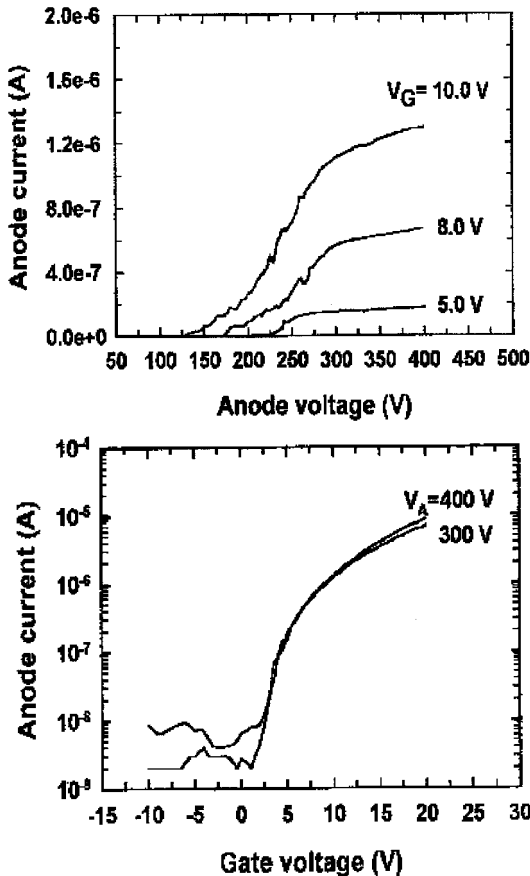
〈그림 9〉 a-Si TFT와 Mo-tip FEA로 구성된 AMFEA의 라인발광

에서 발광 특성을 측정하는 것이다. 측정 시 진공도는 1×10^{-6} Torr, 아노드 전압은 400 V이다. 발광량은 일정한 FEA 게이트 전압(70 V)하에서는 TFT 게이트 전압이 증가함에 따라 급격히 증가하지만, 일정한 TFT 게이트 전압(20 V)하에서는 FEA 게이트 전압 60 V까지는 FEA 게이트 전압에 따라 증가하지만 그 이상의 전압에 대해서는 일정하게 유지됨을 볼 수 있다.

한편, 〈그림 10〉은 새로운 구조의 AMFEA로서, 일명 액티브-매트릭스 다이오드 에미터(Active-Matrix Diode Emitter : AMDE)라 불리어진다.⁸⁻⁹⁾ AMDE은 종래의 삼극형 전계 에미터 대신에 이극형 박막 전계 에미터를 제어 스위칭 소자에 집적화 한 것으로 삼극형 AMFEA에 비하여 제작 공정이 간단하기 때문에 대면적화에 매우 유리할 뿐만 아니라 삼극형 전계 에미터에 필수적인 게이트 및 게이트 절연막이 필요 없기 때문에 소자 파괴(device failure) 현상을 크게 감소시킬 수 있으며, 이에 따라 전계 방출의 신뢰성을 크게 향상시킬 수 있다. 〈그림 10〉은 고전압 비정질 실리콘 박막 트랜지스터(a-Si HVTFT)와 카본 나노튜브(Carbon Nano-Tube : CNT)로 구성된 AMDE의 픽셀 구조를 보여준다. 이극형 전계 에미터에서 전자 방출에 필요한 전기장은 아노드로 인가되며, FED의 응용에서는 통상 아노드 전극이 에미터(캐소드)로부터 수십~수백 μm 로 떨어져 있기 때문에 전자 방출을 유도하기 위해서는 아노드에 수백 볼트 이상의 고전압을 인가하게 된다. 이에 따라 AMDE



〈그림 10〉 a-Si HVTFT와 CNT로 구성된 AMDE 픽셀구조



〈그림 11〉 a-Si HVTFT와 CNT로 구성된 AMDE의 전계방출 특성

의 제어 스위칭 소자로는 반드시 고전압 트랜지스터를 사용하여야 한다. 〈그림 10〉의 a-Si HVTFT는 드레인 영역에 오프셋 구조를 가지도록 설계되었으며, CNT는 광리소그래피 또는 PR 리프트오프(lift-off)^[10], 인쇄(screen printing)^[11-12] 방법 등으로 형성된다.

〈그림 11〉은 a-Si HVTFT와 CNT를 집적화시킨 AMDE의 전계방출 특성을 보여준다. a-Si HVTFT의 게이트에 일정한 전압을 인가한 상태에서 아노드 전류는 낮은 아노드 전압에 대해서는 선형 또는 비선형적으로 증가하다가 높은 전압에서는 포화되는 전형적인 AMFEA의 특성을 나타낸다. 또한, 아노드 전압이 일정한 경우 아노드 방출 전류는 TFT의 게이트 전압에 대해 a-Si HVTFT의 전이 특성을 그대로 따를 수 있다. 이러한 특성은 AMDE의 제어성이 뛰어난 것을 나타내며, 향후 a-Si HVTFT와 CNT의 형성 공정이 개선된다면 FED에로의 응용 가능성이 충분히 있음을 알 수 있다.

IV. 결론 및 전망

전계 에미터와 반도체 스위칭 소자를 결합한 AMFEA 기술은 현재 FED의 상용화에 가장 큰 애로점인 안정성 및 신뢰성 문제점을 해결할 수 있는 실마리를 제공해 줄 뿐만 아니라, 향후 고품위 FED 제조에 필요한 기술적인 요구 사항을 쉽게 만족시킬 수 있으리라 예상된다.

MOSFET을 이용한 MCFEA는 향후 구동회로를 패널에 일체화시킨 원칩(one-chip) FED 등에 강점을 가지고 있지만 픽셀의 전기적 격리(isolation) 문제를 선형적으로 해결하여야 할 것으로 생각되며, TFT와 Mo-tip FEA를 결합시킨 AMFEA는 중·소형 크기의 고휘도 FED 응용에 적합하나 제작 공정의 단순화와 고전압 아킹(arching) 문제 해결에 연구력을 집중해야 할 것이다. 이극형 전계 에미터를 채택한 AMDE는 이극형 FEA의 장점과 능동 구동의 장점을 모두 가짐으로써 FED의 대면적화, 저가격화에 크게 기여할 수 있을 것으로 판단되며, 고전압 스

위칭 트랜지스터 개발, 박막형 전계 에미터 형성, 픽셀 구조 및 구동 방법 등의 요소기술 개발이 시급히 요구된다.

감사의 글

a-Si TFT, Mo-tip FEA, CNT, AMFEA 공정과 특성 분석 등을 함께 수행한 한국전자통신연구원 FED소자팀원 여러분께 감사를 드리며, 발광 실험을 위해 CaS:Pb 박막 형광체를 제공해주신 윤선진 박사님과 박상희 박사님께도 심심한 감사를 표합니다.

참 고 문 헌

- [1] J. Itoh, *Proc. 3th Int. Display Workshops, Japan, 1996*, p.155.
- [2] J. D. Lee, D. Kim, and I. H. Kim, *4th Int. Display Workshops, Japan, 1997*, p. 715.
- [3] S. Kanemaru, K. Ozawa, K. Ehara, T. Hirano, and J. Itoh, *10th IVMC Tech. Dig., Kyongju, Korea, 1997*, p. 34.
- [4] Y.-H. Song, J. H. Lee, S.-Y. Kang, J.-M. Park, and K. I. Cho, *SID98 Tech. Dig., 1998*, p.189.
- [5] Y.-H. Song, J. H. Lee, S.-Y. Kang, S.-Y. Choi, K.-S. Suh, M.-Y. Park, and K. I. Cho, *J. Korean Vacuum Science & Technology*, **3**, 33 (1999).
- [6] C.-S. Hwang, Y.-H. Song, Y.-R. Cho, S.-D. Ahn, D.-H. Kim, H.-S. Uhm, J. H. Lee, and K. I. Cho, *to be presented at IMID'01, Korea, 2001*.
- [7] S. J. Yun, Y. S. Kim, and S.-H. K. Park, *Appl. Phys. Lett.*, **78**, 721 (2001).
- [8] Y.-H. Song, D.-H. Kim, S.-W. Lee, S.-K. Lee, M.-Y. Jung, S.-Y. Kang, Y. R. Cho, J. H. Lee, and K. I. Cho, *SID00 Digest*, p.1252.
- [9] J. H. Lee, Y.-H. Song, Y.-R. Cho, S.-Y. Kang, M.-Y. Jung, C.-S. Hwang, S.-K. Lee, D.-H. Kim, H.-S. Um, K.-I. Cho, and D. S. Ma, *7th Int. Display Workshops, Japan, 2000*, p.935.
- [10] Y.-R. Cho, J. H. Lee, C.-S. Hwang, Y.-H. Song, H.-S. Uhm, D.-H. Kim, S.-Y. Kang, M.-Y. Jung, and K. I. Cho, *to be presented at SID'01, 2001*.
- [11] W. B. Choi, D. S. Chung, J. H. Kang, H. Y. Kim, Y. W. Jin, I. T. Han, Y. H. Lee, J. E. Jung, N. S. Lee, G. S. Park, and J. M. Kim, *Appl. Phys. Lett.*, **75**, 3129 (1999).
- [12] F.-Y. Chuang, C.-C. Lee, J.-D. Lin, J.-H. Liao, H.-C. Cheng, C.-X. Han, J.-L. Kwo, W.-C. Wang, *SID00 Digest*, p.329.