

# FED 구동 기술

나 영 선, 권 오 경(한양대학교)

## I. 서 론

FED(Field Emission Display)는 160도 이상의 광시야각, 300cd/m<sup>2</sup> 이상의 고휘도, 100 : 1 이상의 고대비비, 넓은 온도 동작 범위, 빠른 응답 속도 등 CRT와 비슷한 디스플레이 특성을 갖는 평판 디스플레이 소자로서, 최근 상용화를 위한 연구가 활발히 진행되고 있다.

본 글에서는 먼저, FPD(Flat Panel Display, 평판 디스플레이)의 소자 특성에 따른 전압 및 전류 구동 방식에 대해 설명하고, 수동 및 능동 매트릭스 구조의 구체적인 FED 패널 구조 및 구동 방식을 여러 구현 예를 들어 살펴보고자 한다.

## II. 본 론

### 1. 전류 구동형 FPD 구동 기술

FPD는 구동 기술에 따라 전압 구동형(voltage driven)과 전류 구동형(current driven)으로 나눌 수 있다. LCD(Liquid Crystal Display), PDP(Plasma Display Panel) 등이 전자에 속하고, FED, LED(Light Emitting Diode) 및 EL(Electro-Luminescent) 등이 후자에 속한다. 예를 들어, TFT-LCD와 같이 LC-pixel의 양단에 인가된 전압의 크기에 따라 계조(gray levels)를 구현할 수 있는 경우 이를 전압 구동형으로 구분하고, FED와 같이 FED pixel의 양단간에 흐르는 전류의 양에 따라 계조가 결정되는 경우 이를 전류 구동형으로 구분한

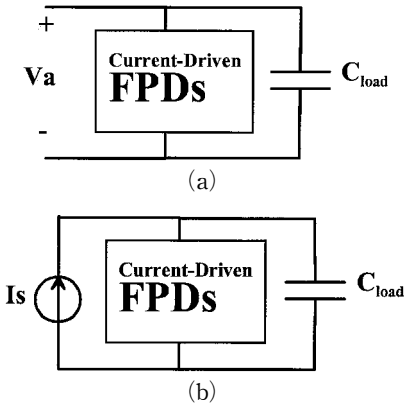
다. 보통 전류 구동형 FPD의 경우 전압-전류의 관계는 diode의 전압-전류 특성과 유사하고, 계조와 전류의 관계가 비교적 선형적이다.

전류 구동형 FPD를 구동 하는 방법은 전압 구동 방식, 전류 구동 방식 또는 전압-전류 혼합 구동 방식 등이 있다. <그림 1>은 전류 구동형 FPD의 전압 구동 및 전류 구동의 예를 간단히 표현한 것으로, 능동 및 수동 매트릭스 형태의 전류 구동형 FPD pixel의 양단자에 인가되는 전압 또는 전류 형태에 따른 구동 특성을 다음과 같이 살펴볼 수 있다.

<그림 1(a)>의 경우와 같이 전압 구동 방식을 적용하기 위해서 FPD는 수동 매트릭스 형태로 구성되어야 하며, 2단자 구조의(예를 들어 EL) FPD의 경우 능동 매트릭스 형태로 되어 있으면 전압 구동 방식을 사용하여 구동이 불가능하다. 그 이유는, 전류 구동형 FPD의 특성상 2단자 사이에 전류가 흘러서 계조를 구현하므로, 전압 구동 방식을 사용하면 인가된 전압 Va가 1-frame 동안 유지되지 않기 때문이다. 물론 모든 pixels의 Va가 독립적인 전원 전압으로 존재 한다면 전압 구동 방식으로도 구현 가능한 일이다. <그림 1(a)>와 같은 전압 구동 방식의 특징은 다음으로 요약된다.

- Fast driving
- Non-uniform display

즉, 전압 구동 방식은 라인 및 pixel의 용량성 부하를 빠른 시간 내에 charging 및 discharging을 할 수 있으므로 빠른 데이터 address-



〈그림 1〉 전류 구동형 FPDs의 구동 방식  
(a) 전압 구동 방식 (b) 전류 구동 방식

ssing이 가능한 장점이 있는 반면, 전류 구동형 FPD의 각 pixels의 전압-전류 특성이 불 균일한 경우 같은 전압을 인가하여도 pixel마다 흐르는 전류가 다르기 때문에 균일한 계조를 얻을 수 없다.

〈그림 1(b)〉와 같은 전류 구동 방식은 능동 및 수동 매트릭스 형태에 모두 적용 가능하고, 다음의 특징을 갖는다.

- Slow driving
- Uniform display

전류 구동 방식은 각 계조에 해당하는 전류량을 갖는 전류원 Is를 공급하여 전류의 형태로 데이터 라인을 charging 또는 discharging하므로, FPD의 라인 및 pixel의 용량성 부하가 큰 경우 settling time이 매우 긴 단점이 있는 반면, 전류원 Is가 각 데이터 라인 별로 균일한 특성을 얻을 수 있으면 각 pixel의 전압-전류 특성이 불 균일한 경우에도 균일한 디스플레이 특성을 얻을 수 있다는 장점이 있다.

따라서, 위 두 가지 구동 방식을 혼합하여 데이터 addressing 초기에는 전압을 인가하여 데이터 라인 또는 pixel의 부하를 일정 데이터 전압 레벨까지 charging 또는 discharging하고, 그 후에는 해당 계조에 해당하는 전류원을 이용하여 전류 레벨을 결정하는 구동방식을 생각할 수 있다. 이는 빠른 구동과 균일한 디스플레이 특성을

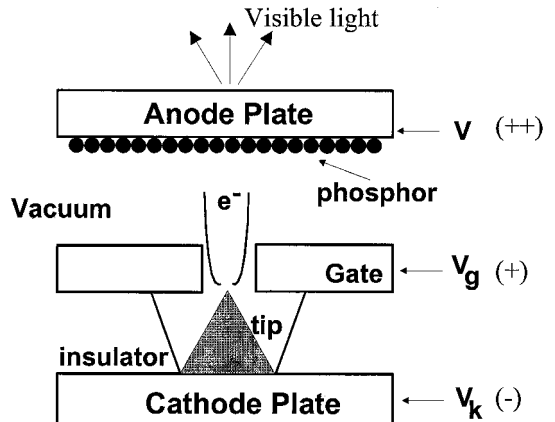
모두 구현할 수 있는 장점이 있는 반면 구동 회로가 좀더 복잡한 단점이 있다.

### 2. FED 동작 원리

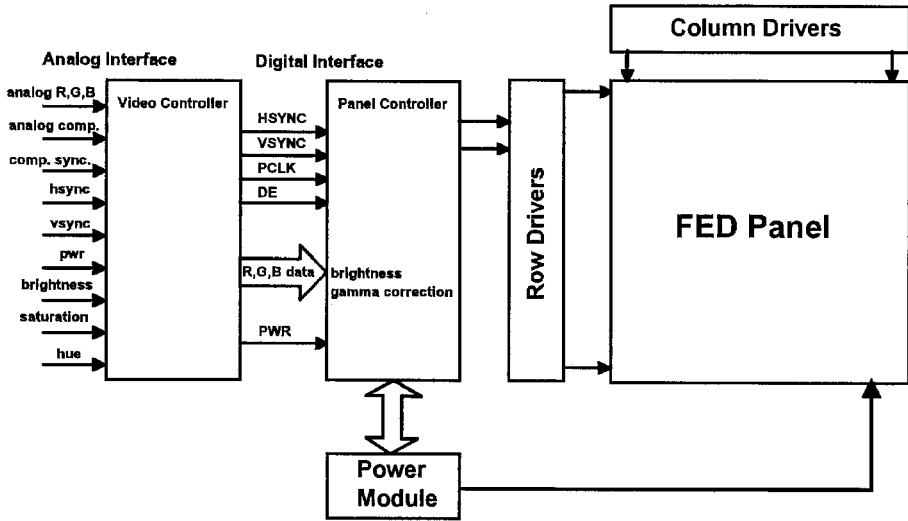
〈그림 2〉는 전류 구동형 FPD의 일종인 FED의 동작 원리를 설명하기 위한 간략도이다. 〈그림 2〉에서 게이트와 캐소드의 양단에 일정한 고전압이 인가되면 게이트와 tip의 침점 사이에 강한 전계가 형성되고 임계값을 넘으면 tip의 침점 부분에서 진공(vacuum)으로 전자가 방출된다. 방출된 전자들은 진공을 통과해서 게이트 보다 높은 고전압이 인가되어 있는 아노드쪽으로 가속된다. 가속된 전자는 아노드 전극판에 얇게 도포되어 있는 형광물질(phosphor)과 충돌하고 빛이 발생된다. 빛의 밝기는 방출된 전자의 양과 아노드 전극에 의해 가속된 전자의 에너지에 비례하게 되고, 이 빛의 밝기를 조절하여 계조를 구현할 수 있다.

### 3. FED 구동 기술

〈그림 3〉은 FED 또는 일반적인 FPD를 구동하기 위한 디스플레이 구동 시스템의 개략도를 나타내고 있다. 디스플레이 하기 위한 외부 비디오 데이터와의 아날로그 혹은 디지털 인터페이스 회로와 여러 디스플레이 제어 신호 그리고 이를 받아 Row 및 Column Driver 회로부에서 각각 실제 FED 패널에 맞는 scan 신호를 생성하



〈그림 2〉 동작 원리를 설명하기 위한 FED의 간략도<sup>1)</sup>



〈그림 3〉 FPD 구동 시스템 개략도

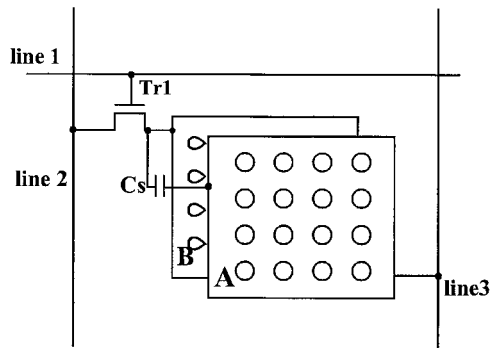
고 데이터를 각 pixel에 기입하는 부분으로 구성 되어 있다.

1) 능동 매트릭스 FED 패널 구동 기술

능동 매트릭스 FED 패널은 여러 개의 tip으로 구성된 각 pixel에 능동 회로가 존재하여 전기-광학적인 비선형성이 수동 매트릭스 패널에 비해 현격히 향상된 구조로서, 능동 회로의 구조에 따라 적용되는 구동 방식은 다르다. 다음은 이미 구현되었거나 실현 가능한 구체적인 예를 구동 방식별로 설명한다. 편의상 아노드 전극판은 도시하지 않기로 한다.

(1) AM Voltage Driving Method

〈그림 4〉는 TFT(Thin Film Transtor ; 박막 트랜지스터)와 pixel storage capacitance를 이용한 AM(Amplitude Modulated) voltage driving method를 설명하기 위한 예로서<sup>[2]</sup>, TFT-LCD의 pixel 구조와 유사하다. 그림에서 A/B는 각각 게이트/캐소드 전극판이고, CS와 Tr1은 각각 pixel storage capacitance와 TFT이다. Line 1에는 addressing을 위한 row scan 파형이 인가되고, line 2에는 각 pixel에 표시되는 계조에 해당하는 데이터가 입

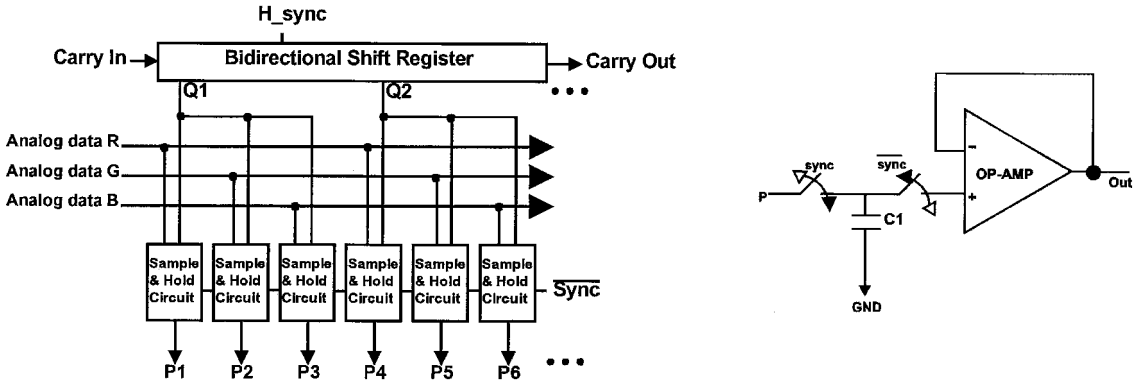


〈그림 4〉 AM voltage driving method를 이용한 능동 매트릭스 FED pixel 구조<sup>[2]</sup>

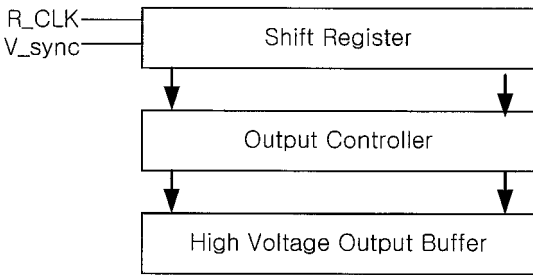
력된다. Line 3에는 공통 바이어스가 인가되어 line 2로부터 입력되는 전압의 크기에 따라 CS 양단간의 전압이 결정되고 A와 B 양극판의 전압차에 해당하는 만큼의 전자 방출이 이루어진다. 〈그림 3〉의 Row Driver는 〈그림 4〉의 line 1과 연결되어 〈그림 5〉와 같은 회로 구성을 갖고, line 2에는 〈그림 3〉의 Column Driver가 연결되며 〈그림 6〉과 같은 회로로 구성될 수 있다. 〈그림 4〉에서 line 3에는 보통 음의 공통 전압이 인가된다.

(2) PWM Current Driving Method

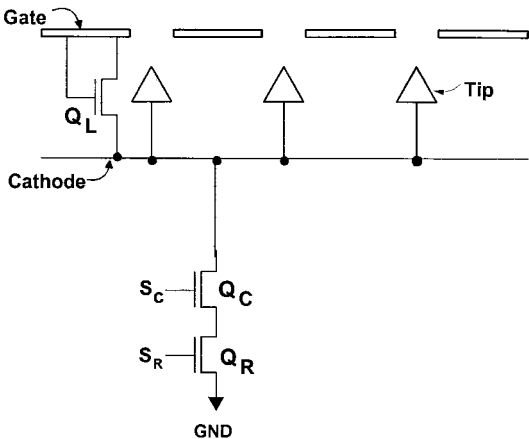
〈그림 7〉은 PWM current driving method



〈그림 6〉 (a) 〈그림 3〉의 Column Driver 내부회로도, (b) (a)의 Sample & Hold Circuit 구성도



〈그림 5〉 〈그림 3〉의 Row Driver 내부 회로 구성 간략도

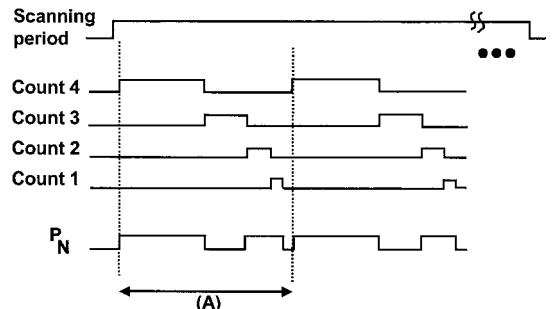


〈그림 7〉 PWM current driving method를 이용한 능동 매트릭스 FED pixel 구조<sup>[3]</sup>

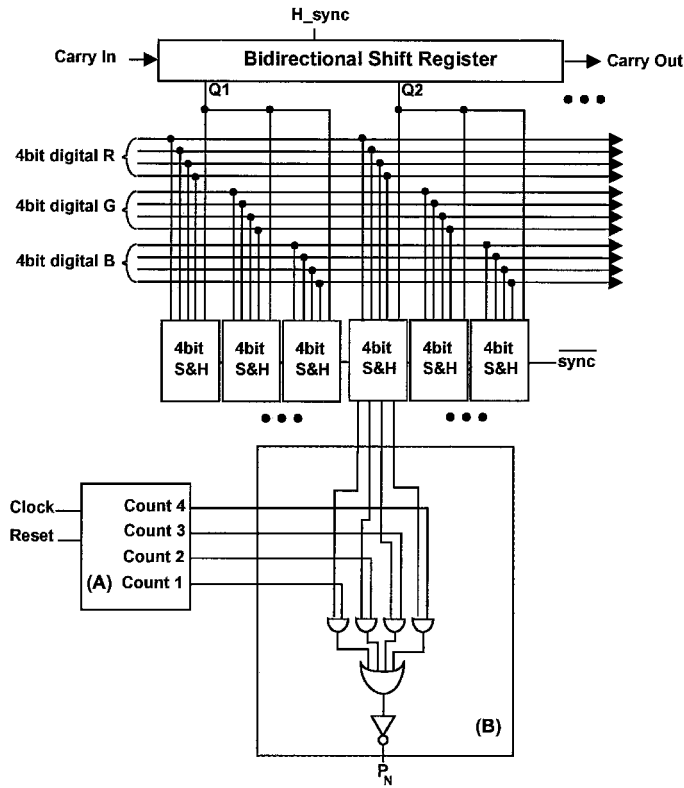
(펄스폭 변조 전류 구동)을 설명하기 위한 예이다<sup>[3]</sup>. 〈그림 7〉에서 각 pixel에 존재하는 두 개의 Tr. 즉 Qc, Qr은 각각 column 및 row 제어 신호 SC, SR에 의해 On/Off 역할을 하는 스위

칭 Tr.이고, Sc, SR의 조건에 따라 캐소드의 전압을 낮추어 pixel에서 전류의 방출을 제어하는 방식이다. SR을 row line 선택 신호로 사용하고, SC을 계조에 따라 시간 폭이 변조된 펄스를 인가하는 column line으로 사용하면 각 pixel에서의 계조를 표현할 수 있다. 〈그림 8〉은 Column line에 인가할 PWM pulse를 생성하는 구동 회로를 보이고 있다. 〈그림 9〉는 〈그림 8〉 회로의 출력 파형이다.

〈그림 7〉은 능동 매트릭스 FED 패널의 pixel 구조를 갖지만, line time 동안에만, 즉 Qc와 Qr이 동시에 ON 되는 시간에만 pixel에서의 전계 방출이 일어난다. 이는 pixel에 메모리 소자가 없기 때문이고, 한번 addressing이 되고 나면 frame time 동안 각 pixel에서 전계 방출이 일어나는 〈그림 4〉와는 차이가 있는 pixel 구조이다.



〈그림 9〉 〈그림 8〉의 출력 파형

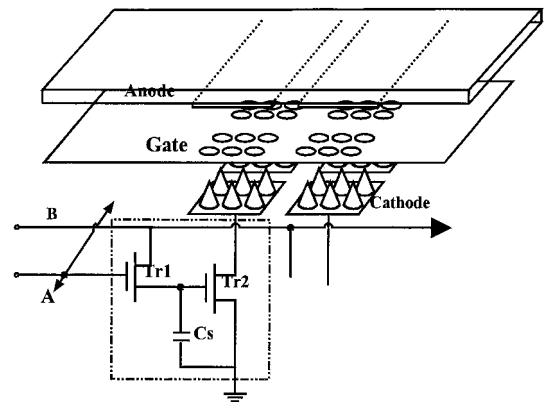


〈그림 8〉 PWM 전압 파형을 생성하기 위한 회로 개념도

〈그림 7〉 pixel 구조에서 화면의 밝기는  $S_c$  또는  $S_R$  신호의 입력 전압 수준을 조절함으로써 제어 가능하다. 〈그림 7〉에서  $Q_L$ 의 역할은  $S_c, S_R$  제어 신호가 모두 접지 전위인 경우 캐소드의 전압을 상승시켜 팁에서의 전자 방출을 막기 위한 것이다.  $Q_L$ 의 문턱전압을  $V_T$ 이라고 하면,  $V_{Gate} - V_T(Q_L)$ 의 전압이 캐소드에 인가된다. 이때 캐소드와 접지 사이에 존재하는  $Q_C, Q_R$  소자의 항복전압 특성에 맞추어  $V_T(Q_L)$ 이 결정되고, 보통의 소자에 비해  $Q_L$ 은 높은 문턱전압을 갖도록 필드 산화물층(field oxide)을 게이트 산화막으로 이용하여 제작된다.

### (3) AM Current Driving Method

〈그림 10〉은 AM current driving Method (진폭 변조 전류 구동) 방식을 이용한 능동 매트릭스 FED pixel 구조의 한 예이다<sup>[4]</sup>. 그림에서 각 픽셀은 두 개의 TFTs( $Tr_1, Tr_2$ )와 stor-



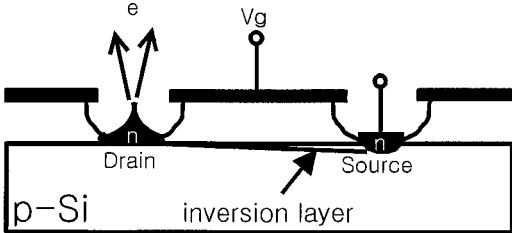
〈그림 10〉 AM Current Driving Method를 이용한 능동 매트릭스 FED pixel 구조<sup>[4]</sup>

age capacitance  $C_s$ 로 구성되어 있다. A에는 addressing을 위한 row scan 파형이 인가되고, B로부터 데이터가 입력되어  $C_s$ 에 저장된다.  $C_s$  양단간에 인가된 전압의 크기에 따라  $Tr_2$ 로부터의 전류가 제어되어 각 pixel에서의 방출 전류량

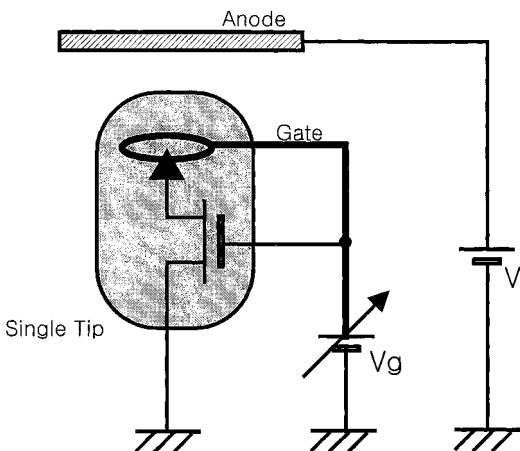
이 결정된다. 이 방식에서는 각 pixel간의 Tr2 소자의 전압-전류 특성이 균일해야 균일한 디스플레이 특성을 얻을 수 있다는 제한이 있다. <그림 10>을 위한 Row 및 Column 구동 회로는 각각 <그림 5>와 <그림 6>과 같으며, <그림 4>의 구동에 비해서는 보다 더 낮은 전압으로 구동 가능하다는 장점이 있다.

(4) MOSFET tips을 갖는 능동 매트릭스 FED 구동 방식

<그림 11>은 기존의 Spindt type metal tips<sup>[6]</sup> 구조와는 달리 실리콘 기판 위에 MOSFET (Metal Oxide Field Effect Transistor)의 드레인을 팁으로 사용하고 전자 방출을 유도하는 게이트와 방출 전류량을 제어하는 MOSFET의 게이트를 공통 전극으로 사용하여 하나의 전극으로 전자 방출과 방출 전류량의 제어를 구현한 구조이다<sup>[6]</sup>. <그림 12>는 <그림 11>의 동작의 이해

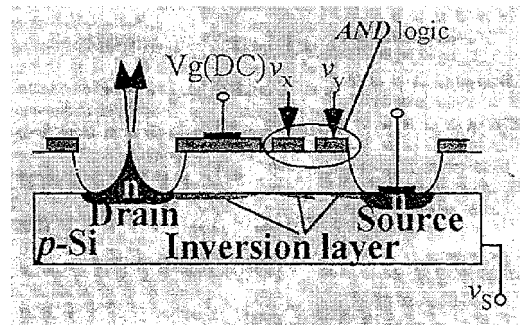


<그림 11> MOSFET tip 구조<sup>[6]</sup>

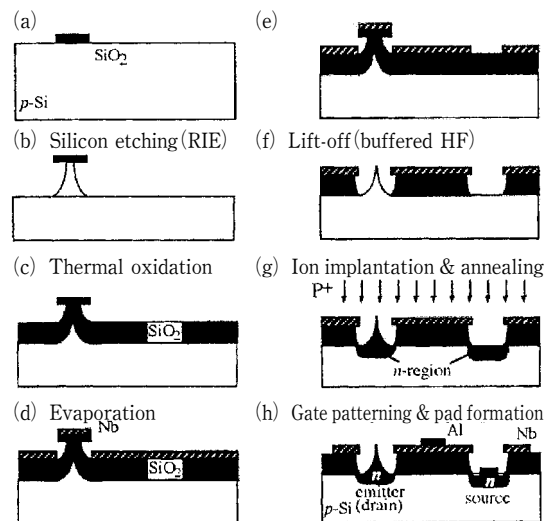


<그림 12> <그림 11>의 등가 회로 모델<sup>[6]</sup>

를 돕기 위한 등가 회로 모델이다. <그림 13>은 <그림 11>의 수정된 구조로서, <그림 11>의 구조로는 불가능한 능동 매트릭스 addressing이 가능하고 또한  $V_x$ 와  $V_y$ 의 구동 전압을 TTL (Transistor Transistor Logic) 수준으로 낮추어 CPU, Memory 및 Solar cell 등과 같은 실리콘 기판 위에 집적이 가능하다는 장점이 있다. <그림 13>에서 MOSFET tip으로부터 방출 전류가 존재하기 위해서는  $V_x$ 와  $V_y$ 가 모두 ON 전압이 인가되어야 한다. <그림 14>는 <그림 11>의 MOSFET tip의 제조 공정 순서도이다. <그림 14>에서 드레인의 tip은 RIE(Reactive Ion Etching) 기법으로 제조하고 산화막을 성장



<그림 13> 삼중 게이트 구조를 갖는 MOSFET tip 구조



<그림 14> <그림 11>의 MOSFET tip 제조 공정 순서도<sup>[6]</sup>

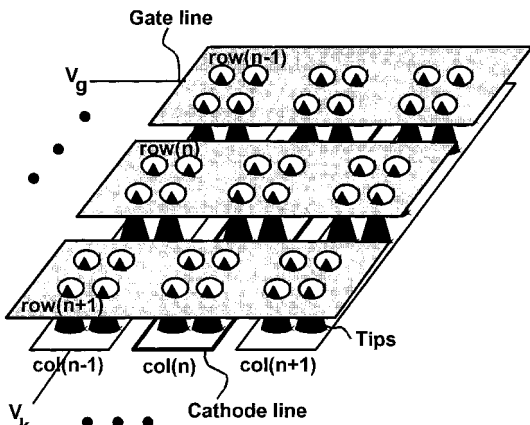
시커 드레인의 팁을 예리하게 만든 후 고농도의  $n^+$  이온을 주입하여 MOSFET의 드레인과 소스 영역을 형성한다.

2) 수동 매트릭스 FED 구동 기술

능동 매트릭스 FED 패널의 구조와는 달리 수동 매트릭스 FED 패널에는 각 pixel에 능동 회로가 없다. 그러나, FED는 전기-광학적인 비선형성이 우수하여 수동 매트릭스 구동이 가능하다. 다음은 수동 매트릭스 FED 패널을 구동하기 위한 전압 및 전류 구동 방식의 예이다.

(1) 전압 구동 방식

<그림 15>는 수동 매트릭스 FED 패널의 전압 구동 방식의 예를 보이고 있다. 캐소드는 column line에 연결되고, 게이트는 row line에 연결되어 행전극과 열전극이 교차되는 곳에서 pixel이 형성되고, 각 화소는 여러 개의 tip으로 구성되어 있다. 특정 Row line에 순차적으로 고전압을 인가하여 선택하고, column lines으로부터 pulse 또는 아날로그 형태의 전압을 인가하면 계조를 표현할 수 있다. 이 구동 방식은 FED 패널의 각 pixel의 전압-전류 특성이 균일하여야 균일한 디스플레이 특성을 얻을 수 있다는 제한이 있다. Pulse를 이용하여 계조를 표현하는 경우의 column 구동 회로는 <그림 7>의 구동을 위해 사용된 <그림 8>, <그림 9>의 회로가 활용



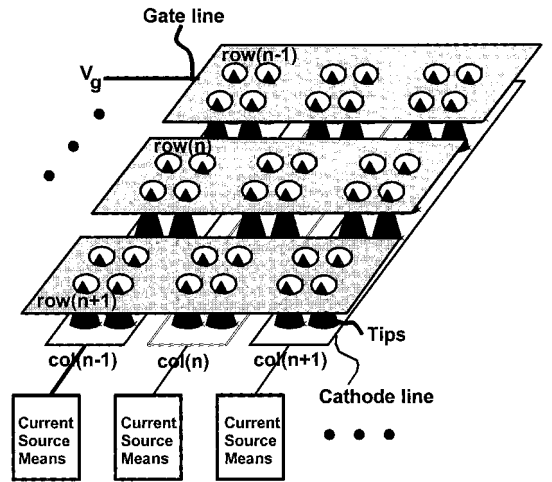
<그림 15> 수동 매트릭스 FED 패널의 전압 구동 방식

될 수 있고, 아날로그 형태의 전압을 인가하여 계조를 표현하는 경우 <그림 3>의 구동을 위해 사용된 <그림 6> 회로가 활용될 수 있다.

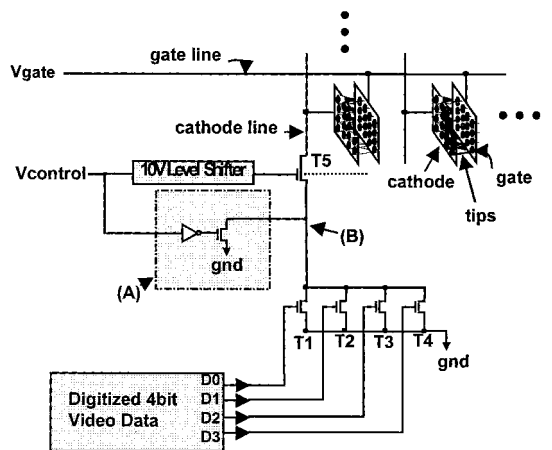
(2) 전류 구동 방식

<그림 16>은 <그림 15>에서 column line에 연결되어 있는  $V_k$  대신 pulse 또는 아날로그 형태의 정전류원을 사용한 전류 구동 방식의 예를 보이고 있다.

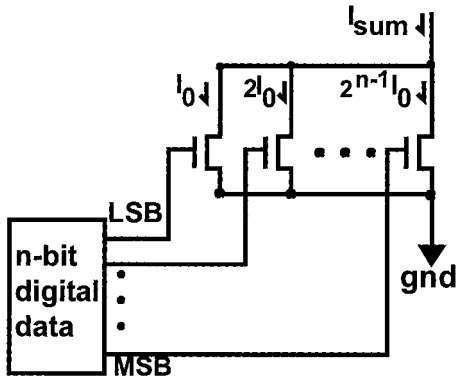
전류 구동 방식의 일 예로서 <그림 17>은 <그림 16>에서 아날로그 형태의 전류원을 사용하여



<그림 16> 수동 매트릭스 FED 패널의 전류 구동 방식

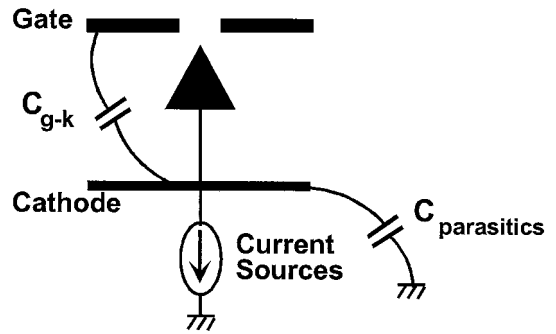


<그림 17> 아날로그 전류원을 이용한 수동 매트릭스 FED 데이터 구동 회로의 계통도<sup>[7]</sup>



〈그림 18〉 〈그림 17〉과 관련하여, 디지털 데이터를 입력 받아 아날로그 전류 출력을 얻기 위한 2의 n-지수배로 scaling된 전류원 회로도<sup>[7]</sup>

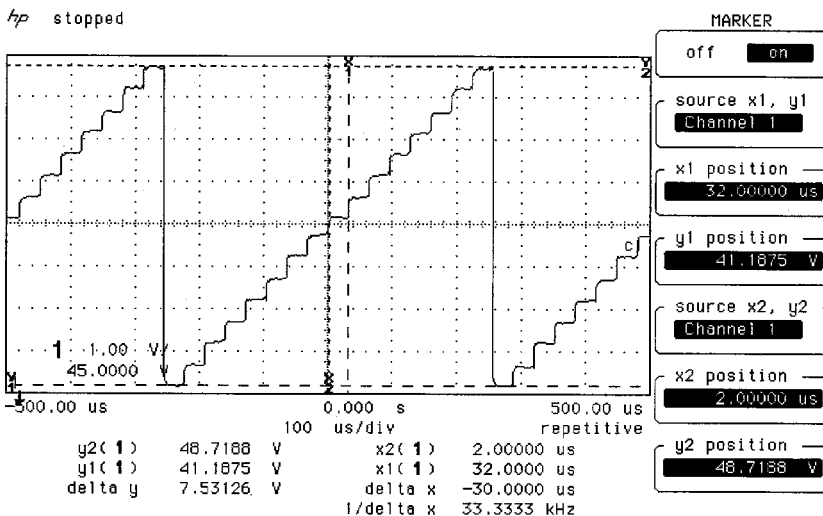
수동 매트릭스 FED 패널을 구동한 데이터 구동 회로의 계통도이다. 디지털 4bit 비디오 데이터를 입력 받아 〈그림 18〉과 같이 2의 n 지수 배로 scaling된 전류원의 조합으로 데이터 라인에 인가할 방출 전류량을 결정한다<sup>[7]</sup>. 〈그림 17〉에서 T1-T4는 저전압 소자이고, T5는 T1-T4를 보호하는 고전압 소자이다. 이렇게 고전압과 저전압 소자를 조합하여 데이터 구동회로를 구성한 이유는 〈그림 19〉에서 보여 주는 바와 같이, gate line을 scan할 때에 capacitive coupling에 의해 캐소드 전극에 고전압이 인가되면 저전압



〈그림 19〉 Gate와 cathode 및 접지 사이의 capacitive coupling을 보여주는 그림

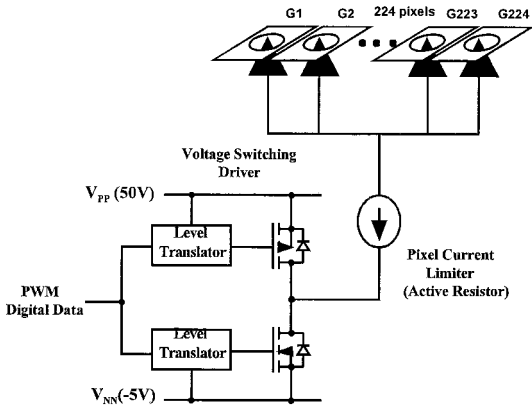
소자로 구성된 전류원이 손상되기 때문이다. 물론, 고전압 소자만으로 전류원을 구성하는 방법을 생각할 수도 있지만, 저전압 소자에 비해 고전압 소자는 chip 면적을 많이 차지하고, 전압-전류 특성이 저전압 소자에 비해 불균일하기 때문에 보호용 고전압 소자와 전류 결정용 저전압 소자를 조합하는 것이 효과적이다<sup>[7]</sup>. 〈그림 20〉은 실제로 제작된 chip에 고전압을 인가하여 출력을 오실로스코프로 측정한 결과를 보이고 있다. 고전압이 인가된 상황에서도 4bit 디지털 데이터를 받아 16계조를 잘 표현하고 있음을 알 수 있다.

전류 구동 방식의 두 번째 예로서, 〈그림 21〉은 〈그림 16〉에서 PWM pulse 형태의 전류원



〈그림 20〉 실제 제작된 〈그림 17〉의 데이터 구동 회로의 출력단에 고전압(50V)을 인가한 상태에서 16계조의 측정 데이터<sup>[7]</sup>





〈그림 21〉 PWM current 구동 방식을 이용한 수동 매트릭스 FED 패널<sup>[8]</sup>



〈그림 22〉 〈그림 21〉의 구동 방식을 채용한 300×225 5인치 수동 매트릭스 FED 패널의 데모 화면<sup>[8]</sup>

〈표 1〉 FED 구동 방식별 비교

구동방식	(1)	(2)	(3)	(4)	(5)	(6)
1. AM Voltage Drive	×	○	△	○	○	○
2. PWM Voltage Drive	△	×	△	○	△	×
3. PWM Current Drive	○	×	△	×	×	×
4. AM-PWM Mixed Voltage Drive	×	△	×	○	○	△
5. Digitized AM Current Drive With Voltage Pre-charge	○	○	○	×	○	○

을 사용하여 수동 매트릭스 FED 패널을 구동한 데이터 구동 회로의 계통도이다. 외부 제어부로부터 전압 형태의 PWM 디지털 데이터를 입력 받아 전류 형태의 출력 전류를 수동 매트릭스 FED의 캐소드 라인으로 흘려주어 계조를 표현하는 방식으로 8-bit R/G/B 데이터에 해당하는 256 계조를 표현할 수 있도록 설계되었다. 〈그림 22〉는 〈그림 21〉의 구동 방식으로 설계된 구동 회로를 300×224 해상도를 갖는 5인치 수동 매트릭스 FED 패널에 적용한 데모 화면이다.

### III. 결 론

본 글에서는 능동 및 수동 매트릭스 FED 패

널의 여러 구동 방식 및 구동 회로를 살펴 보았다. 끝으로 본 글에서 소개된 각 구동 방식을 이용하여 전체 구동 시스템을 완성한다고 할 때, 다섯 가지 구동 기술의 관점에서 장단점을 간략히 〈표 1〉에 정리하였다. 전압 및 전류 구동 방식을 혼합한 구동 방식이 많은 장점이 있음을 볼 수 있다. 현재까지 연구소에서 데모 수준으로 설계되고 상용화의 길이 멀게만 느껴지던 FED가, SID 2000에서 Candescant와 Sony사의 13.2-inch SVGA급 FED panel을 성공적으로 데모로 인하여 상용화의 가능성이 가깝게 보이고 있다<sup>[9]</sup>.

## 참 고 문 헌

- [1] Scheme on Field Emission "Display Performances," in proc. Eurodisplay'96 conf., pp.169-172, Oct. 1996.
- [2] Takao Kishino and Yoichi Kobri, "Display Device," USA Patent application 5 153 483, Oct. 6, 1992.
- [3] N. W. Parker *et al.*, "Cold-Cathode Field Emission Device Employing A Current Source Means," USA Patent application 5 157 309, Oct. 20, 1992.
- [4] S. L. Casper and T. A. Lowrey, "Flat pannel Display in Which Low-Voltage Row and Column Address Signals Control A Much Pixel Activation Voltage," USA Patent application 5 210 472, May 11, 1993.
- [5] I. Brodie *et al.*, "Vacuum Microelectronics Devices," Proc. IEEE, vol. 82, no. 7, pp.1006-1034, July 1994.
- [6] Junji Itoh and Seigo Kanemaru, "An Intelligent Field Emission Display Based on a New Generation Field Emitter Array," in SID Tech. Dig., pp. F47-F53, 1997.
- [7] Y. S. Na, *et al.*, "A New Data Driver Circuit for Field Emission Display," in Asia Display Tech. Dig., pp.137-140, Sep. 1998.
- [8] H. J. Shin, *et al.*, "A Novel Driving System for 5" True Color FED, " in IDW'00 Tech. Dig., pp.943-946, Nov. 2000.
- [9] Candescent Co. and Sony Co. in SID 2000 Demo.