

스핀트로닉스를 이용한 나노소자의 개발 전망

이우영* · 신경호 · 김희중

나노소자연구센터
한국과학기술연구원

I. 서 론

1897년 J. J. Thomson이 전자를 발견하고, 1948년 벨 연구소에서 진공관을 대체하는 트랜지스터가 개발된 이후 반도체를 기반으로 하는 전자소자 기술은 실리콘 CMOS(complimentary metal oxide semiconductor)를 바탕으로 눈부신 발전을 이루어 왔으며 21세기에 이르러 비약호로 디지털시대를 열고 있다. 현재의 반도체 전자소자는 전자의 스핀과 상관없이 캐리어의 전하(음의 전하를 가진 electron과 양의 전하를 가진 hole)를 전기장으로 제어하고 있다. 전자의 물리적 성질에는 전하뿐 아니라, 동시에 양자역학적 특성인 스핀이 있는 것은 주지의 사실이다. 실리콘 반도체산업의 이면에는 1936년 Neville Mott[1]이 제안한 스핀에 의존하는 전자이동(spin-dependent electron transport)을 실현하려는 소수 파이어니어들의 끊임없는 노력의 결과로, 전자의 전하와 함께 스핀의 자유도를 고려하여 전자소자를 개발하려는 새로운 파라다임인 신개념 스핀전자소자(spintronics, spin과 electronics의 합성어)가 근래에 와서 과학 기술계에 큰 반향을 일으키고 있다. 이는 기존의 전자소자와 비교하여 스핀전자소자의 고유 특성인 비휘발성(non-volatility)과 함께 초고속, 초저전력 및 초고밀도 등의 특성을 가지고 있기 때문에 향후 나노기술과 함께 전자소자의 혁명적 성장을 주도 할 것으로 전망되고 있다.

오늘날은 고도의 정보화 시대로서, 이는 컴퓨터의 대중화와 인터넷 및 이동통신 기술의 급속한 발전에 의해 주로 이루어졌다. 이러한 정보화 시대에는 효율적인 정보 처리 및 저장 기술이 요구된다. 최근에는 정보기기의 휴대성에 대한 요구가 증대됨에 따라, 정보기기의 초고속화, 소형화, 대용량화 및 저전력화가 크게 요구되고 있는 실정이다. 이와 같이 정보산업의 급속한 발달에 대응할 수 있는 특성을 가진 전자소자에 대한 필요성이 크게 증대되고 있는데, 머지 않아 새로운 전자소자가 등장될 것으로 전망되고 있다. 이는 기존 반도체 기술의 한계와 최근 급속한 진전이 이루어진 나노구조 제조기술(nano-fabrication)에 주로 기인된다. 그 동안 장기간에 걸친 기술적 진보로 인하여 캐리어 전하의 제어에 기반을 둔 트랜

지스터를 포함한 현재의 전자소자기술은 거의 포화 상태이며 수년 후에는 한계에 이를 것으로 예상된다. 또한 기존의 트랜지스터 및 DRAM(dynamic random access memory)등과 같은 반도체를 기반으로 한 전자소자들은 반도체 내의 캐리어 전하만을 전기장을 사용하여 제어하는데 반해 스핀전자소자(spintronics device)에서는 전자가 가지는 전하와 스핀을 전기장(자기장을 사용하여 각각 제어하는 것이다. 이러한 스핀분극된(spin polarized) 전자의 제어를 통해 지금까지 달성하지 못하였던 새로운 개념의 스핀전자 소자를 창출하고자 하는 연구가 미국과 유럽을 중심으로 활발히 이루어지고 있다.

특히 스핀전자소자는 2000년 초 미국의 국가과학기술자문회의 기술위원회가 차기 산업혁명을 선도할 수 있는 국가 나노기술 개발을 제안하면서 나노기술의 가장 대표적인 응용 예로서 컴퓨터의 거대자기저항(giant magnetoresistance, GMR) 헤드를 소개함으로써 더욱 각별한 주목을 받기 시작하였다. GMR 및 TMR(tunneling magnetoresistance) 현상을 이용한 비휘발성 고밀도 자기기록 소자인 MRAM(magnetic random access memory)을 비롯하여 스핀 트랜지스터(spin transistor), 자성반도체 등을 포함한 나노 스핀전자소자는 향후 21세기 전자정보기술 분야에 하나의 혁명을 가져올 수 있는 차세대 전자소자의 선두주자 역할을 할 수 있을 것으로 전망되고 있다. 스핀트로닉스는 전자의 스핀과 이동에 관한 학문적 흥미뿐 아니라 향후 급속한 속도로 스핀을 고려한 새로운 전자소자가 개발되어 전자소자기술에 응용되고, 나아가 양자 컴퓨터 개발에 기여하여 21세기 산업발전의 원동력이 될 것으로 예상되고 있다.

본 고에서는 스핀트로닉스의 기본원리를 알아보고 국내외 연구동향을 살펴 봄으로써 나노기술의 발전을 근간으로 새로운 연구영역으로 자리를 잡아 가고 있는 스핀트로닉스에 대한 이해를 돕고자 한다.

II. 스핀트로닉스와 자기저항(magnetoresistance)

스핀분극된 전자의 이동(spin-polarized transport)은 페르미 준위에서 스핀수의 불균형이 존재하는 강자성 금속에서 일어난다. 즉, 강자성 금속은 스핀분극된 캐리어의 원천으로서 반

*Tel: (02)958-5428, E-mail: wylee@kist.re.kr

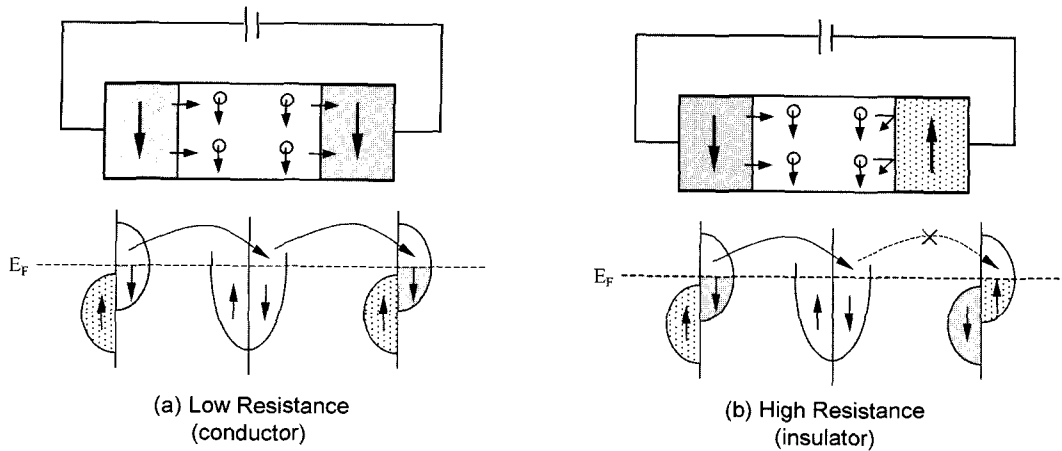


Fig. 1. Schematics of spin-polarized transport from a ferromagnetic metal, through a normal metal, and into a second ferromagnetic metal for aligned and antialigned magnetic moments.

도체, 초전도체 또는 상자성 금속에 스핀을 주입(spín injection) 하거나 터널 장벽을 통하여 터널링하게 하는 역할을 한다. 그림 1은 스핀소자 동작의 기본 개념도를 보여준다. 두 강자성 금속의 스핀이 서로 나란하면(parallel state) 저항이 작으며, 반면 스핀이 역 방향으로 나란하면(anti-parallel state) 저항이 크다. 이와 같이 스핀의 배열에 따른 저항 차이를 이용한 자기저항 현상은 이미 컴퓨터 하드디스크의 재생 헤드(Read head)로서 상업화 되었다. 이 재생헤드는 1988년에 발견된 강자성금속과 상자성금속의 적층구조에서 일어나는 거대자기저항 현상을 이용한 것이다[2]. 처음 거대 자기저항 현상은 Fe/Cr 다층박막에서 발견되었으며(그림 2 참조), 이는 초고진공(ultrahigh vacuum, UHV) 기술이 진보함에 따라 핀홀(pinhole)이 없는 균일한 나노구조의 다층박막(~1 nm) 제조가 가능하였기 때문이다. 한편, GMR의 발견이후 가장 두드러진 발전중의 하나는 상온에서 자성체/절연체/자성체 박막구조에서 관찰된 스핀분극된 전자의 터널링 현상인 TMR 현상이다[3]. 저온에서 이 현상이 발견된 것은 30 여년 전의 일이지만 응용적인 측면에서 매우 중요한 상온 터널링 현상은 1995년에 MIT의 Moodera에 의해 발견되었다[4]. 그림 3과 같이 자기 터널접합소자(magnetic tunnel junction)는 전류가 자기 스핀의 방향에 따라 소자의 저항이 달라지는 성질을 이용해서, “0”(parallel 할 때)과 “1”(antiparallel 할 때)을 판별하고 외부로부터 자기장을 가하여 정보를 기록할 수 있다. 1990년대말 비휘발성 메모리소자 개발에 있어서는 GMR 원리를 이용한 1 Mb의 prototype의 MRAM(Honeywell)과 스핀분극된 전자의 터널링 현상인 TMR의 원리를 이용한 MRAM(IBM, Motorola)이 연구 개발되어 새로운 차세대 메모리소자로서 각광을 받고 있다. 특히, IBM은 1999년 1 kbit MRAM 칩을 성공적으로 개발하였고, 현재 0.18 μm CMOS

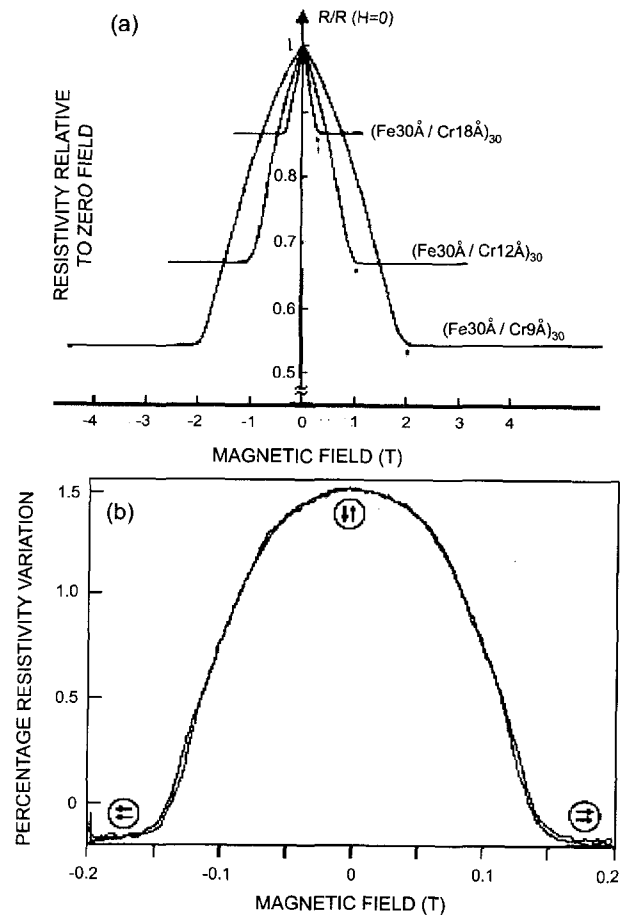


Fig. 2. First observations of GMR in two different types of layered systems. The plots show changes in resistivity as a function of applied magnetic field. (a) The ratio of the measured resistivity to the zero-field resistivity for three different Fe/Cr multilayers. (b) The percentage change in resistivity of a Fe/Cr/Fe trilayer from the value R_S at saturation magnetic field along the easy axis. At high field magnitudes, $R-R_S$ is negative because the resistivity is further lowered by anisotropic magnetoresistance [2].

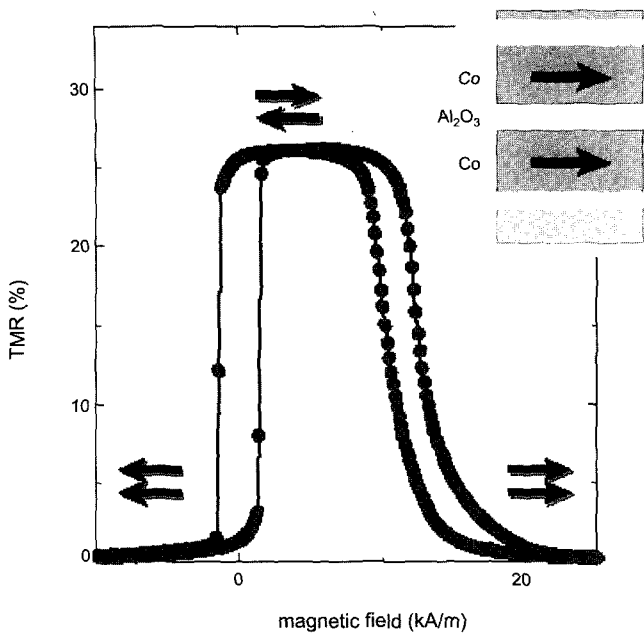


Fig. 3. Variation of magnetoresistance as a function of magnetic field for a magnetic tunnel junction.

공정을 이용하여 1 Mbit 칩을 테스트 중이다. 또 2003년까지 Infineon과 함께 0.13 μm CMOS 공정으로 256 Mbit 칩을 개발하고, 상당부분의 플래쉬 메모리를 대체할 MRAM 칩을 2004년에 양산할 것으로 기대되고 있다.

III. 스핀 트랜지스터

스핀전자소자 연구분야의 가장 큰 관심은 전하와 스핀의 자유도를 동시에 고려하여 메모리 및 논리용 트랜지스터를 구현하려는데 있다. 스핀분극된 전자를 자성금속으로부터 상자성 금속에 주입하는 일(spín injection)에 관한 연구가 일부 진행되어 왔다[5]. 이와 같은 스핀주입은 스핀축적(spín accumulation)등과 같은 흥미로운 현상이 일어난 것으로 보고 되었다[5, 6]. Mark Johnson[5]은 두개의 자성금속 사이에 Au등의 상자성금속을 끼워넣는 구조로 한쪽의 자성금속을 스핀소스로 이용하여 상자성금속에 스핀을 주입하고 다른 쪽의 자성금속으로 주입된 스핀을 검출하는 스핀 스위치 저장소자로서의 양극 스핀 트랜지스터(bipolar spin transistor)를 제조하였다. 그림 4는 스핀 주입과 검출의 기본 개념도와 두 자성 금속의 스핀이 나란할 때의 상태밀도를 보여준다. 이와 같이 금속으로 구성된 스핀 트랜지스터는 스핀주입현상을 실험적으로 증명하였지만 임피던스가 작아 메모리 소자로 사용하는 데는 한계를 가지고 있다[5].

1990년, Gary Prinz[7]가 반도체 위에 에피택셜 자성금속을 성장하는 것이 가능하다는 것을 확인함으로써 하이브리드 자

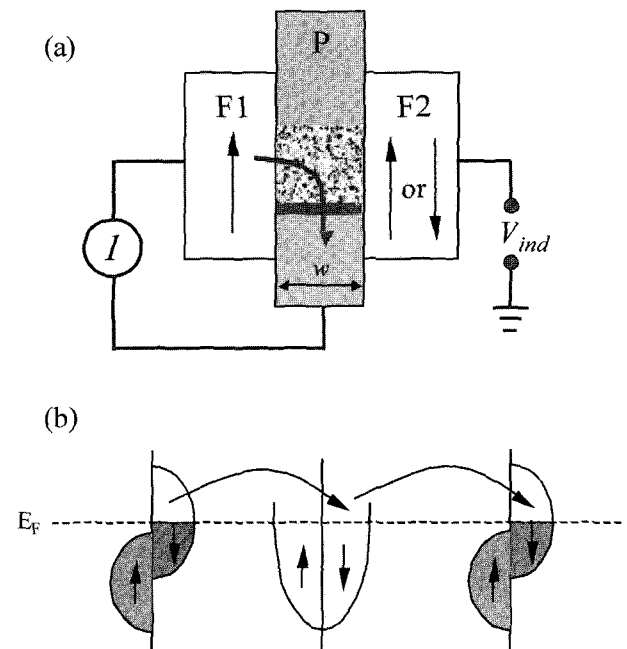


Fig. 4. (a) Schematic representation of a basic concept of spin injection and detection. Here, F1 and F2 are ferromagnets and P is paramagnet. Current injected through F1 induces non-equilibrium magnetization (injected spins) indicated by a pattern in P, which is detected by F2. (b) Schematics of the densities of state, $N(E)$, as a function of energy in the ferromagnet-paramagnet-ferromagnet system when F1 is aligned parallel to F2. Minority electrons enter the paramagnet, going into unoccupied minority states at the Fermi level; travel through the metal and finally leave the metal by entering unoccupied minority states in the second ferromagnet.

성금속/반도체 구조의 스핀 트랜지스터의 제조가 가능할 것으로 기대되어 왔다. 특히 Datta와 Das[8]가 이차원 전자가스(two-dimensional electron gas, 2DEG)에 자성금속의 박막으로부터 스핀주입을 하는 구조의 스핀분극 전계효과 트랜지스터(spín-polarized field effect transistor, spin FET) 제조에 관한 이론적 아이디어를 제안하였다(그림 5참조). 이와 같은 트랜지스터에서 자성금속을 스핀주입과 스핀을 검출하는 전극으로 사용함으로써 좁은 밴드갭 반도체에서의 스핀-궤도 상호작용(spín-orbit interaction) 때문에 일어나는 스핀 세차운동(spín precession)을 전기장을 가하여 전류의 크기를 조절할 수 있다. 1999년, 이와 같은 트랜지스터의 개념을 바탕으로, 영국 케임브리지 대학[9]과 미국 해군연구소[10]가 독립적으로 양자우물물을 갖는 high electron mobility transistor(HEMT) 구조에서 이차원 전자가스층에 스핀을 주입하여 외부자기장에 따른 저항의 변화를 측정하여 스핀주입 현상을 관찰하였다. 하지만, 저항의 변화율이 1% 미만으로 미미하였을 뿐 아니라 극저온(300 mK)에서만 관찰되었다. 현재 이와 같이 자성금속으로부터 반도체내로의 스핀주입은 자성금속의 자구

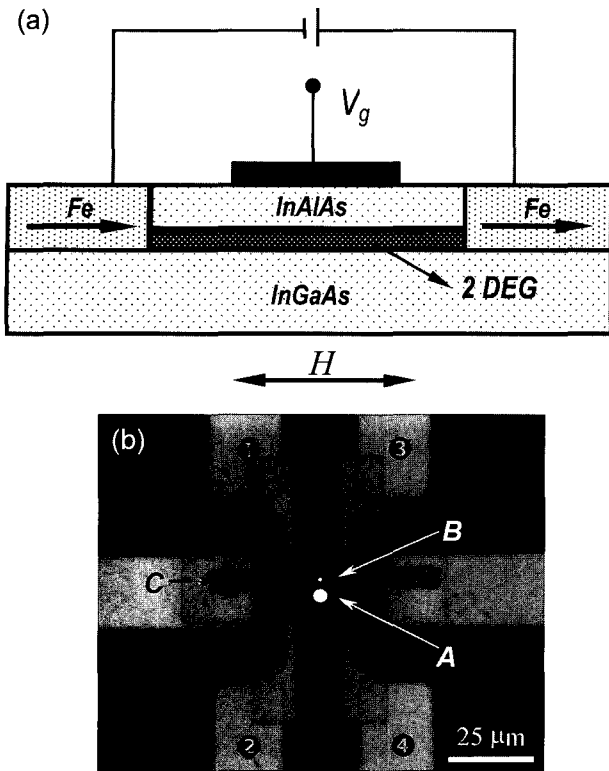


Fig. 5. (a) Spin-polarized field effect transistor (spin FET) based on theoretical idea proposed by Datta and Das, which applies the injection of spin-polarized carriers from a ferromagnetic metal into a two-dimensional electron gas (2DEG) channel. (b) Optical micrograph of a prototype spin FET showing permalloy contacts A and B [9]. The connections between the contacts A and B with the extended NiCr/Au are also shown. C indicates a contact pad, which is a part of the structures connecting with NiCr/Au contacts for MR measurements.

(magnetic domain)에 의한 스핀반전, 반도체내의 스핀-궤도 상호작용 및 자성금속/반도체계면에서의 스핀산란과 특히 자성금속과 반도체의 conductivity mismatch 등의 문제를 수반하고 있으므로 정확히 관측되기 어려운 것으로 생각되고 있다. 이 문제의 해결책으로 첫째, 소자의 전극으로 사용되는 자성금속의 형상을 제어하고 크기를 나노사이즈로 제어함으로써 단자구(single domain) 거동을 하게 하며, 둘째, 두 전극의 거리를 줄여 스핀-궤도 상호작용 효과를 줄이고, 셋째, 가능한 한 깨끗한 계면을 만드는 방법 등이 제안되고 있다. 최근 미국해군연구소, 독일 함브르크와 한국과학기술연구원을 중심으로 자성금속/반도체의 계면에 절연층을 삽입하거나 이차원 전자가스층의 측면으로 스핀을 주입하는 등의 방법으로 상온 동작이 가능하고 20% 이상의 저항변화를 보이는 하이브리드 스핀분극 전계효과 트랜지스터 (spin FET)를 개발하는 데에 박차를 가하고 있다.

한편 금속 베이스 트랜지스터의 개념은 반도체 트랜지스터

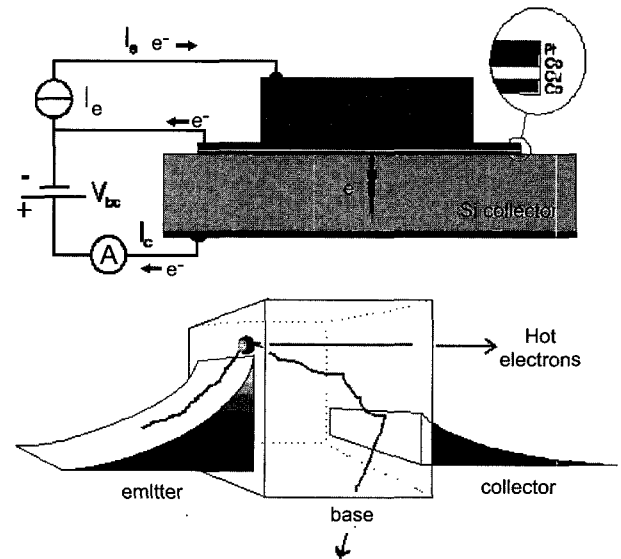


Fig. 6. Spin-valve transistor [12]. Electrons are injected from the emitter, passing the first Schottky barrier into the base. Most of the electrons are not directed to the base contact, but travel perpendicular through the multilayer across the second Schottky barrier due to thin base (10 nm).

의 반응속도를 증가시키기 위하여 이미 1960년대에 연구가 진행되었다[11]. 가장 중요한 요소는 금속 베이스를 통하여 전자가 source(emitter)에서 drain(collector)까지 탄동 (ballistic)으로 이동하느냐에 달려있다. GMR 박막을 이용한 최초의 금속 베이스 트랜지스터는 1995년에 보고되었으며[12], GMR 다층박막을 통한 전자의 이동에서 탄동(ballistic) 거동은 자성층이 평행한 경우와 다층박막이 적절하게 형성된 경우에만 달성된다. 다층박막의 조건은 통상의 스핀-전하 제어 소자에서 요구되는 조건과 동일하며, 구체적으로 다음과 같은 조건을 만족해야 한다. 첫째, spin coherence length와 관련되므로 박막의 두께는 매우 얇아야 하며 통상 10 nm 정도이다. 또한 박막의 내부와 계면에 결함이 없어야 하고 자성층과 비자성층 사이에 전자 밴드 매칭이 잘 이루어져야 하는 것으로 보고되고 있다. 그림 6은 GMR을 베이스로 이용한 스핀밸브 트랜지스터를 보여준다. 소스와 드레인인 Si와 GaAs 등의 반도체로 구성되고, Schottky barrier는 반도체와 자성체 계면에 형성된다. Schottky barrier 보다 높은 열적 에너지를 갖는 전자만이 barrier를 넘어 base에 진입하게 되므로 이를 hot electron tunneling이라 한다. 최근 상온에서 콜렉터 전류에서 215%에 이르는 저항의 변화가 얻어졌지만 이 트랜지스터의 응용상 가장 큰 문제는 이미터 전류의 10^{-6} 만이 콜렉터에서 관찰되므로 효율이 매우 낮으며 자기센서 등 한정된 용도로만 사용이 가능하다.

또한 나노 스케일의 자기구조와 반도체를 결합하여 Hall 효과

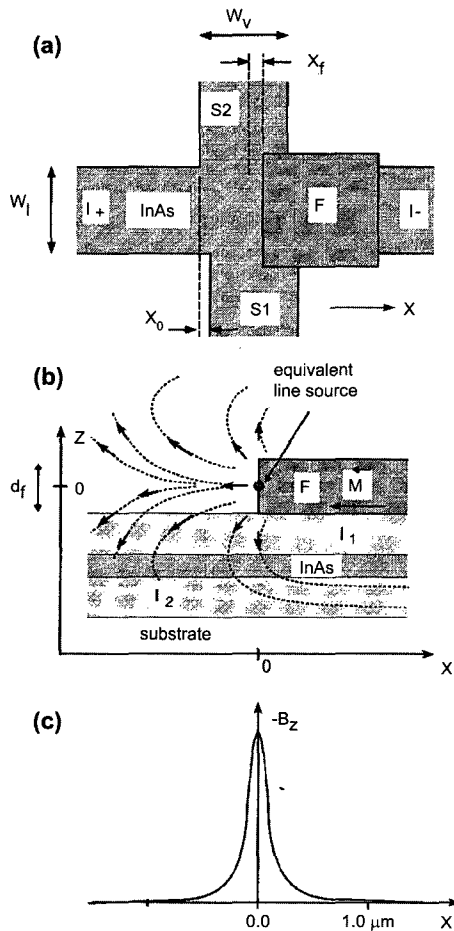


Fig. 7. Schematic of a Hall device geometry [13]. (a) Top view; (b) cross-section view, showing fringe field near the edge of F; and (c) profile of the spatial dependence of the perpendicular component B_z as calculated from a line charge model.

과를 이용한 자기소자가 메모리 및 논리소자로의 응용 가능하다는 것이 보고 되었다[13]. 1997년에 처음 발표된 하이브리드 홀 소자는 III-V 혼합물 반도체로 이루어진 HEMT (high electron mobility transistor) 위에 강자성체인 NiFe를 단일박막층으로 증착시켜서 만든 마이크로 크기의 간단한 구조이다[13]. 반도체 위에 집적된 나노 자기구조의 끝부분으로부터 나오는 누설 자기장(fringe field)을 이용하여 전이동의 변화를 이용한 소자이다. Hall 소자는 그림 7에서와 같이 자성층/절연층/InAs/절연층/기판의 구조를 갖는다. 자성층의 역할은 InAs 층에 수직방향의 자기장을 주는 것이며, 자기구조의 스핀방향이 바뀔 때 InAs에 가해지는 수직방향의 자화 방향이 반대가 되고 이때 Hall 전압의 부호가 바뀌게 된다.

리소그래피 공정 2단계만으로 만들어진 이 소자는 출력전압 ± 10 mV 정도로서 자성체 박막의 스핀방향에 따라 양·음극의 출력을 낼 수 있는 장점으로 인하여 쉽게 비휘발성 메모리 역할을 할 수 있다. 또한, 홀 효과와 강자성은 나노

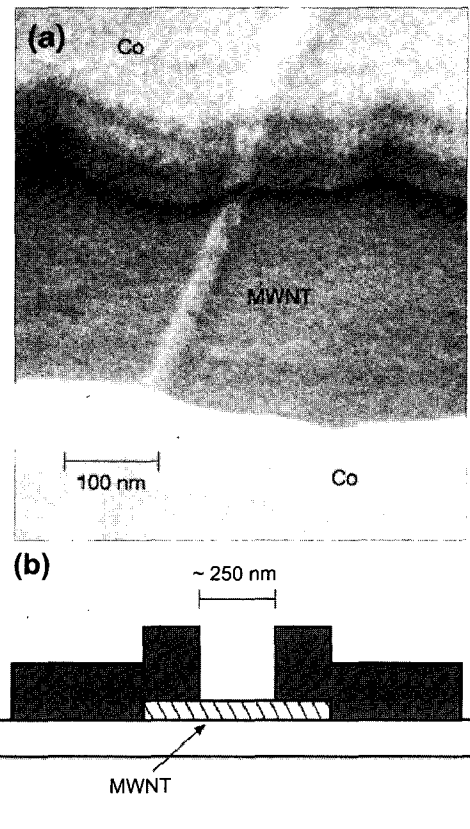


Fig. 8. (a) Scanning electron microscope image of a Co contacted multi-wall nanotube. The diameter of the nanotube is 30 nm and the conducting channel length is 250 nm. (b) Schematic diagram of the device. The substrate is a semi-insulating Si wafer covered by 200 nm thick SiO_2 .

사이즈에서도 기본 작용원리가 그대로 유지되므로 소자 축소화를 쉽게 이룰 수 있다. 그러나, 이러한 1세대 하이브리드 홀 소자가 실제 상용 소자로서 이용되기 위해서는 개선되어야 할 점이 많다. 첫째, 강자성체 박막의 누설자속의 크기와 방향을 잘 제어할 수 있는 기술과 누설자속 자체의 물리적 이해가 필요하다. 이것은 곧바로 소자 작동 효율을 높이고, 강자성 박막에 있어서 구조적인 물성 최적화가 이루어지게 된다. 둘째, 하이브리드 홀 소자가 논리회로로서 상용소자 수준의 작동을 위해서는 소자출력을 10~100배 정도 더 크게 해야 한다. 셋째, III-V 혼합물 반도체에서 주로 보이는 홀 소자의 특성을 실리콘 반도체에서도 작동하도록 하여야 한다. 이 밖에도 여러 가지 점들이 개선되어야 하는데, 이와같은 문제점들은 아직 강자성체/반도체 하이브리드 홀 소자의 개발이 아직 초기단계이기 때문이다. 따라서, 보다 집중적인 연구·개발을 통하여 현재의 하이브리드 홀 소자가 가지고 있는 문제의 상당 부분이 해결되리라 사료된다.

최근 히타치 케임브리지 연구소에서는 나노튜브를 이용한

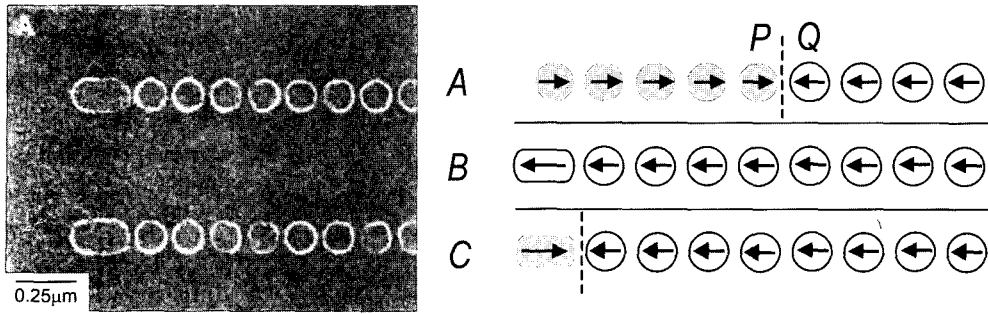


Fig. 9. (a) Scanning electron micrographs of MQCA networks [15]. (b) A schematic of the vector magnetization(arrow) in a number of dots. (A) A soliton in the center of a chain of circular dots. The center of the soliton is between dots P and Q. The magnetic state of the network at the end of the negative phase of the applied oscillating field is shown for the cases of the input dot set to 0 (B) and the input dot set to 1 (C).

스핀주입소자를 보고 하였다(그림 8 참조)[14]. 탄소 나노튜브가 탄소길이와 위상 산란길이가 길며 1차원 전도체로서 작용한다는 점을 이용한 것이다. Co 전극을 이용하여 다겹 나노튜브(multi-wall nanotube)로 스핀을 주입하여 4.2 K에서 9%의 자기저항을 얻었다. 하지만 Co 전극을 단자구로 유지하지 못함으로써 보다 큰 자기저항을 얻지 못하였다. 인위적인 나노튜브의 성장이 쉽지 않고 잘 성장된 나노튜브를 찾아 나노전극을 만드는 것이 어려워 제한적으로 연구가 진행중이다.

전자빔 리소그래피 등으로 자기구조의 크기를 자벽(magnetic domain wall, 50 nm) 이하로 줄이면 단자구 거동을 관찰할 수 있다. 이와 같은 나노자석은 초고밀도 기록재료(ultrahigh density recording media)로 응용될 뿐 아니라

나노자석을 이용한 스핀소자는 정보의 저장뿐 아니라 논리소자로서 응용 가능성이 최근 보고되었다[15]. 단자구 거동을 하는 magnetic dot network을 제조하여 input dot의 스핀을 제어함으로써 논리연산을 수행하고 정보를 전달하는 소자, magnetic quantum cellular automata를 실험적으로 증명하였다(그림 9 참조). 이 논리소자는 저온에서만 작동하는 single electron transistor(SET)와 달리 상온에서 작동할 뿐 아니라 기존의 CMOS보다 집적도, 스위칭 속도 및 에너지 측면에서 월등히 우수할 것으로 예견되지만 제조공정의 어려움과 다양한 논리소자의 응용이 쉽지 않을 것으로 생각된다.

한편, 최근 코넬대학[16]과 미국 해군연구소[17]은 나노 구조에서만 볼 수 있는 전혀 새로운 양자현상인 스핀 transfer를 자기선(magnetic wire)을 이용하여 관찰하였다. 좁은 단면적을 통과하는 매우 높은 밀도의 전류가 자성체를 통과하면서 스핀이 정렬되는 것으로 자성체의 전자가 갖는 스핀은 각 운동량 보존 법칙에 따라 방향을 바꾸게 된다(그림 10 참조).

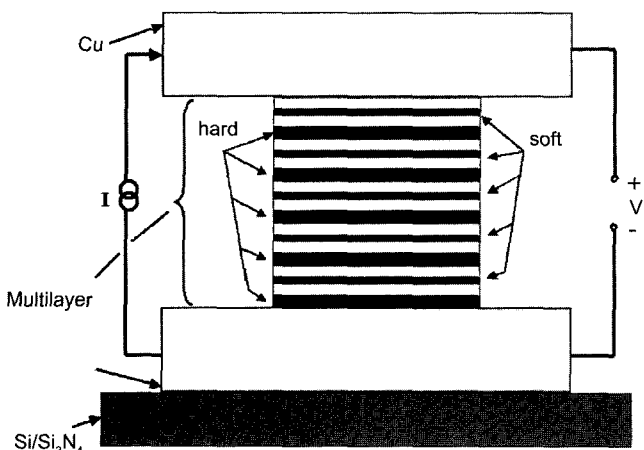


Fig. 10. Schematic drawing of metallic magnetic multilayer device, viewed from the side, deposited upon a silicon substrate and lithographically patterned. The layer sequence is: 2500 Cu/7 Ta/20 Cu/(31 NiFeCo/40 Cu/23 NiFe/40 Cu)35/1500 Cu, where the units are in Angstroms. Except for the thick copper leads at top and bottom, the device is a solid cylinder. Current enters from the upper left lead, flows parallel to the device axis and passes out the lower left lead. The voltage drop is measured across the device using the leads on the right side.

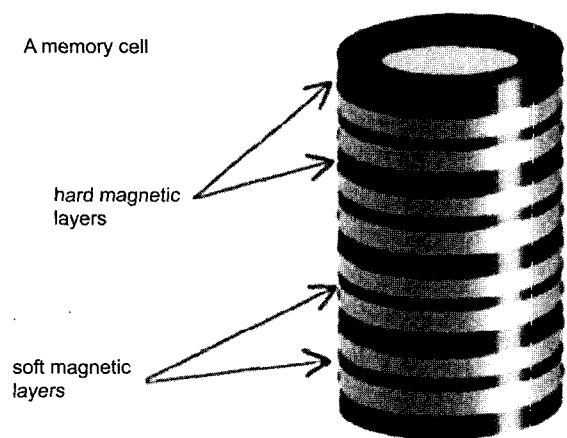


Fig. 11. Schematics of the vertical magnetoresistive random access memory (VMRAM) with bit line current flowing perpendicular to the element and two pairs of word lines over the top of and below the bottom of the memory element.

이 원리는 직경이 100 nm 이하에서 수 mA의 크기의 전류가 흐를 때 나타나는데, 암페어의 법칙과 전혀 다른 스핀 현상이다. 그림 11에서와 같은 자기선을 이용하여 전류를 수직하게 흘려 기록하고, 작은 전류를 흘려 기록 내용을 읽는 스핀 소자[18]를 제작하는 것이 가능할 예상된다.

IV. 자성 반도체

Molecular beam epitaxy(MBE) 공정을 이용하여 GaAs에서 Ga의 일부를 천이금속인 Mn으로 치환시킴으로써 약 110 K의 온도에서 자성 반도체 특성이 보고된 이래 세계적으로 매우 활발한 연구가 진행되고 있다[19]. 그림 12는 Mn과 같은 자기 이온의 함량에 따라 3가지 종류의 반도체의 스핀구조를 도식적으로 보여준다. 그림 13은 Mn이 GaAs에 약 7%까지 도핑되며, 성장기판 온도에 따른 $Ga_{1-x}Mn_xAs$ 의 상태도와 자기이력곡선 및 큐리온도(T_c)를 보여준다. 최근에는 자성 금속의 자기 터널접합소자(magnetic tunnel junction)와 유사한 GaMnAs/GaAlAs/GaMnAs: 자성반도체/비자성반도체/자성반도체에서 자기터널저항효과가 나타남을 관찰하기도 하였다. 자성금속/반도체에서의 스핀주입이 conductivity mismatch에 의해 효율이 떨어지는 근본적인 문제를 해결하기 위하여 시도하고 있는 것이 자성반도체/반도체 구조의 소자이다. 1999년 후반기에 독일 Wurzburg 대학의 Molenkamp 그룹[20]과 일본 동북대 Ohno 그룹과 캘리포니아 Santa Barbara 대학의 Awschalom 그룹[21]에서 자성반도체를 이용한 스핀소자의 결과를 각각 발표하였다. Molenkamp 그룹은 GaAs/AlGaAs 발광 다이오드(light-emitting diode, LED)에 스핀 얼라이너(spun aligner)로서 자성반도체인 $Be_xMn_yZn_{1-x-y}Se$ 를 사용하여 4 K에서 90%의 스핀주입효율 달성하였다[20](그림 14 참조). 또한 Awschalom 등[21]은 GaAs 헤테로구조에 자성반도체인 GaMnAs를 사용하여 액체질소 온도에서 자기장에 따라 서로 다른 방향으로 스핀분극된 빛을 검출함으로써 스핀 발광 다

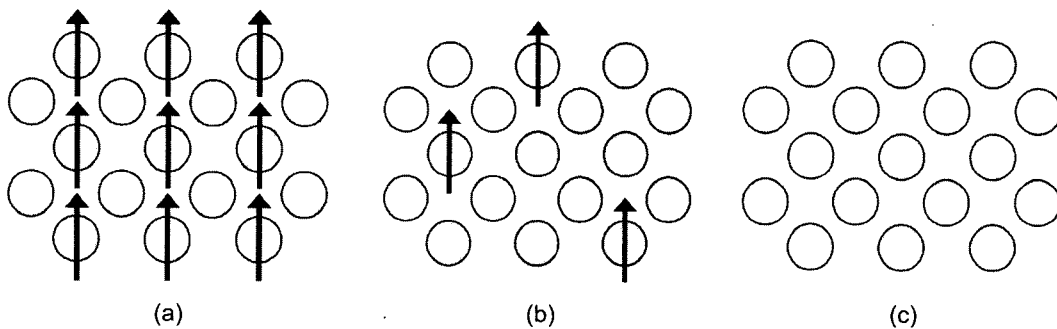


Fig. 12. Three types of semiconductors: (A) a magnetic semiconductor, in which a periodic array of magnetic element is present; (B) a diluted magnetic semiconductor, an alloy between nonmagnetic semiconductor and magnetic element; and (C) a nonmagnetic semiconductor, which contains no magnetic ions [19].

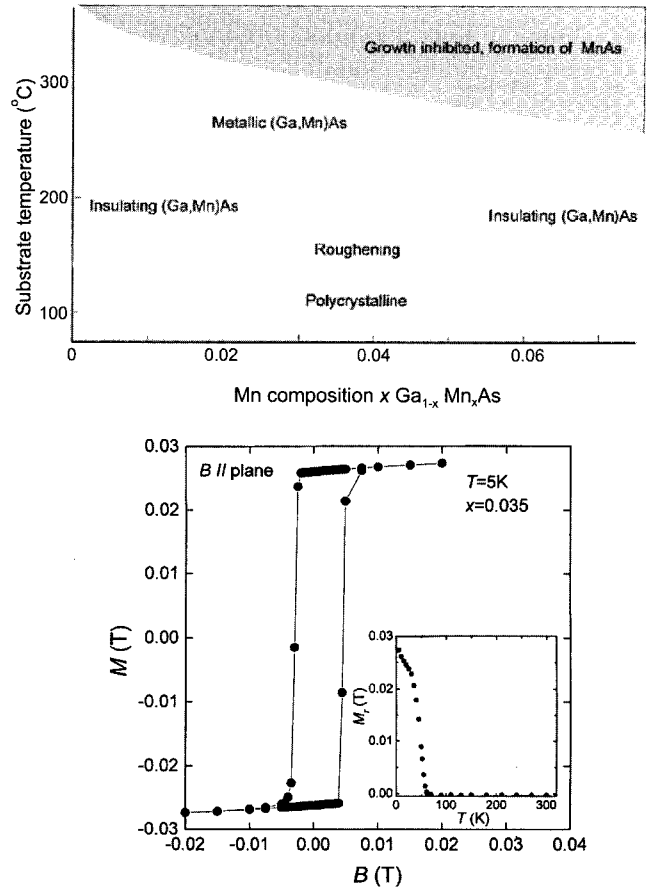


Fig. 13. Schematic phase diagram showing the relation between growth parameters (substrate temperature and Mn concentration) and the properties of (Ga,Mn)As grown by molecular beam epitaxy (upper). The high concentration of Mn in excess of its solubility limit was introduced by nonequilibrium growth at low temperatures. Magnetic hysteresis and M-T curve of (Ga,Mn)As with $x=0.035$ at 5 K (lower) [19].

이오드(spin LED)에 소자 응용 가능성을 증명하였다(그림 15 참조). 하지만 두 연구 모두 spin LED 동작온도가 상온이

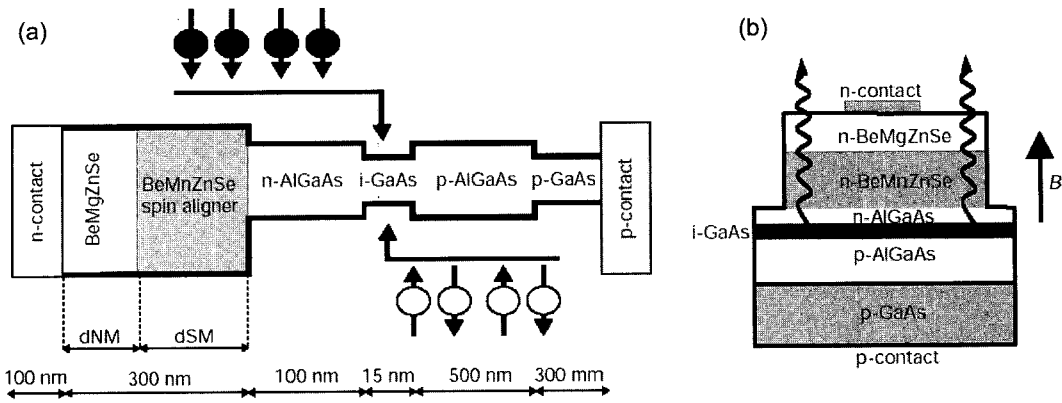


Fig. 14. Device geometry and electric band structure. (a) Schematic band structure of the spin-aligner light-emitting diode. Spin-polarized electrons are injected from the left into the active GaAs layer, unpolarized holes from the right. (b) Side view of the device showing the direction of the magnetic field and the emitted light [20].

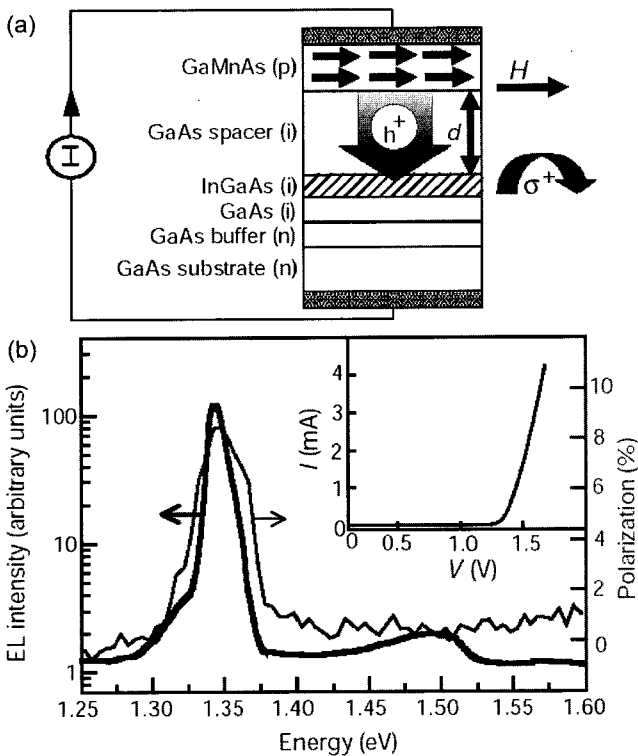


Fig. 15. Electrical spin injection in an epitaxially grown ferromagnetic semiconductor heterostructure, based on GaAs. (a) Spontaneous magnetization develops below the Curie temperature T_C in the ferromagnetic p-type semiconductor (Ga,Mn)As, depicted by the black arrows in the green layer. Under forward bias, spin-polarized holes from (Ga,Mn)As and unpolarized electrons from the n-type GaAs substrate are injected into the (In,Ga)As quantum well (QW, hatched region), through a spacer layer with thickness d , producing polarized EL. (b) Total electroluminescence (EL) intensity of the device ($d=20$ nm) under forward bias at temperature $T=6$ K and magnetic field $H=1,000$ Oe is shown (black curve) with its corresponding polarization (red curve). Current $I=1.43$ mA. Note that the polarization is largest at the QW ground state ($E=1.34$ eV). The EL and polarization are plotted on semi-log and linear scales, respectively. Inset, a current-voltage plot characteristic of a 20-nm spacer layer device [21].

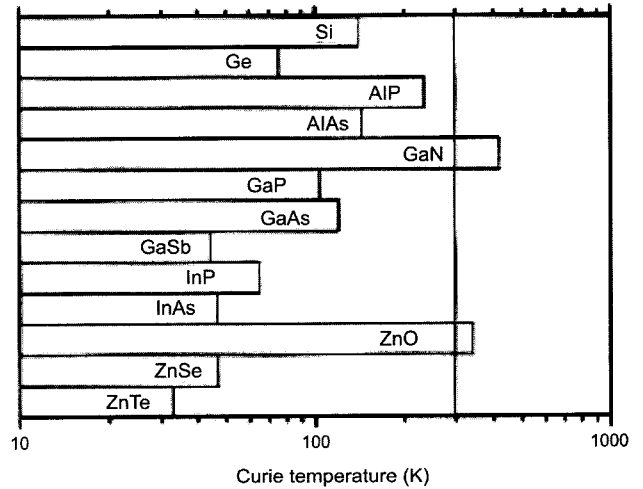


Fig. 16. Computed values of the Curie temperature T_C for various p-type semiconductors containing 5% of Mn and 3.5×10^{20} holes per cm^3 .

아니라는 한계성을 가진다. 따라서 큐리온도가 상온 이상의 자성반도체를 찾는 연구가 이 분야에서 최대 현안이다. 그림 16은 Mn을 5% 도핑하였을 경우 여러가지 p형 반도체가 보이는 큐리온도를 계산한 것이다. 그림에서와 같이 GaN, ZnO 등이 상온 이상의 큐리온도를 보이며 최근 들어 실험적으로 입증된 상온 자성반도체인 GaN, ZnO 등이 보고되고 있다.

V. 국내외연구동향 및 향후전망

미 국방성에서 첨단 연구를 담당하고 있는 DARPA(the US Defense Advanced Research Projects Agency)는 나노스핀소자 연구분야에 향후 수년간 1억 달러의 연구비를 투자할 예정이다. 또한 IBM과 Motorola 등 우수한 전자관련 기업들이 앞을 다투어 이와 같은 미래기술에 많은 투자를 하고 있다. Table I은 나노스핀기능소자 관련 국내의 연구동향을

Table I. 나노 스핀기능소자 관련 국내외 연구동향

기술분야		국외 연구동향	국내 연구동향
스핀제어 기능 소자 기술	자성체/반도체 하이브리드 기술	NRL, Hamburg U., Caltech, Cambridge U., NTT, Twente U., IBM	KIST, 고려대, 연세대, 명지대
	Hall effect 소자기술	NRL, Caltech	-
	III-V족 화합물 DMS 기술	동북대, 동경공대, 동경대, 오사카대, Minnesota U., UCSB, Poland U., JRCAT, PSU, Twente U., IBM, NRL, NTT	KIST, 동국대, 서울대, 고려대, 울산대
	II-VI족 화합물 DMS 기술	U. ND, Poland U., NRL, 동북대, 오사카대, U. Wurzburg	KIST, 충남대
	IV-IV족 및 IV-IV족 화합물 DMS 기술	UC Davis, 야마구치대, 모스크바대, Johannes Kepler대	-
신개념 나노스핀 기능 소자 기반기술	능동 스핀반전 소자기술	ETH Zurich, Cornell대, 남파리대, IBM, NIST Max Planck	KRISS
	터널형 스핀 트랜지스터 기술	Cambridge U., IMAC., 동북대	KIST, 고려대
	전사모사 기술	Ames lab., UC Berkeley, Caltech, Princeton대, Illinois대, NRIM, Max Planck	KIST, 서울대, 시립대, KAIST, 부산대
스핀-포토닉스 기능 소자 기술	자기-광소자 기술	UCSB, 동경대, 동경공대	-
	스핀변환 SAW 기술	Bell lab.	-

보여준다. 이 분야는 세계적으로 매우 빠른 연구의 움직임을 보여준다. 국내에서 본 연구의 전단계로서 스핀을 주로 제어하는 GMR 및 TMR 연구를 수행하는 기관은 다수 있었지만 나노 스핀기능소자에 관한 연구는 최근부터 시작되었고 아직 미미한 실정이다. 포항공대는 스핀 물성을 중심으로 연구를 하고 있으며, 동국대는 양자기능소자로서의 자성반도체를 주로 연구하고 있다. 한국과학기술연구원은 스핀 트랜지스터와 스핀관련 원천기술을 위주로 최근 연구에 박차를 가하고 있다. 전하-스핀 제어 기술은 신개념의 기술로서 오래 전부터 그

중요성이 인식되었으나 최근에 와서야 활발하게 연구가 시작된 분야이다. 지금까지의 연구개발 현황을 살펴보면 기술 진전의 속도가 예상보다 매우 빠르게 진행되고 있다. 예컨대, 1988년에 처음 개발된 거대 자기저항효과가 10년이 되기도 전에 상업화가 달성된 것은 좋은 예이다. 이는 이 분야에서 그 동안 축적된 기술 수준이 높은 것도 하나의 원인이 되겠지만, 매우 큰 기술적 파급효과로 인하여 집중적인 연구개발 투자가 이루어졌기 때문으로 사료된다. 기존의 스핀 및 광, 전하의 제어기술의 한계를 넘어 스핀과 광, 전하를 동시에 제

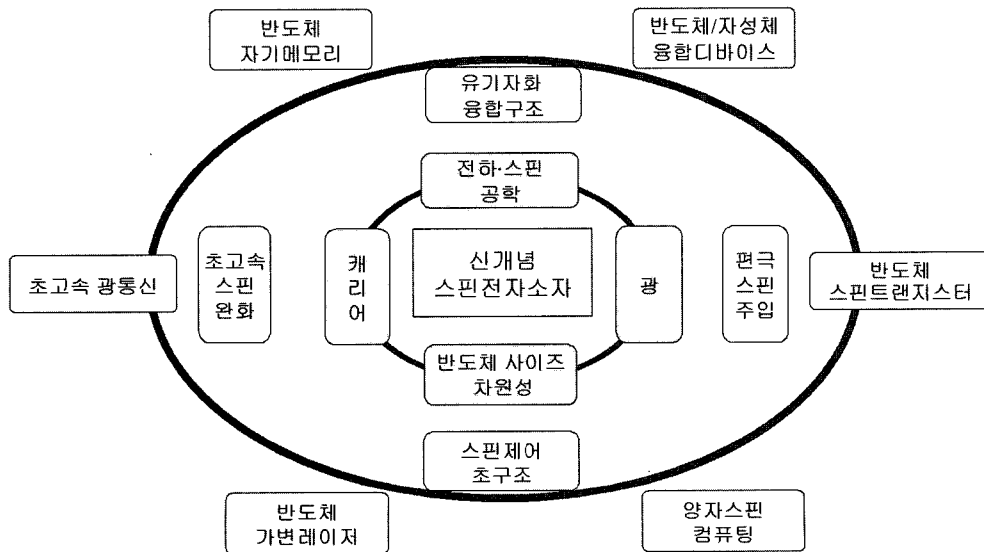


Fig. 17. Application areas of spin-based functional devices.