

AlGaAs/GaAs HBT 응용을 위한 Pd/Ge/Pd/Ti/Au 오믹 접촉

김일호† · 박성호*

충주대학교 재료공학과/나노기술연구소

*(주)가인테크

(논문접수일 : 2001년 11월 26일)

Pd/Ge/Pd/Ti/Au Ohmic Contact for Application to AlGaAs/GaAs HBT

Il-Ho Kim† and Sung Ho Park*

*Dept. of Materials Science and Engineering/Nano Technology Laboratory,
Chungju National University, Chungbuk 380-702*

**GAINTECH, Rm 324, TBI Center, 58-3 Hwaam-dong, Yuseong-gu, Daejeon 305-732*
(Received November 26, 2001)

요 약

N형 InGaAs에 대한 Pd/Ge/Pd/Ti/Au 오믹 접촉의 급속 열처리 조건에 따른 오믹 특성을 조사하였다. 450°C까지의 열처리에 의해 우수한 오믹 특성을 나타내어 400°C/10초의 급속 열처리 후에 최저 $1.1 \times 10^{-6} \Omega \text{cm}^2$ 의 접촉 비저항을 나타내었다. 425°C 이상의 열처리 후에 접촉 비저항이 점점 증가하여 450°C에서는 오믹 재료와 InGaAs의 반응에 의해 오믹 특성의 열화가 나타났다. 그러나 $10^{-6} \Omega \text{cm}^2$ 정도의 비교적 우수한 오믹 특성을 유지하였고, 양호한 표면 및 계면이 얻어져 화합물 반도체 소자의 응용 가능성이 충분한 것으로 판단된다.

Abstract

Pd/Ge/Pd/Ti/Au ohmic contact to n-type InGaAs was investigated with rapid thermal annealing conditions. Minimum specific contact resistivity of $1.1 \times 10^{-6} \Omega \text{cm}^2$ was achieved after annealing at 400°C/10sec, and a ohmic performance was degraded at higher annealing temperature due to the chemical reaction between the ohmic contact materials and the InGaAs substrate. However, non-spiking planar interface and relatively good ohmic contact ($10^{-6} \Omega \text{cm}^2$) were maintained. This ohmic contact system is expected to be a promising candidate for compound semiconductor devices.

1. 서 론

반도체 소자의 구조 및 제작 공정상의 이유로 발생하는 기생저항과 접합용량은 소자의 작동특성을 저해하는 치명적인 요소이다. 이는 소자의 작동 주파수가 증가할수록 더욱 심각하기 때문에, 초고속 광통신 시스템에 사용되는 고주파 반도체 소자인 경우 기생성분을 제거하는 것이 매우 중요하다. 기생성분, 특히 기생저항 중 가장 큰 비중을 차지하는

성분이 오믹 접촉저항(ohmic contact resistance)이다. AlGaAs/GaAs HBT(heterojunction bipolar transistor)는 우수한 고속특성, 대전력 구동능력, 균일한 문턱전압 및 높은 파괴전압 등으로 인해 초고속 광통신용 전자소자로서 매우 유망하다. 따라서 HBT와 같은 고속소자의 제작에 있어서, 신뢰성 있고 접촉저항이 낮은 오믹 접촉 시스템을 개발하는 것이 필수적이다.

Pd/Ge계 [1-8] 오믹 접촉은 열처리 후 확산거리가 수백 Å 정도로 작고, 접촉계면과 표면이 평탄하며,

† E-mail : ihkim@gukwon.chungju.ac.kr

열적으로 안정하기 때문에 GaAs계 화합물 반도체에 대한 오믹 접촉 재료로 많은 연구가 진행되고 있다. 이제까지 밝혀진 연구결과에 의하면, 상온에서 GaAs에 Pd를 증착시키면 먼저 Pd₃GaAs의 3원계 화합물이 생성되며 열처리를 통해 분해가 이루어지는 동시에 Ge과 반응을 하여 Pd-Ge계 화합물을 형성한다. 여기서 Ge은 Pd과 반응하면서 GaAs 표면으로 확산하여 Ga 공공을 치환함으로써 GaAs 표면을 n⁺ 상태로 도핑시키고, 궁극적으로 터널링(tunneling)에 의해 오믹 접촉저항을 낮추는 원인으로 작용하게 된다. 이러한 오믹 접촉 기구를 고상 재결정(SPR: solid phase regrowth) [6,8]이라 한다.

GaAs에 비해 전자 이동도(mobility)가 높고 금속에 대한 에너지 장벽이 낮아 HBT나 HEMT(high electron mobility transistor) 등의 초고속 화합물 반도체 소자에 최근 활발하게 응용되고 있는 n형 InGaAs에 대해서도 상기 오믹 접촉형성의 반응기구가 적용될 수 있을 것으로 판단된다. 그러나 InGaAs 중의 In은 반응성이 매우 커서 Au를 사용하는 오믹 접촉 시스템의 경우 낮은 온도에서도 Au와 반응하여 Au-Ga계 및 Au-In계 화합물이 생성되며, 이러한 경우 접촉 저항이 급격히 증가됨과 더불어 표면 및 계면이 불건전하므로 오믹 접촉 재료의 선택에 유의해야 한다. In_xGa_{1-x}As에서 x가 0.5이상일 경우 Schottky barrier height가 약 0.2 eV로 작기 때문에 상온에서 어떠한 금속과도 오믹 접촉 특성을 보이는 것으로 알려져 있으나, [9,10] HBT, HEMT 등의 소자 제작 공정에서 300~400°C의 열처리가 불가피하며, 이로 인한 오믹 접촉 재료와 InGaAs의 반응 및 확산에 의한 오믹 접촉의 안정성에 문제가 있다.

따라서 본 연구에서는 AlGaAs/GaAs HBT 에피층 중 에미터 캡층(emitter capping layer)으로 사용되는 n형 InGaAs에 대한 오믹 접촉 시스템의 한 가지로 Pd/Ge/Pd/Ti/Au계를 택하여, 이에 대한 오믹 접촉 특성을 조사하고, 급속 열처리(RTA: rapid thermal annealing)에 따른 상변화, 원자 재분포 및 미세 계면구조를 분석하였다.

2. 실험방법

AlGaAs/GaAs HBT의 에미터 캡층을 형성하기 위

Table 1. Epitaxial layer structure of the AlGaAs/GaAs HBT used in this study.

layer	Al(or In) fraction	doping (cm ⁻³)	thickness (Å)	
cap	n ⁺ -InGaAs	0.5	1 × 10 ¹⁹ Si	400
	n ⁺ -InGaAs	0→0.5	1 × 10 ¹⁹ Si	400
	n ⁺ -GaAs	0	3.7 × 10 ¹⁸ Si	1000
emitter	n-AlGaAs	0.3→0	5 × 10 ¹⁷ Si	500
	n-AlGaAs	0.3	2 × 10 ¹⁷ Si	1500
base	p ⁺ -GaAs	0	3 × 10 ¹⁹ C	700
collector	n ⁻ -GaAs	0	2 × 10 ¹⁶ Si	4000
subcollector	n ⁺ -GaAs	0	4 × 10 ¹⁸ Si	5000
buffer	AlGaAs	0.3	undoped	3000
	GaAs	0	undoped	3000
substrate	semi-insulating 3" GaAs (100) wafer			

하여, 표 1과 같이 직경 3" 반절연성 GaAs(100) 기판 위에 MOCVD(metal organic chemical vapor deposition)로 도핑농도 1 × 10¹⁹ Si/cm³의 n형 In_{0.5}Ga_{0.5}As(이후 InGaAs로 표기함)의 에피층을 형성하였다. 오믹 접촉을 형성하기 전에 HCl:H₂O=1:1 용액으로 30초 동안 세척하였고, 5 × 10⁻⁷ Torr의 진공도에서 EBE(electron beam evaporator)에 의해 그림 1과 같이 InGaAs 위에 Pd/Ge/Pd/Ti/Au 오믹 재료를 형성한 후 N₂/H₂ 가스 분위기에서 300~450°C에서 10~60초 동안 RTA(rapid thermal annealing)를 하였다. Pd/Ge/Pd/Ti/Au

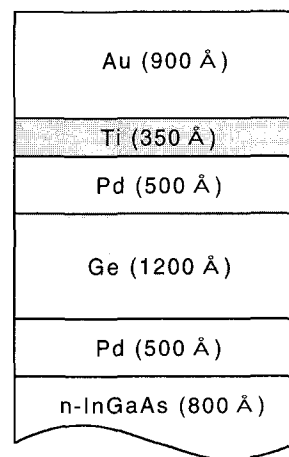


Fig. 1. Schematic cross-sectional view of the Pd/Ge/Pd/Ti/Au ohmic contact layers on n-InGaAs.

오믹 접촉 중 하부의 Pd/Ge층은 SPR 오믹 접촉 기구를 유도하기 위한 것이고, Pd 중간층은 Pd-Ge계 화합물의 형성을 촉진하기 위하여 삽입되었다. 또한 Ti층은 확산 방지와 상부 Au층에 대한 접착성 증대를 목적으로 사용되었고, Au층은 전기적 특성을 향상시키기 위한 전극 재료로 사용되었다.

본 연구에서 사용된 EBE 장비는 2개의 전자총과 4개의 도가니가 장착되어 있어, 진공 상태를 유지한 채로 최대 네 가지 원소를 증착할 수 있다. 또한 박막의 두께를 측정·조절하기 위한 thickness monitor가 설치되어 있다. RTA 장비는 가열부, 냉각부 및 가스 공급부의 세 부분으로 나누어져 있으며, 할로젠 전구와 PID controller를 이용하여 가열속도(100°C/sec 이상), 유지시간 및 냉각속도를 조절할 수 있다.

100×100 μm²의 정사각형 패드(pad)를 5, 10, 15, 20, 30 μm 간격으로 배열하여 두 패드간의 전기저항을 측정하는, 소위 TLM(transmission line method 또는 transfer length method)으로 접촉 비저항(specific contact resistivity, ρ_c)을 측정하였다. 오믹 접촉의 전기적인 특성을 측정하기 위하여 Cascade microprobe station과 HP4145B semiconductor parameter analyzer를 이용하였다. TLM 패턴(pattern) 제작 공정 전에 μ-asher를 이용하여 InGaAs 표면에 존재할 수 있는 유기물을 제거하였다. H₃PO₄:H₂O₂:H₂O=4:1:90 용액과 NH₄OH:H₂O₂:H₂O=20:7:973 용액을 사용하여, 에미터 메사식각(emitter mesa etching)을 하였고, H₃PO₄:H₂O₂:H₂O=4:1:50 용액을 사용하여 베이스 메사식각(base mesa etching) 및 소자 분리식각(isolation etching)을 하였다. 오믹 접촉을 형성하기 전에 InGaAs 표면에 형성되어 있는 산화물 및 불순물을 제거하기 위하여, HCl:H₂O=1:1 용액으로 산세한 후 탈이온수(deionized water)로 세척하였고 고순도 질소 기체로 건조하였다. 포토리소그라피(photolithography) 공정과 EBE 장비에 의해 오믹 접촉을 형성한 후, PR(photoresist) 및 PR 위에 증착된 오믹 금속을 제거하기 위하여 리프트오프(lift-off) 공정을 수행하였다.

이와 같이 제작된 TLM 패턴의 평면도와 단면도 및 접촉 비저항 평가방법을 그림 2에 개략적으로 나타내었다. TLM에 의한 오믹 접촉 특성의 측정은 Schottky에 의하여 제안된 방법으로, 그림 2(c)에 나타낸 바와 같이 전체저항 RT는 식 (1)과 같이 표현

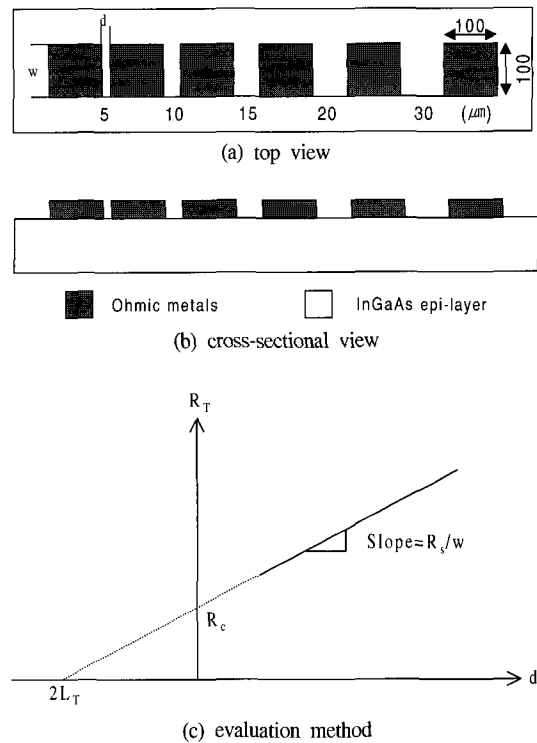


Fig. 2. TLM patterns and evaluation method of specific contact resistivity.

할 수 있다.

$$R_T = R_s \frac{d}{w} + 2R_c \quad (1)$$

여기서 w와 d는 각각 패드의 폭과 간격이며, 보통 w=~100 μm, d=5~50 μm의 값으로 패턴을 제작하여 사용한다. 두 패드 사이의 RT를 측정하여 d의 함수로 표시한 후, d=0 값을 외삽하면 2Rc를 구할 수 있고, 직선의 기울기로부터 면저항(Rs)을 알 수 있다. 또한 transfer length(L_T)로 정의된 식 (2)로부터 접촉 비저항(ρ_c)을 구할 수 있다.

$$L_T = w \frac{R_c}{R_s} = \sqrt{\frac{\rho_c}{R_s}} \quad (2)$$

XRD(X-ray diffractometer)를 이용하여 금속 열처리에 의한 상변화를 조사하였다. XRD 분석시 Cu K_α target을 사용하였고, 전압 30 kV, 전류 40 mA, scanning 속도 3°/min의 조건으로 분석하였다. 또한 AES(Auger

electron spectroscopy) depth profiling 방법으로 각 원소의 분포 변화를 조사하였으며, 전자의 가속전압은 10 keV이었고, Ar⁺(5 keV, 5 mA)를 사용하여 약 60 Å/s의 속도로 분석을 실시하였다. 원소 분석에서 사용된 운동 에너지 준위는 Pd^{MNN}(315~345eV), Ti^{LMM}(360~395eV), In^{MNN}(397~415eV), Ga^{LMM}(1050~1080eV), Ge^{LMM}(1130~1158eV), As^{LMM}(1205~1237eV) 및 Au^{NVV}(2001~2039eV)이었다. 오믹 접촉 재료와 InGaAs의 계면을 XTEM(cross-sectional transmission electron microscopy)으로 관찰하였다. XTEM 시편 준비 과정에서 GaAs dummy wafer에 G1 epoxy를 사용하여 분석용 시편을 접착하였고, 가속전압 200 keV 상태에서 (110) projection centered beam image 방법으로 분석하였다.

3. 실험결과 및 고찰

급속 열처리 온도와 시간에 따른 오믹 접촉 비저항의 변화를 그림 3에 나타내었다. In의 몰분율이 0.5일 때 InGaAs와 금속간의 상온에서의 에너지 장벽이 0.2 eV 정도로 낮기 때문에 열처리하기 전에도 비교적 낮은 저항값($mid\text{-}10^6 \Omega \text{cm}^2$)을 보였다. 400°C에서 어닐링 하였을 때 $1.1 \times 10^6 \Omega \text{cm}^2$ 로 최저 저항을 나타내었으며, 425°C부터 저항이 약간 증가하다가 450°C에서는 악화되는 경향을 보였다. 그림 3(b)는 400°C에서 열처리 시간을 달리 하여 오믹 접촉 비저항을 측정된 결과로서, 급속 열처리 시간을 60초까지 증가시켜도 오믹 접촉 비저항의 변화는 크지 않았다.

Pd/Ge/Pd/Ti/Au 오믹 접촉에 대하여 급속 열처리 조건에 따른 상변태의 XRD 분석결과를 그림 4에 나타내었다. 급속 열처리에 의해 Pd과 Ge이 반응하여 Pd-Ge 화합물(PdGe, Pd₂Ge)이 생성되는 것을 확인하였고, 이때 Ge이 InGaAs의 표면으로 확산하여 표면 도핑 농도를 증가시켜 오믹 저항이 감소한 것으로 사료된다. P. H. Hao 등 [6]과 E. D. Marshall 등 [8]이 n형 GaAs에 대한 Pd/Ge계의 오믹 접촉 기구를 고상 재결정으로 설명한 바 있다. 상온에서 준안정상인 3원계 화합물 PdxGaAs가 GaAs 표면에 수십 Å의 두께로 형성되고, 고온에서의 열처리를 통해 Ge과 반응하여 Pd-Ge계 화합물을 형성하면서 Ge이 도핑된 GaAs 재결정층을 형성한다. 이로 인해

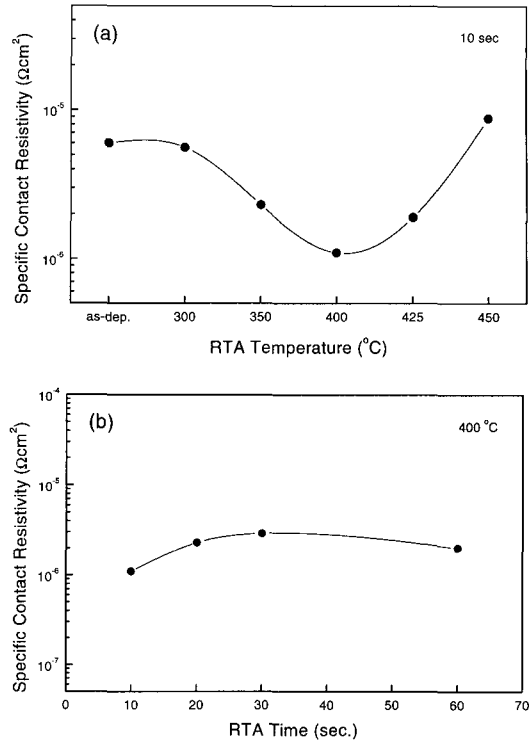


Fig. 3. Variation of the specific contact resistivity of the Pd/Ge/Pd/Ti/Au contacts to n-InGaAs with RTA (a) temperature and (b) time.

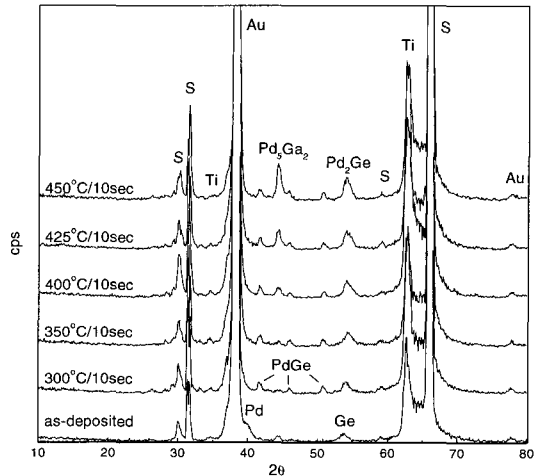


Fig. 4. XRD patterns of the Pd/Ge/Pd/Ti/Au contacts to n-InGaAs(s: substrate).

GaAs의 표면 도핑 농도가 증가하여 터널링에 의해 오믹 접촉 저항이 감소하게 된다. 이러한 고상 재결

정은 Pd/Ge계뿐만 아니라 Pd/Si계, [11] Pd/Zn계, [12] Pd/In계 [13] 등에서도 나타나며, 기판이 GaAs가 아닌 AlGaAs, [14] GaP, [15] InP, [16] InGaAsP, [16] AlInP [17] 등에서도 나타날 수 있다고 보고하고 있다. 서론에서 전술한 바와 같이 열처리 전에 이미 metal/InGaAs 접촉의 barrier height가 오믹 접촉을 나타

낼 만큼 낮은 상태이기 때문에, 본 논문의 경우 급속 열처리에 의해 오믹 접촉 저항이 더욱 낮아진 이유는 barrier height의 감소에 의한 것이 아니라, Ge이 InGaAs 표면으로 확산하여 표면 도핑 농도를 증가시킴으로써 barrier width가 감소하여 터널링에 의한 것으로 판단된다. 따라서 초기 Pd과 InGaAs의

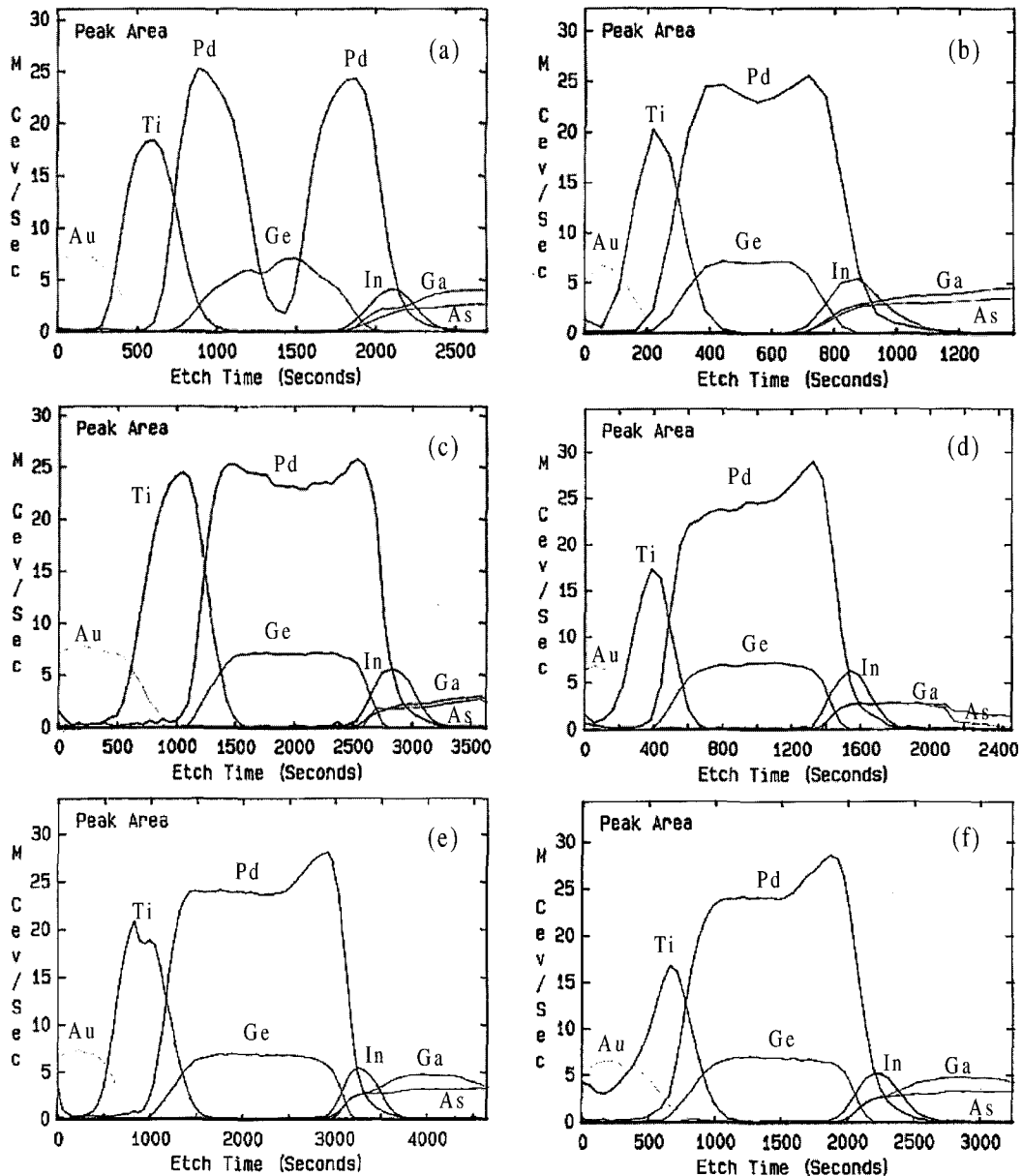


Fig. 5. AES depth profiles of the Pd/Ge/Pd/Ti/Au contacts to n-InGaAs: (a) as-deposited, (b) 300°C/10 sec, (c) 350°C/10 sec, (d) 400°C/10 sec, (e) 425°C/10 sec, (f) 450°C/10 sec

반응으로 인한 준안정상은 발견할 수 없었지만(Pd/GaAs 접촉계에서 준안정상인 Pd₄GaAs의 경우 175°C 이상에서 분해됨), [6,8] Pd-Ge계 화합물이 생성되고 접촉 비저항이 감소한 것으로 미루어 InGaAs의 경우도 Pd/Ge계 고상 재결정에 의한 오믹 접촉이 가능하다고 생각한다.

한편 425°C 이상의 RTA 후에 접촉 비저항이 증가하는 이유는 오믹 접촉 재료와 InGaAs가 반응하여 Pd₅Ga₂ 상이 형성된 것과 관련이 있으며, 그 결과 InGaAs 표면의 화학량론적 조성이 파괴되어 barrier height가 증가한 것에 기인한다. 고온에서 Pd/Ge계 오믹 접촉 특성이 나빠지는 이유는 크게 두 가지로 설명된다. 첫째, Pd-Ge 화합물이 기판과 반응하여 n⁺로 도핑된 표면층을 소모하고, 이로 인해 계면 저항이 높은 영역을 형성하기 때문이다. [18] 둘째, Ge은 양향성(amphoteric) 도펀트이기 때문에, 재확산된 Ge이 전하 보상된 물질을 형성(때로는 p형 물질도 형성)하기 때문이다. [19] 오믹 특성 열화(degradation)가 오믹 재료의 형성과 열처리 과정에 모두 의존하기 때문에, 열화 기구는 아직까지 명확하지 않지만, 본 논문의 경우, 그림 3에서와 같이 425°C 이상의 RTA에 의해 접촉 비저항이 증가하는 이유는 Pd이 InGaAs와 반응하여 Pd₅Ga₂ 상과 같은 원하지 않는 상이 형성된 것과 관련이 있다고 사료된다. 즉, Pd/InGaAs 계면 반응으로 인한 n⁺-InGaAs 표면층이 소모(파괴)되었기 때문이다. 그러나 450°C의 어닐링에서도 Au를 함유한 오믹 접촉에서 흔히 발견되는 Au-In계 및 Au-Ge계 화합물이 발견되지 않았다.

그림 5는 Pd/Ge/Pd/Ti/Au 오믹 접촉에 대하여 급속 열처리에 의한 구성 원자의 재분포를 AES 깊이

분석으로 측정된 결과이다. RTA에 의해 Pd과 Ge과의 반응이 활발하게 일어나 Pd층간의 구분이 사라졌고, Ge이 InGaAs 표면까지 도달하였다. 한편, 여타 원소들의 주목할만한 이동은 나타나지 않았다. 450°C까지 어닐링된 시편의 경우에도 Au의 확산 저지층으로서 Ti층이 적절히 작용함으로써 Au와 In 및 Ga의 반응이 원천적으로 차단되어 In, Ga 및 As의 외부확산이 관찰되지 않았다. RTA 조건에 따른 오믹 접촉 구성 원소들의 분포양상은 오믹 특성과 밀접한 연관이 있다.

그림 6은 InGaAs와 Pd/Ge/Pd/Ti/Au 오믹 접촉의 계면을 XTEM으로 관찰한 것으로, 450°C에서 급속 열처리 후에도 평탄한 계면을 유지하였다. 급속 열처리에 의해 Pd-Ge계 화합물의 형성을 확인하였고, Ti층에 의해 Au의 내부확산이 저지되었음을 확인하였다. 따라서 전반적인 측정·분석결과에 의하면 n형 InGaAs에 대한 Pd/Ge/Pd/Ti/Au 오믹 접촉이 비교적 낮은 접촉저항을 고온까지 유지하는 것이 가능하여 InGaAs층이 필요한 HBT, HEMT 등과 같은 초고속 화합물 반도체 소자에의 응용전망이 밝은 것으로 사료된다.

4. 결 론

AlGaAs/GaAs HBT에 응용하고자 Pd/Ge/Pd/Ti/Au 오믹 접촉 특성을 조사하였고, 급속 열처리에 따른 미세구조, 원자 재분포 및 상변화 분석을 병행하였다. 급속 열처리에 의해 우수한 오믹 특성을 나타내어 400°C에서 열처리한 경우 접촉 비저항이 최소 $1.1 \times 10^{-6} \Omega \text{cm}^2$ 이었다. 급속 열처리에 의해 PdGe 및

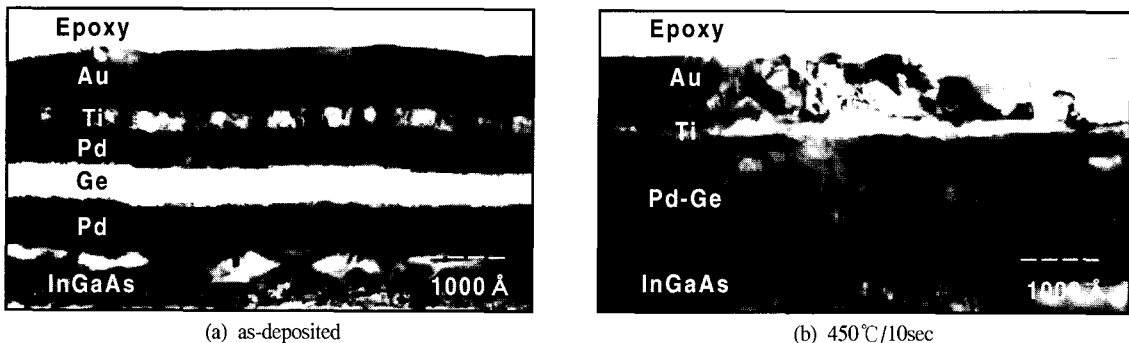


Fig. 6. Cross-sectional views of the Pd/Ge/Pd/Ti/Au contacts to n-InGaAs.

Pd₂Ge 상의 형성이 접촉 비저항을 감소시키는데 기여하였다고 판단된다. 450°C까지 상승시키면 Pd₅Ga₂상이 형성되어 접촉 비저항이 오히려 증가하였다. 그러나 Ti이 우수한 확산 방지층으로서의 역할을 하여, Au를 사용하는 오믹 접촉에서 문제되는 Au계 화합물은 형성되지 않았다. 또한 열처리 후에도 오믹 접촉 재료와 InGaAs 계면 및 표면이 매우 평탄하였다. 따라서 Pd/Ge/Pd/Ti/Au 오믹 접촉 시스템은 450°C까지 $\sim 10^6 \Omega \text{cm}^2$ 의 우수한 전기적 특성 및 평탄한 계면을 나타내는 재료로서, AlGaAs/GaAs HBT 제작에 응용 가능하다.

감사의 글

본 연구는 한국과학재단 목적기초연구(2000-1-30100-002-1) 지원으로 수행되었음.

참고 문헌

- [1] M. W. Cole, W. Y. Han, L. M. Casas, D. W. Eckart and K. A. Jones, *J. Vac. Sci. Technol. A* **12**, 1904 (1994).
- [2] W. L. Chen, J. C. Cowles, G. I. Haddad, G. O. Munns, K. W. Eisenbeiser and J. R. East, *J. Vac. Sci. Technol. B* **10**, 2354 (1992).
- [3] I.-H. Kim, S. H. Park, T.-W. Lee and M.-P. Park, *Appl. Phys. Lett.* **71**, 1854 (1997).
- [4] 김일호, 박성호, 김좌연, 이종민, 이태우, 박문평, *한국진공학회지* **7**, 24 (1998).
- [5] I.-H. Kim, S. H. Park, J.-W. Kim, J.-M. Lee, T.-W. Lee and M.-P. Park, *Jpn. J. Appl. Phys.* **37**, 1854 (1997).
- [6] P. H. Hao, L. C. Wang, Fei Deng, S. S. Lau and J. Y. Cheng, *J. Appl. Phys.* **79**, 4211 (1996).
- [7] L. C. Wang, S. S. Lau, E. K. Hsieh and J. R. Velebir, *Appl. Phys. Lett.* **54**, 2677 (1989).
- [8] E. D. Marshall, W. X. Chen, C. S. Wu, S. S. Lau and T. F. Keuch, *Appl. Phys. Lett.* **48**, 535 (1985).
- [9] J. Tersoff, *Phys. Rev. B* **32**, 6968 (1985).
- [10] K. Kajiyama, Y. Mizushima and S. Sakata, *Appl. Phys. Lett.* **23**, 458 (1973).
- [11] L. C. Wang, T. Z. Li, M. Kappes, S. S. Lau, D. M. Hwang, S. A. Schwarz and T. Sands, *Appl. Phys. Lett.* **60**, 3016 (1992).
- [12] R. Bruce, D. Clark and S. Eicher, *J. Electron. Mater.* **19**, 225 (1990).
- [13] L. C. Wang, X. Z. Wang, S. N. Hsu, S. S. Lau, P. S. D. Lin, T. Sands, S. A. Schwarz, D. L. Plumton and T. F. Keuch, *J. Appl. Phys.* **68**, 4364 (1991).
- [14] L. R. Zheng, S. A. Wilson, D. J. Lawrence, S. I. Rudolph, S. Chen and G. Braunstein, *Appl. Phys. Lett.* **60**, 877 (1992).
- [15] L. C. Wang, M.-H. Park, H. A. Jorge, I. H. Tan and F. Kish, *Electron. Lett.* **32**, 409 (1996).
- [16] W. X. Chen, S. C. Hsueh, P. K. L. Yu and S. S. Lau, *IEEE Electron Device Lett.* **7**, 471 (1986).
- [17] P. H. Hao, L. C. Wang, J. C. P. Chang, H. C. Kuo and J. M. Kuo, *J. Appl. Phys.* **79**, 3640 (1996).
- [18] E. D. Marshall, B. Zhang, L. C. Wang, P. F. Jiao, W. X. Chen, T. Sawada, S. S. Lau, K. L. Kavanagh and T. F. Fuch, *J. Appl. Phys.* **62**, 942 (1987).
- [19] C. J. Palmström, S. A. Schwarz, E. Yablonovitch, J. P. Harbison, C. L. Schwarz, L. T. Florez, T. J. Gmitter, E. D. Marshall and S. S. Lau, *J. Appl. Phys.* **67**, 334 (1990).