Journal of the Korean Vacuum Society
Vol.11, No.2, 2002, pp.103～107

$LiNbO_3$ 강유전체 박막을 이용한 MFSFET's의 게이트 전극 변화에 따른 특성

정순원† · 김광호*

청주대학교 전자공학과, *청주대학교 정보통신공학부

(논문접수일 : 2002년 4월 18일)

Properties of MFSFET's with various gate electrodes using $LiNbO_3$ ferroelectric thin film

Soon-Won Jung† and Kwang-Ho Kim**

Dept. of Electronic Engineering. Cheongju University
**School of Computer & Communication Engineering. Cheongju University*

(Received April 18, 2002)

요 약

고온 급속 열처리를 행한 $LiNbO_3$/Si(100) 구조를 가지고 여러 가지 게이트 전극을 증착하여 금속/강유전체/반도체 전계 효과 트랜지스터(MFSFET)를 제작하였으며, 비휘발성 메모리 응용 가능성을 평가하였다. Pt 전극을 사용하여 제작한 FET에서는 같은 "read" 전압 1.5 V에서, "on" 상태의 드레인 전류가 "off" 상태의 드레인 전류보다 1000배 이상 큼을 확인할 수 있었으며, 이는 제작한 MFSFET가 메모리 응용 가능성이 있음을 의미한다. 또한 분극 반전에 사용된 전압이 ±4 V로 낮으므로 저전력 소비용 집적회로에 적용 가능성이 있다고 할 수 있다. 드레인 전류의 시간 의존성, 즉 retention 측정 결과 Al 전극이나 poly-Si 전극의 경우에는 시간이 경과함에 따라 드레인 전류가 큰 폭으로 감소하는 경향을 확인할 수 있었고, Pt 전극의 경우에는 2일 동안 측정된 결과가 초기 값과 거의 일치하는 우수한 retention 특성이 확인되었다.

Abstract

Metal/ferroelectric/semiconductor field effect transistors(MFSFET's) with various gate electrodes, that are aluminum, platinum and poly-Si, using rapid thermal annealed $LiNbO_3$/Si(100) structures were fabricated and the properties of the FET's have been discussed. The drain current of the "on" state of FET with Pt electrode was more than 3 orders of magnitude larger than the "off" state current at the same "read" gate voltage of 1.5 V, which means the memory operation of the MFSFET. A write voltage as low as about ±4 V, which is applicable to low power integrated circuits, was used for polarization reversal. The retention properties of the FET using Al electrode were quite good up to about 10^3 s and using Pt electrode remained almost the same value of its initial value over 2 days at room temperature.

1. 서 론

최근 비휘발성 메모리 응용을 위한 강유전체 박막에 대한 관심이 급격히 높아져 국내는 물론 해외에서도 활발한 연구가 진행되고 있다. 금속/강유전체/반도체 전계 효과 트랜지스터(MFSFET) 구조 [1,2]는 기존의 DRAM 구조를 채택한 소자와 달리 비파괴적 읽어내기가 가능하며 셀 면적이 작아 더 높은

† E-mail : swjung@chongju.ac.kr

집적도를 얻을 수 있으며, 고속구동, 고내구성, 저소비전력화를 실현할 수 있는 이상적인 메모리이다 [3,4]. 현재까지는 $Pb(Zr,Ti)O_3$, $SrBiTa_2O_9$ 등 산화물계 강유전체들에 대한 연구와 불화물계 강유전체인 $BaMgF_4$를 이용한 연구가 진행되어 왔으나 [5,6], 이러한 강유전체들을 실리콘 위에다 직접 형성시킨 상태에서는 강유전성을 얻기가 곤란하기 때문에 구조적 · 전기적 특성이 양호한 MFS 구조의 보고는 매우 적다. 가장 큰 이유 중의 하나는 이들 산화물계 강유전체들이 실리콘 위에서는 산화물과 반응하여 실리콘 산화물을 형성하기 때문에 강유전성을 잃게 되며, 따라서 계면에서도 원자적으로 안정되지 않기 때문이다 [7,8]. 이러한 구조에서 양호한 특성을 얻기 위해서는 반도체 위에 직접 강유전체 박막을 증착 시킴과 동시에 박막의 강유전 성질 유지와 정상적인 FET 동작을 위한 강유전체 박막과 반도체 인터페이스 사이의 D_{it}(interface trap density)가 작아야만 한다. 지금까지 $LiNbO_3$ 강유전체 박막을 이용한 MFS 커패시터의 전기적 · 구조적 특성 [9,10], 비휘발성 메모리 응용을 위한 MFSFET의 특성 [11] 등의 논문들이 발표되었다. 본 논문에서는 산화물계 강유전체인 $LiNbO_3$ 박막을 이용한 MFSFET의 게이트 전극을 변화시켜 가면서 비휘발성 메모리로서의 응용 가능성을 확인하고자 여러 가지 특성 평가를 하였는 바 이에 관하여 논의한다.

2. 실험 및 결과

2.1 MFSFET의 제작

본 실험에서는 산화물계 강유전체인 $LiNbO_3$ 박막을 Si 위에 rf magnetron sputtering system을 이용해 직접 증착시켰다. 그림 1에 $LiNbO_3$를 이용한 MFSFET의 제작 순서도를 나타내었다. 실험에서는 2장의 메탈 마스크를 사용하였는데, 이 방법은 전형적인 트랜지스터를 만들기 위해 사용되는 마스크 수보다 적은 것이다. 공정이 간단하면서도 dry-process를 견지함으로써 디바이스 특성이 공정 과정에 그다지 영향을 받지 않도록 하기 위한 방법을 개발한 것이다. Si 웨이퍼는 비저항이 6~9 Ω·㎝인 붕소가 도핑된 p-type Si(100)를 사용하였으며, 이 웨이퍼는

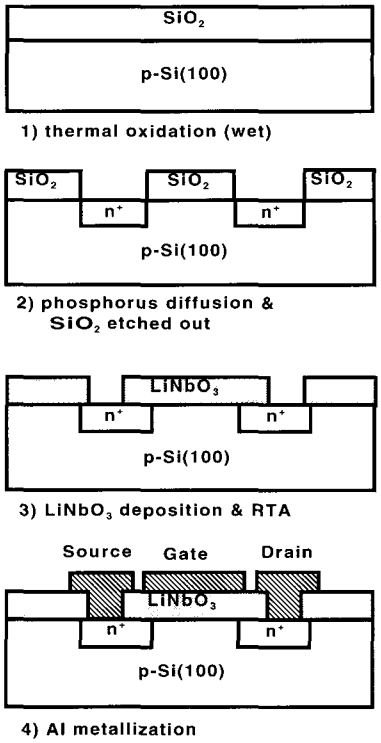

그림 1. 산화물계 강유전체인 $LiNbO_3$를 이용한 MFSFET의 제작 순서도.

유기 세척과 RCA 세척법을 사용하여 세척한 후, wet oxidation법으로 약 1 ㎛의 열산화막을 형성시켰다. 첫 번째 메탈마스크를 사용하여 소스 및 드레인의 n^+ 영역을 형성시키기 위해서 산화막의 일부분을 에칭시킨 후, P_2O_5 소스로 1 시간 동안 확산시켰다. 이 때 생성된 접합 깊이는 약 2 ㎛ 이다. Si 표면의 열산화막을 모두 제거시킨 후, $LiNbO_3$ 막을 형성시켰다. 두 번째 메탈마스크는 소스, 드레인 및 게이트 영역의 전극 증착용으로 사용하였는데, 전극은 thermal-evaporator를 사용하여 Al을, E-gun evaporator를 사용하여 Pt과 poly-Si을 각각 증착 시켰다. 참고로 본 실험에 사용된 시료에 대해 살펴보면 전체의 크기는 10 mm×10 mm이다. 이 시료는 12개의 MFSFET와 계면 특성 측정용 MFS-capacitor 12개로 구성되어 있다. FET에 있어서 게이트의 길이 L과 게이트 폭 W는 각각 50 ㎛, 500 ㎛이다. 이렇게 만들어진 트랜지스터의 특성 평가에는 Precision Semiconductor Parameter Analyzer(HP4156A)를 사용하여 전류-전압 특성, 메모리 특성 등을 평가하였다.

2.2 MFS 디바이스의 특성

그림 2는 게이트 전극 변화에 따른 n-채널 MFSFET의 선형영역(V_D=0.1 V)에서의 드레인 전류-게이트 전압(I_D-V_G) 특성을 보인 것이다. 서로 다른 세가지 전극을 사용한 모든 디바이스에서 $LiNbO_3$ 박막의 강유전성으로 인하여 히스테리시스 특성이 관측됨을 확인할 수 있으며, 이는 비휘발성 메모리 동작에 적용할 수 있는 가능성을 보인 것이라 할 수 있다. 그래프로부터 산출한 전자의 전계효과 이동도는 Pt 전극이 370 $cm^2/V\cdot s$ 이고, Al과 poly-Si이 각각 420 $cm^2/V\cdot s$, 530 $cm^2/V\cdot s$ 이었으며, 상호 컨덕턴스는 Pt 전극이 0.13 mS/mm, Al과 poly-Si이 각각 0.14 mS/mm, 0.19 mS/mm 이었다. 또한 각각의 게이트 전압 swing 은 170 mV/decade, 130 mV/decade, 120 mV/decade 였다.

그림 3은 Al 전극을 사용한 FET의 드레인 전류-드레인 전압(I_D-V_D) 특성을 보인 것이다. 그래프에서 보이는 실선은 게이트 전극에 +3 V의 write 전압을 1 초 동안 인가한 후 측정된 특성곡선이고, 점선은 게이트 전극에 -3 V의 write 전압을 1 초 동안 인가한 후 측정한 전류-전압 곡선이다. 게이트 전압은 0 V에서 2 V까지 0.5 V step이다. 특히, V_D가 3 V에서 write 전압을 +3 V, read 전압을 0.5 V 인가한 경우, 드레인 포화전류 I_{DS}는 250 μA(on상태)이었고, 반면 write 전압을 -3 V, read 전압을 0.5 V 인가한 경우에는 20 nA (off상태)이었다. 즉, 같은 read 전압 0.5 V에서 "on" 상태 (250 μA)의 드레인 전류는 "off" 상태 (20 nA)의 전류보다 약 4 order 정도 증가했음을 알 수 있다. 이것은 같은 read 전압 0.5 V에 대해서 미리 인가한 write 전압의 극성을 바꿈으로써 강유전체 $LiNbO_3$ 박막의 분극이 반전되어 소스-드레인 간의 채널이 "on" 에서 "off" 로 변했음을 의미한다. 이것은 제작한 MFSFET가 메모리로서 동작하는 것을 의미하는 것이다. 또한, 이 결과에서는 write 전압이 ±3 V로 낮은 전압에서 구동시킬 수 있었던 바, 이는 저 전력 소비용 집적회로에 응용 가능성이 있음을 의미한다.

그림 4는 Pt 전극을 사용한 FET의 드레인 전류-드레인 전압 (I_D-V_D) 특성을 보인 것이다. 게이트 전극에 +4 V 및 -1 V의 write 전압을 1 초 동안 인가한 후 측정한 전류-전압 곡선이다. 게이트 전압은 1.5 V에서 3 V까지 0.5 V step이다. 특히, V_D가 4 V에서 write, read 전압을 각각 +4 V, 1.5 V를 인가한 경우, 드레인 포화전류 I_{DS}는 20 μA (on상태)이었고, 반면 -1 V, 1.5 V를 인가한 경우에는 20 nA (off상태)이었다.

그림 5는 poly-Si 전극을 사용한 FET의 드레인 전류-드레인 전압(I_D-V_D) 특성을 보인 것이다. 게이트에 +3 V 및 -4 V의 write 전압을 1 초 동안 인가한 후 측정한 전류-전압 곡선이다. 게이트 전압은 -1 V에서 0 V까지 0.5 V step이다. 이 전극의 경우에는 게이트 누설전류가 다른 전극에 비해 큼을 알 수 있다.

그림 6은 서로 다른 3 개의 전극을 사용한 FET

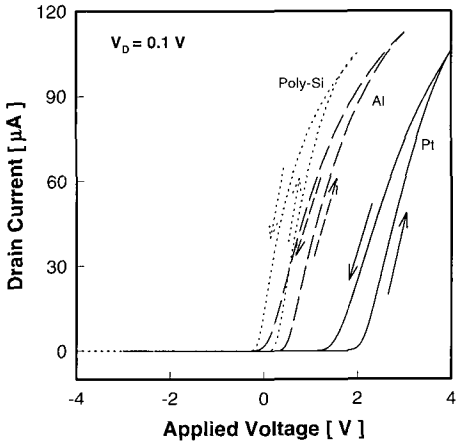

그림 2. 게이트 전극 변화에 따른 선형영역에서의 n-채널 MFSFET의 드레인 전류-게이트 전압특성.

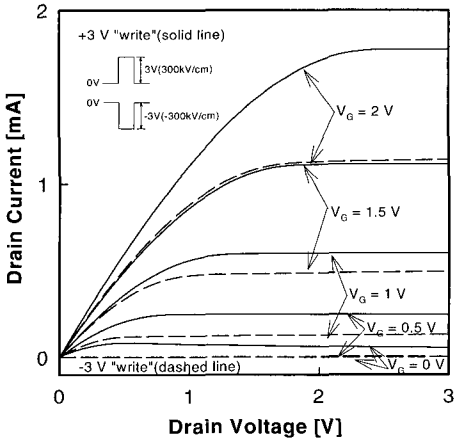

그림 3. Al 전극을 사용한 MFSFET의 드레인 전류-드레인 전압 특성.

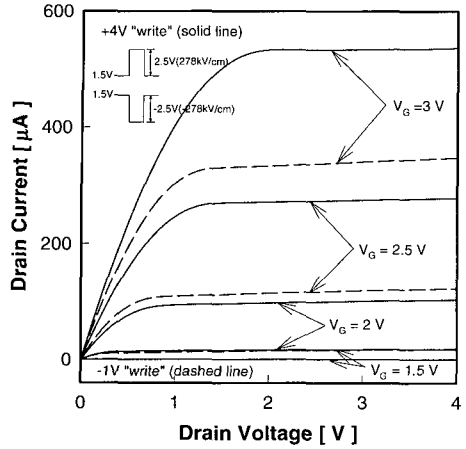

그림 4. Pt 전극을 사용한 MFSFET의 드레인 전류-드레인 전압 특성.

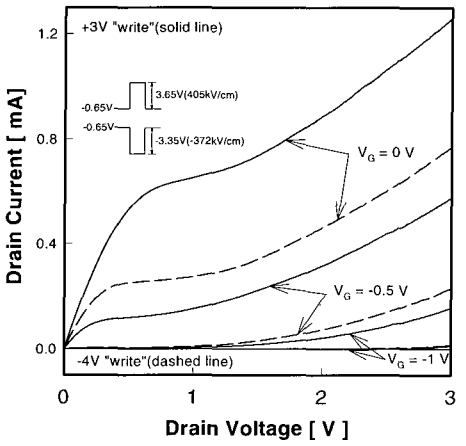

그림 5. Poly-Si 전극을 사용한 MFSFET의 드레인 전류-드레인 전압 특성.

에 대한 드레인 전류의 시간 의존성, 즉 retention 측정 결과를 보인 것이다. 게이트에 삽입된 그림과 같은 파형의 펄스를 1 초 동안 인가한 후 시간이 경과함에 따라 드레인 전류의 변화를 알아보기 위한 측정이다. 그림 2의 드레인 전류-게이트 전압(I_D-V_G) 특성 곡선으로부터 "write" 전압의 reference 전압을 잡아 on 상태와 off 상태를 측정하였다. Al, Pt, poly-Si 전극 각각에 있어서의 reference 전압은 0.1 V, 1.5 V, -0.65 V이다. FET의 게이트에 인가한 "write" 전압을 전계로 환산하면 Al 전극이 ±400 kV/cm, Pt 전극이 ±278 kV/cm, poly-Si 전극이 약 ±400 kV/cm이다. 결과적으로 off 상태에서의 드레인 전류의 변화는

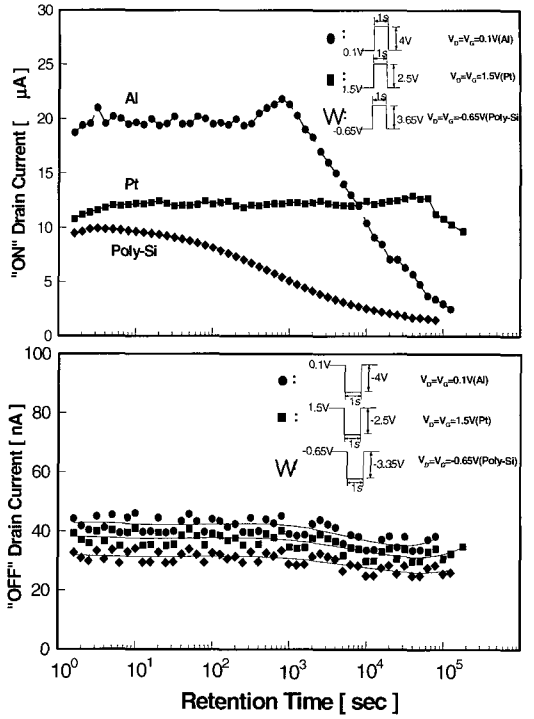

그림 6. 서로 다른 3 개의 전극을 사용한 FET에 대한 드레인 전류의 시간 의존성.

세 가지 전극 모두에서 초기값과 큰 차이가 없는 일정한 값이 유지되었다. 반면 on 상태에서는 Al 전극이나 poly-Si 전극의 경우에는 시간이 경과함에 따라 드레인 전류가 큰 폭으로 감소하는 경향을 확인할 수 있었고, Pt 전극의 경우에는 2일 동안 측정된 결과가 초기 값과 거의 일치하는 우수한 retention 특성이 확인되었다. 현재 정확한 원인은 연구 중에 있으며 게이트 누설전류를 줄이는 방법 등에 의해 앞으로 특성 개선의 가능성이 있는 것으로 판단된다.

3. 결 론

$LiNbO_3$ 강유전체 박막을 이용한 FET를 제작하여 그 전극의존성을 논의하였다. I_D-V_G 그래프의 선형 영역으로부터 산출한 전자의 전계효과 이동도는 Pt 전극이 370 $cm^2/V \cdot s$ 이고, Al 전극과 poly-Si 전극이 각각 420 $cm^2/V \cdot s$, 530 $cm^2/V \cdot s$ 이었다. 드레인 전류의 시간 의존성, 즉 retention 측정 결과는 off 상

태에서의 드레인 전류는 세가지 전극 모두에서 초기값과 시간 경과에 따른 전류값이 거의 일치하였으나, on 상태에서는 Al 전극이나 poly-Si 전극의 경우에는 시간이 경과함에 따라 드레인 전류가 큰 폭으로 감소하는 경향을 확인할 수 있었고, Pt 전극의 경우에는 2일 동안 측정된 결과가 초기 값과 거의 일치하는 우수한 retention 특성이 확인되었다. 현재 정확한 원인은 연구 중에 있으며 게이트 누설전류를 줄이는 방법 등에 의해 앞으로 특성 개선의 가능성이 있는 것으로 판단된다.

감사의 글

본 연구는 한국과학재단 2001 목적기초연구(R01-2001-00276)지원으로 수행되었음.

참 고 문 헌

[1] J. L. Moll and Y. Tarui, IEEE Trans. Electron Devices **10**, 338 (1963)

[2] S.-Y. Wu, IEEE Trans. Electron Devices, **21**(8) 499 (1974)

[3] J. F. Scott, and C. A. Araujo, Science **246**, 1400 (1989)

[4] C. A. Araujo, J. D. Cuchiaro, L. D. Mcmillan, M. C. Scott, and J. F. Scott, Nature(London) **374**, 627 (1995)

[5] K. H. Kim, J. D. Kim, and H. Ishiwara, Appl. Phys. Lett. **66**(23), 3143 (1995)

[6] K. H. Kim, J. D. Kim, and H. Ishiwara, Jpn. J. Appl. Phys. **35**(2B), 1557 (1996)

[7] Y. Matsui, M. Okuyama, M. Noda and Y. Hamakawa, Appl. Phys. **A28**, 161 (1982)

[8] D. R. Lampe, D. A. Adams, M. Austin, M. Polinsky, J. Dzimianski, S. Sinhaloy, H. Buhay, P. Brabant and Y. M. Liu, Ferroelectrics **133**, 61 (1992)

[9] 이상우, 김광호, 이원종, 한국전기전자재료학회지 **11**(2), 106 (1998)

[10] Kwang-Ho Kim, Sang-Woo Lee, Jong-Sun Lyu, Bo-Woo Kim, Hyung-Joun Yoo, J. Korean Phys. Soc. **32**, S1506 (1998)

[11] Kwang-Ho Kim, IEEE Electron Device Letters **19**(6), 204 (1998)