FPGA 기반의 독립형 라인스캔 카메라 프레임그래버 설계

A Design of Stand-Alone Linescan Camera Framegrabber Based on FPGA

정 헌, 최 한 수
(Heon Jeong and Han-Soo Choi)

Abstract : To process data of digital linescan camera, the frame grabber is essential to handle the data in low-level and in high speed more than 30 MHz stably. Traditional approaches to the development of hardware in vision system for the special purpose are mainly based on PC system, and are expensive and gigantic. Therefore, there are many difficulties in applying those in the field. So we investigate, in this paper, the implementation of FPGA for real-time processing of digital linescan camera. The system is not based on PC, but electronic device such as microprocessor. So it is expected that the use of FPGAs for low-level processing represents a fast, stable and inexpensive system. The experiments are carried out on the web guiding system in order to show the efficiency of the new image processor.

Keywords : FPGA, Linescan camera, Microprocessor, frame-grabber

I. 서론

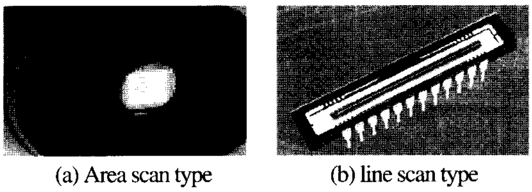
반도체 공정의 자동화와 집약기술 등의 발전과 더불어 시스템의 경박단소화가 활발히 진행되고 있다. 특히 ASIC (Application Specific ICs) 기술 발달로 과거의 TTL-CMOS 게이트 레벨 기반의 시스템 설계시 복잡하고 부피가 커짐에 따라 배선이 많아지고, 그에 따른 고장율 증가, 전력손실 증대 및 가격 상승 등과 같은 문제점을 해결하고 있다. 또한 하드웨어적인 구현을 통해 과거의 소프트웨어만으로 동작했던 것에서는 볼 수 없었던 고속 처리가 가능하게 되었다[1-3].

실시간 영상처리 시스템에서는 고속 카메라 자료를 순차적이며, 동시적으로 처리 및 저장할 수 있는 기능이 필수적이다[4]. 이런 고속 디지털 카메라의 영상을 저장 및 처리할 수 있는 프레임그래버 제품들로서는 Euresy 사의 'Multi', Coreco Imaging 사의 'ViperDigital', 'Digital-SE', 'PC-DIG', Matrox 사의 'Pulsar', 'Meteor II Digital', National Instruments 사의 'IMAQ PCI-1428', Matrix Vision 사의 'PC image-SDIG', Mikrotron 사의 'Inspecta'등이 있으며, 대부분 고속 자료를 잃지 않고 안정적으로 처리하기 위하여 PC 기반하에서 운영되고 있다. 하지만 산업현장에서는 노이즈나 분진에 의한 데이터의 왜곡 및 기기의 파손을 초래하는 경우가 다수로 발생하는 실정이다. 뿐만 아니라, PC 기반의 영상처리시스템은 PC 가 기본적으로 필요하고 그 외에도 많은 부수장비가 필요하여 고가 및 복잡한 문제를 내재하고 있다. 따라서, 산업현장에 영상처리 제어시스템을 적용하기 위해서는 PC 기반이 아닌 마이컴과 같은 전자기기 기반의 독립형 영상처리시스템을 사용하는 것이 적절하다.

본 논문에서는 반도체 제조 업체를 통하지 않고도 산업현장에서 엔지니어가 직접 디바이스를 프로그래밍하여 설계한 회로를 반도체 칩상에 구현할 수 있는 FPGA (Field Programmable Gate Array) 기반의 디지털 라인스캔 카메라 영상처리 보드의 설계 방법을 제안한다. 제안하는 프레임그래버는 30MHz 이상의 고속 영상데이터 전송에서도 안정적으로 동작하도록 설계하며, 산업현장에서 가장 많이 사용되고 있는 시스템 (백라이트 위로 검정 물체가 이송되고 있을 때 양쪽 에지를 검출하여 폭과 센터의 치우침 정도를 표시 및 전달하는 웹 가이딩 시스템)에 쉽고 간단하게 적용될 수 있도록 하였다. 이를 통해 PC 기반이 아닌 마이컴과 같은 전자기기 기반의 독립 영상처리 구현이 가능해 질 것이며, 따라서 과거의 단점들을 해결하고 산업현장에서 보다 저가이며 안정적으로 동작할 수 있는 프레임그래버를 확보하게 되리라 기대한다. 제안하는 영상처리기를 고무 원단 폭 측정 및 센터링장치에 적용하여 성능평가를 수행하였다.

II. 디지털 라인스캔 카메라

카메라를 사용하는 센서 타입에 따라 그림 1 과 같이 라인스캔(Linescan)과 영역스캔(Areascan) 타입으로 나눌 수 있다. 라인스캔타입은 마치 팩스 기기에서 영상 입력하는 것과 같이 1 라인씩 연속적으로 데이터를 발생시킨다. 하지만 영역스캔타입의 경우는 마치 사진기와 같이 일정한 영역의 영상자료를 저장한 후 전송한다. 따라서 움직이는 물체에 대하여 끊김 없이 연속적으로 영상 데이터를 입력 받기 위해서는 라인스캔 타입을 사용하는 것이 일반적이다[5].



(a) Area scan type (b) line scan type

그림 1. Sensor type 에 따른 카메라 분류.
Fig. 1. Classification camera by the sensor type.

논문접수 : 2002. 4. 19., 채택확정 : 2002. 10. 22.
정 헌 : 초당대학교 (hjeong@chodang.ac.kr)
최 한 수 : 조선대학교 (hschoi@mail.chosun.ac.kr)
※ 이 논문은 2000 년도 조선대학교 학술연구비의 지원을 받아 연구되었음.

카메라를 출력신호에 의해 분류하면 디지털 카메라와 아날로그 카메라로 나뉜다. 아날로그 카메라는 출력신호가 전압의 변화 값으로 출력되며, 디지털 카메라의 경우는 카메라 자체에 A/D 변환기를 내장하고 있어서 디지털 값으로 (0-255 for 8-bit cameras, 0-4095 for 12-bit cameras) 출력된다. 원거리 데이터 전송을 하고자 할 때 아날로그 카메라의 경우는 노이즈에 의한 왜곡이 심하여 원하는 결과를 얻지 못하는 경우가 생길 수 있다. 또한 아날로그의 경우에 영상처리 보드의 가격 상승 및 보드의 A/D 분해능에 의해 성능 차이를 많이 보이는 단점을 가지고 있다. 따라서 최근에는 디지털 기술의 발달과 함께 과거 아날로그 카메라의 단점을 보완한 디지털 카메라를 사용하는 경우가 보편화 되고 있다.

본 논문에서는 연속적인 물체 스캔을 위해 라인스캔 타입의 카메라를 사용하였으며, 현장에서의 노이즈에 의한 왜곡 및 마이컴 기반의 간단한 시스템 구현을 위해 디지털 타입의 출력을 내는 카메라를 선정하였다. 본 논문에서 사용한 디지털 라인스캔카메라의 사양은 다음과 같다.

- Model : SP-12-01K30-10E (DALSA, Canada)
- 1024 pixels (14μ m x 14μ m)
- 30MHz data rate
- Line rates up to 52.8KHz
- 8-bit output from 10-bit digitizer
- Low image lag and high blue response

1. 디지털 라인스캔카메라 의 출력 포트 핀배열

디지털라인스캔카메라의 뒷면에는 36 핀의 LVDS 규격신호로 프레임그래버와 교신할 수 있는 포트가 있으며, SP-12 의 경우는 12V 를 입력할 수 있는 원형의 전원포트를 가지고 있다. 그림 2 에서 볼 수 있는 것과 같이 기본적으로 디지털 라인스캔카메라의 입출력 신호의 종류는 픽셀 데이터의 A/D 변환치의 출력신호(D0-D7), 픽셀 데이터의 A/D 변환과정 수행 후 유효 결과 값을 나타내는 STB 신호, 유효 Line 을 나타내는 LVAL 신호가 있으며, 추가 옵션 신호로서 MCLK, EXSYNC, PRIN, SPEED, GAIN0 과 GAIN1 등이 있다[6].

Dalsa 사의 Spark 시리즈 라인스캔카메라는 내부적으로는 10 bit 의 이산 픽셀 정보를 가지지만 출력은 상위 8 bit 의 LVDS 형태의 신호를 MDR36F Connector 에서 송출한다. 신호의 형식은 EIA-644 의 표준규약을 따르며, 이는 EIA (Electronic Industries Association)에서 제정한 이산정보전송 전기 규격 중 하나이다. EIA-644 는 기존의 장거리 직렬 통신 규격인 RS422 에서 처리할 수 없었던 30Mbps~400Mbps 의 고속 데이터를 통신할 수 있는 규격이다.

2. 유효 Pixel Data 처리방법

유효 Pixel 데이터를 얻기 위해 기준이 되는 출력 신호로서 LVAL 과 STROBE 가 있다. 이들 신호의 타이밍도는 그림 3 과 같다.

카메라의 옵션 신호를 사용하지 않으면 내부 최적의 속도로 픽셀 데이터를 출력하는데, 속도는 약 30MHz 의 픽셀 전송속도를 갖는다. 따라서 카메라 신호 처리를 위해서는 고속의 데이터 처리시스템이 필수적이다

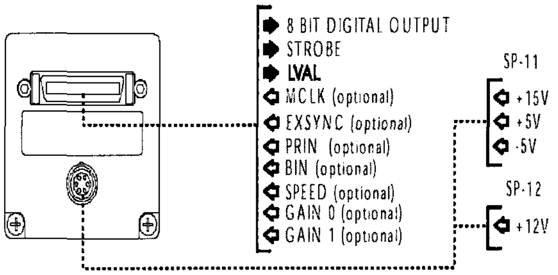


그림 2. 디지털라인스캔카메라의 입출력 신호.

Fig. 2. Input/output signals of digital lincescan camera.

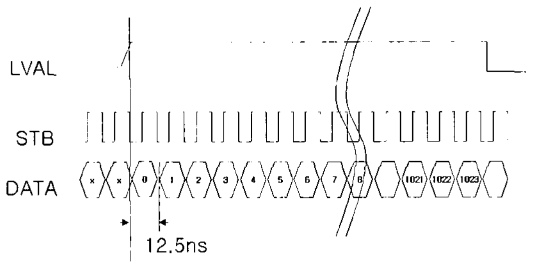


그림 3. Linescan camera 의 출력 신호 타이밍도.

Fig. 3. Linescan camera output signal time chart.

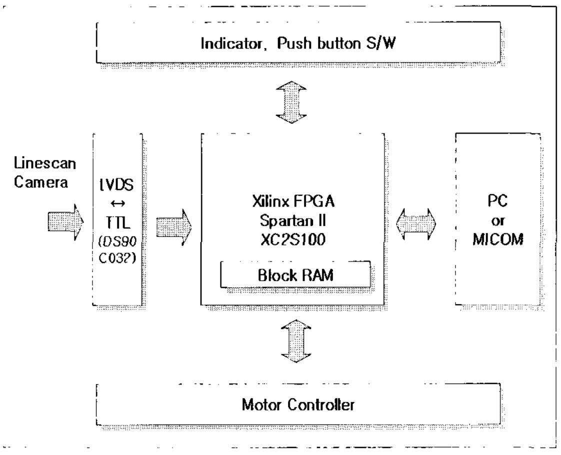


그림 4. 프레임그래버의 블록도.

Fig. 4. The block diagram of framegrabber.

III. 프레임그래버 설계

디지털 라인스캔카메라의 출력 정보는 30MHz 의 빠른 속도로 픽셀 정보를 출력하는 것을 확인하였으며, 이를 처리하기 위해서는 일반적인 소프트웨어에 의한 데이터 처리 방법이 아닌 하드웨어적인 처리방법이 효율적이다. 따라서 본 논문에서는 하드웨어를 유저의 프로그램에 의해 설계하고 빠른 데이터를 안정적으로 처리할 수 있는 FPGA 기반의 프레임그래버를 설계 및 개발하였다. 제안하는 프레임그래버의 블록도는 그림 4 와 같다.

그림 4 에서 볼 수 있듯이 디지털 라인스캔 카메라는 LVDS 통신을 하기 때문에 LVDS 형태의 신호를 TTL 신호로 변환하는 변환 칩이 필요하다. 본 논문에서는 DS90C032 를

사용하여 신호변환을 수행하였다. 또한 본 논문에서 채택한 FPGA 인 Xilinx 사의 Spartan II series 에 존재하는 Block RAM 을 사용하여 픽셀 데이터를 저장한다. 저장된 정보는 마이크로프로세서를 사용하여 모니터링이 가능토록 하였다.

1. FPGA

본 논문에서는 Xilinx 사의 Spartan-II 시리즈를 사용하였다. Spartan-II 시리즈의 구성은 환경설정을 위한 논리 블록인 CLB(Configurable Logic Block), 입출력 제어 블록인 Programm-able IOB(Input/Output Block), 4 개의 DLL(Delay-Locked Loops), 그리고 두 행의 Block RAM 으로 구성되어 있다[7]. 각 구성 요소들은 강력한 계층적인 회로구성 채널(Channel)로 연결되어 있다. 이런 내부 SRAM 에 작성된 환경 데이터의 전송을 통해 Spartan-II FPGA 의 기능을 결정 짓는다. 무제한적인 반복 프로그램이 가능하며, 저장된 값들에 의해 각각의 셀들은 논리 기능과 상호 연결이 결정되어 다양한 기능 구현이 가능하다. 이런 환경 정보 전송을 위한 방법은 Master serial mode, Slave serial mode, Slave parallel mode 및 Boundary scan mode 등이 있다. 본 논문에서는 외부 Serial PROM 에 의한 환경정보 전송 방법인 Master serial mode 를 사용하였다.

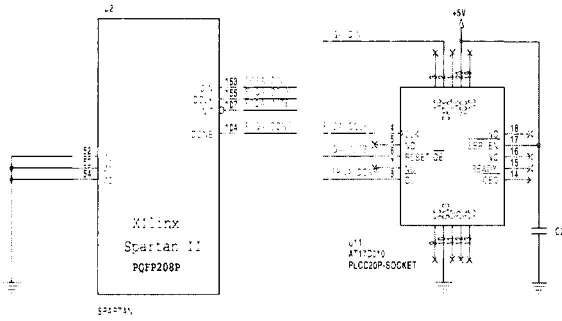


그림 5. FPGA 환경설정을 위한 회로도.
Fig. 5. The schematic diagram of FPGA configuration.

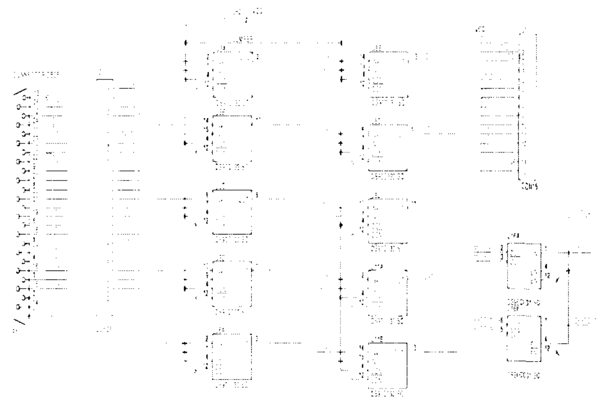


그림 6. LVDS 통신을 위한 회로도.
Fig. 6. The schematic diagram of LVDS communication.

2. 카메라 인터페이스

카메라로부터 출력되어 프레임그래버에 입력되는 영상 데이터는 LVDS 통신방식의 신호 형식을 나타내며, 이를 TTL 레벨의 신호로 변환하는 과정이 필요하다. 위 그림 6 에서와 같이 신호변환을 위해 National 사의 DS90C032 를 수신 신호 변환용으로 DS90C031 을 송신신호 변환용으로 사용하였다.

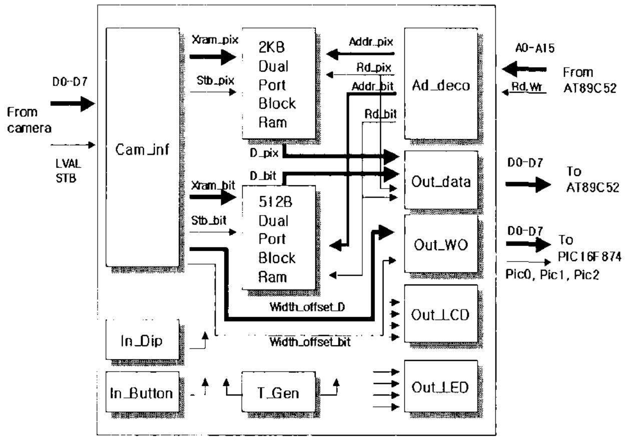


그림 7. FPGA 프로그램 블록도..
Fig. 7. The block diagram of FPGA program..

3. FPGA 프로그래밍

FPGA 의 프로그램 개발을 위해 사용한 소프트웨어로서는 Xilinx 사의 foundation F3.1i 를 사용하였다. 전반적인 프로그램 설계과정은 Top-Down 방식의 계층적 구조의 구현을 위해 schematic editor 를 주로 사용하였으며, 세부적인 회로의 구현을 위해서는 VHDL language editor 에 의한 매크로 정의과정 및 Schematic 합성과정을 수행하였다. 작성된 프로그램은 FPGA 칩에 다운 로딩하여 FPGA Chip 내부에 하드웨어적인 연결을 형성하고 이에 의해 프로그램된 기능을 최적의 시간 동안에 처리한다.

본 논문에서 설계한 FPGA 환경정보의 블록도는 그림 7 과 같다. 구현한 FPGA 블록들로는 카메라 입력값 처리부, 픽셀과 비트 정보 발생부, 비교저장부, 표시부, 어드레스 제어부 등이 있다.

작성된 프로그램은 1Mbit 공간을 가진 Atmel 사의 직렬 EEPROM 인 17C010 에 저장되며 전원 공급시 FPGA 의 환경설정을 수행한다.

1) CAM_INF 부

카메라로 입력되는 STB 와 LVAL 신호를 기준으로 D0-D7 데이터를 처리하는 블록이다. 내부에는 저장위치를 지시하는 X_pointer 라는 SFR 이 있으며, 입력된 값을 2KByte 의 Block RAM 에 저장시킨다. 또한 경계값에 해당하는 Thr_val 의 SFR 값과 비교하여 이진정보로 변환한 후 1Byte 씩 512Byte Block RAM 에 전송한다.

2) Dual Port Block RAM 부

2 개의 Block RAM 부가 있다. 각각 2KByte 공간과 512Byte 공간이 있으며, 2KByte 에는 픽셀데이터를 저장하며 512Byte 공간에는 경계치와 비교하여 얻어진 Bit 결과값을 저장한다. 모두 Dual Port 구조로 되어 데이터 저장과는 별도로 외부 제어기에 의한 실시간 판독이 가능토록 하였다.

3) In_DIP, In_Button, T_Gen, LED, LCD 부

사용자의 입력을 처리하고 원하는 결과에 대한 출력을 수행하는 블록이다.

4) A/D_deco 부

외부기기로부터 FPGA 의 내용을 읽기 위해 입력되는 어드레스 데이터에 의해 각 블록의 선택신호를 생성한다.

표 1. 메모리 맵.

Table 1. Memory map.

memoey area	contents
C000~C3FF	SFR(special function register)
C400~C5FF	Bit image area
C600~CBFF	Block ram memory

IV. 실 험

본 논문에서 제안하는 프레임그래버의 성능을 검증하기 위해 산업현장에서 가장 많이 사용되고 있는 웹 가이딩 시스템에 적용 실험을 수행하였다. 그림 8 에 원단 가이딩 시스템의 개념도를 표현하였다. 원단의 뒷면에서 비추는 불빛을 기준으로 카메라에 의해 원단의 양쪽 에지를 검출하여 폭과 센터의 치우침 정도를 계산한 후 그결과 값을 컨베이어의 엑추에이터인 DC 모터제어기에 전달하여, 실시간적으로 센터를 유지하며 이송되어 감길 수 있도록 설계 하였다.

실험을 위한 시스템은 라인스캔카메라, 본 논문에서 개발한 프레임그래버, 모니터링용 마이컴(AT89C52), 모터제어기(PIC 16F874), DC motor, H-bridge driver and feedback 장치로 구성되어 있다. 동작 흐름은 다음과 같다.

① 먼저 라인스캔 카메라로부터 원단의 영상정보를 입력받는다.
② 입력된 영상은 프레임그래버에 의해 순차적으로 저장된다.
③ AT89C51 마이크로프로세서에 의해 저장된 영상정보를 PC 에 전송한다.
④ FPGA 의 SFR 영역 데이터 중 폭 데이터와 센터에서의 편차를 PIC16F874 마이크로프로세서에 전송한다.
⑤ 전송된 폭 데이터는 표시장치로 전송된다.
⑥ 센터에서의 편차 값은 Motor 제어신호로 연산되어 모터제어기에 출력된다.
⑦ 모터제어기는 입력 컨베이어의 위치를 제어함으로써 원단을 센터로 공급하도록 한다.

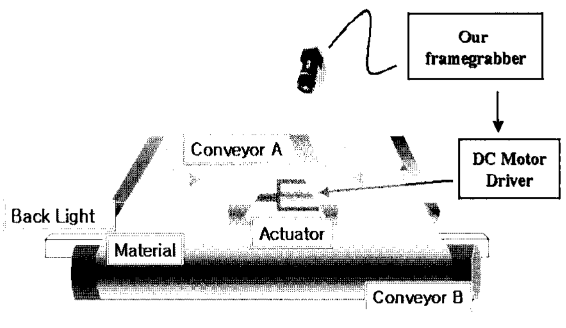


그림 8. 원단가이딩 시스템의 개념도.

Fig. 8. The concept diagram of web guiding system.

1. 폭 검출

본 실험은 카메라에서 전송되는 영상정보를 FPGA 에서 정확히 저장하고 있는가에 대한 검증과정이며, 또한 경계치 값에 의한 이진영상 획득의 정확성을 검증할 수 있다. 실험을 위해 먼저 카메라 켈리브레이션을 수행하였다. 켈리브레이션 과정은 먼저 백라이트의 센터에 작은 핀을 설치하여 백라이트와 카메라가 평행이며 중앙정렬이 되도록 카메라를 조절한다. 다음과정으로는 미리 폭을 알고 있는 검정판을 중앙에 위치시키고 (논문에서는 200mm 사용), 켈리브레이션 버튼을 누른다. FPGA 의 켈리브레이션 프로그램에 의해 비례상수인 Kp 값이 계산된다.

Kp 의 계산 및 관련식은 다음과 같다.

$$Width_{new} = k_p \times pix_Off_A$$
$$Pix_Off_A = Pix_On_F - Pix_On_A \qquad (1)$$
$$K_p = \frac{200}{Pix_Off_A_{200}}$$

$Width_{new}$	: 미지의 검정물체의 폭값
Kp	: 폭/픽셀 비례상수
Pix_Off_A	: 미지 검정물체 설치시 Off 픽셀 수
Pix_On_F	: 미지 검정물체 제거시 On 픽셀 수
Pix_On_A	: 미지 검정물체 설치시 On 픽셀 수
$Pix_Off_A_{200}$	: 200mm 검정물체 설치시 Off 픽셀 수

켈리브레이션을 마친 후 미지의 검정물체를 올려놓고 폭을 검출하였다. 폭 검출 실험 결과는 표 2와같다. 카메라로부터 약 700mm 떨어진 곳에 백라이트를 설치하고 켈리브레이션을 수행한 결과 Kp 값을 20/36 을 얻었다. 표 2에서 볼 수 있는 것과 같이 측정오차는 약 ± 2mm 이내를 나타내었다. 그림 9 에는 원단가이딩 실험을 위한 모니터링 프로그램의 실험 결과를 나타내었다.

표 2. 폭 검출실험 결과.

Table 2. Experiment of detecting the widths.

번 호	실제폭	검출폭	오차	비고
1	30	28.33	-1.67	
2	60	58.31	-1.69	
3	120	119.80	-0.2	
4	200	200.54	0.54	
5	281	281.19	0.19	

2. 센터링 제어

다음 실험과정으로 카메라에 의해 검출된 물체의 에지를 이용하여 센터로부터의 편차 값을 계산하고, PIC16F877 에 전송하여 편차가 없도록 컨베이어의 위치를 조절하는 실험을 수행하였다.

그림 10 은 PD 제어 알고리즘을 적용한 센터링제어 실험 결과이다. 결과에서 알 수 있듯이 원단의 위치 변화로 인한

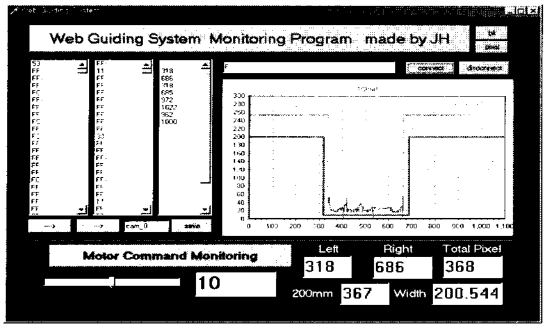


그림 9. 원단가이딩 모니터링 프로그램.

Fig. 9. The monitoring program of web guiding system.

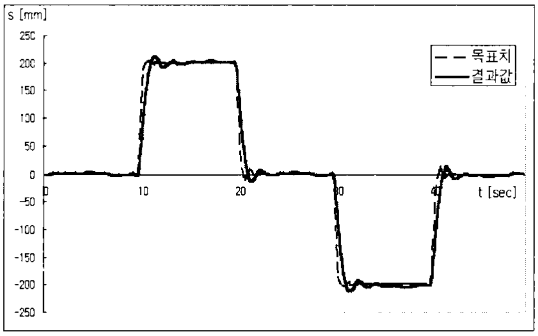


그림 10. 센터링 제어 실험 결과.

Fig. 10. The Experiment result of centering control.

편차발생시에도 컨베이어의 위치 조정을 통한 원단의 센터공급을 지속적으로 수행할 수 있음을 확인하였다.

V. 결론

본 논문에서는 FPGA 기반의 디지털라인스캔카메라영상처리 보드의 개발을 수행하였으며, 또한 개발된 영상처리보드를 물류시스템의 기본장치인 폭 측정 및 센터링 장치에 적용하였다. 본 논문을 통해 산업현장에서는 노이즈나 분진에 의한 데이터의 왜곡 및 기기의 파손으로 인한 PC 기반이 아닌 마이컴이나 FPGA 기반의 영상처리시스템이 필요한 설비에 적용할 수 있는 저가형 프레임그래버의 설계방법을 습득하였다. 따라서 과거의 단점들을 해결하는 높은 신뢰성을 갖는 신개념의 국산 센터링장치에 대한 개발의 기초를 다질 수 있었으며, 개발된 제품은 산업현장에서 효율적으로 사용되리라 기대한다.

참고문헌

[1] P. M. Curry, F. Morgan, L. Kilmartin, "Xilinx FPGA implementation of a pixel processor for object detection applications", Xilinx Corporation, 2000.

[2] 이진희, 강근택, 이원창, "FPGA 를 이용한 회전체 Data Acquisition 시스템의 설계" , 한국자동제어학술회의논문집 (KACC) pp.1849-1852, 1998.

[3] 김윤기, 전재욱, " FPGA 를 이용한 로봇과 CNC 공작기계용 위치 제어기 개발", 한국자동제어학술회의논문집 (KACC) pp.d293-d296, 1999.

[4] Y. Nakabo, M. Ishikawa, H. Toyoda and S. Mizuno "1ms column parallel vision system and It's application of high speed target tracking parallel algorithms and architectures" Proc. of the IEEE Inter. Conf. on Robotics & Automation, San Francisco, pp. 650-655, April , 2000.

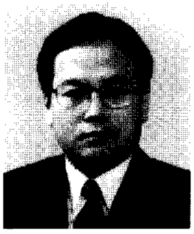
[5] Thomas H. Drayer, William E. King IV, Philip A. Araman Joeseph G. Tront, Richard W. Conners, "Using multiple FPGA architectures for Real-time processing of Low-level machine vision functions", Inter. Conf. on Industrial, Electronics, control & Instrumentation, pp. 284-1289, 1995, florida, USA

[6] DALSA Inc., "SP-13/14-xxx30 user's manual", Nov., 2000. http://www.dalsa.com

[7] Xilinx Corporation, "Spartan-II 2.5V FPGA Family: Functional Description", 2001. http://www.xilinx.com/partinfo/ds001_2.pdf

정 헌

1970년 10월 13일생 1992년 조선대학교 제어계측공학과(공학사). 1996년 조선대학교 제어계측공학과(공학석사). 1999년 조선대학교 제어계측공학과(공학박사). 1999년~현재 초당대학교 전자공학과 조교수. 관심분야 : 지능제어, 비전시스템, 로봇제어, 가상현실.



최 한 수

1954년 9월 30일 생 1980년 조선대학교 전기공학과 졸업. 1994년 전북대학교 대학원 졸업(공학박사). 1985~1986년 미국 Oregon Graduate Center 객원교수. 현재 조선대학교 전자정보공과대학 정보제어계측공학부 교수. 관심분야는 퍼지제어, 지능제어, 유전자알고리즘, 신경망 제어 등.