릴레이 회로의 확장된 마크흐름선도 변환

The Relay Circuits Translation to EMFGs

여 정 모*, 백 형 구
(Jeong-Mo Yeo and Hyung-Goo Paek)

Abstract : We propose how to translate relay circuits to the EMFGs(Extended Mark Flow Graphs) formally and analyze the original one by using the mark flow of it. Firstly, the concepts of the output condition, the output-on condition and the output-off condition are introduced in the relay circuits. These can be used to find the structure and the operation of respective relay outputs but the sequential operations of them cannot be obtained from these. Secondly, a relay circuit is translated to the corresponding EMFG as the all output-on conditions and all output-off conditions of it are translated to EMFGs. For the adequate translation, the condition arc and the concepts of the generation transition and the degeneration transition are introduced, and the duality for the simplification of the result. Thirdly, we analyze the operation of the original circuit by analyzing the mark flow of the resulting EMFG. We can achieve easy and fast analysis based on the EMFG's operation algorithm. Finally, we apply these to the relay circuit for an electric furnace and analyze its operation with the mark flow of the resulting EMFG. The formal translation from relay circuits to EMFGs makes the analysis easy so that these results can be used to design, modelling, the fault detection and the maintenance.

Keywords : relay circuits, EMFG, mark flow, the output-on/output-off condition, the condition arc, the generation/degeneration transition, the duality, the formal translation

I. 서론

시퀀스 제어 시스템을 구성할 때, 일반적으로 릴레이 회로를 사용하거나 라다 회로를 사용한다. 규모가 큰 경우에는 대부분 라다 회로를 사용하는데, 이들은 회로의 표현이나 판독이 용이한 SFC(Sequential Function Chart)[1], RLL(Relay Ladder Logic)[2], GRAFCET[3], SIPN(Signal Interpreted Petri Nets)[4] 및 실시간 PN(Petri Nets)[5] 등을 사용하여 기술된다.

그런데 아직까지 릴레이 회로를 사용하는 경우를 산업현장에서 흔히 볼 수 있다. 그러나 릴레이 회로를 분석하기 위한 표현 방법이 적은 편이다. 그 이유는 릴레이 회로가 대부분 간단한 면도 있겠지만 초기 개념적 설계가 어려워서 회로 분석에 많은 경험을 필요로 하기 때문이다[6-8]. 특히 릴레이 회로가 복잡할 때 설계된 회로가 올바른 동작을 하는지 검사하려면, 설계된 회로에서 각 릴레이 접점들이 동작되는 상황을 순서적으로 파악하면서 해석하고 분석해야 하므로 검증이 매우 어렵게 되어 릴레이 회로의 설계 단계에서 시퀀스 추이 체크나 이상개소의 엄밀한 검출이 어렵게 된다.

또한 릴레이 회로가 이산 제어 시스템에 속한다 하더라도 이산 제어 논리 회로의 동작과 구분되는 점이 있다. 그것은 릴레이 회로가 대부분 수동적으로 동작하는 접점들로 구성되어 비동기적으로 동작하기 때문이다.

따라서 본 연구에서는 릴레이 회로를 EMFG(확장된 마크흐름선도; Extended Mark Flow Graph)[9]로 변환하고 이를 분석하는 방법을 제안하고자 한다. EMFG는 PN에서 파생된 그래프 이론으로서 직렬성과 병렬성 및 동시성 등을 잘 표현할 수 있기 때문에 동기적이거나 비동기적인 이산치 하드웨어나 소프트웨어 시스템을 개념적으로 또는 상세하게 분석, 모델링 또는 설계하는데 유용하게 사용할 수 있는 도구이다. 또한 하드웨어 시스템을 EMFG로 상세하게 설계한 경우에는 설계된 EMFG를 실제 회로로 변환[9]할 수도 있고, 설계된 EMFG에 EMFG 동작 알고리듬[10,12]을 적용하면 수학적인 해석도 가능하다.

* 책임저자(Corresponding Author)
논문접수 : 2003. 6. 16., 채택확정 : 2003. 9. 8
여정모,백형구 : 부경대학교(yeo@pknu.ac.kr/hgpaek@emfg.pe.kr)
※ 이 논문은 부경대학교 기성회학술 연구비에 의하여 연구되었음.

II. 본론

1. 릴레이 회로의 표현과 성질

릴레이 출력에는 일반 릴레이 및 온 타이머(시한동작-순시복귀)와 오프 타이머(순시동작-시한복귀) 등이 있고, 비릴레이 출력에는 표시등이나 모터 구동 등이 있으며, 인위적이거나 수동적으로 동작하는 수동 입력소자에는 각종 스위치나 푸시 버튼 등이 있고, 접점 입력소자에는 릴레이 접점들이 있다.

그리고 이러한 소자들의 이름을 부여할 때, 수동 입력소자 및 비릴레이 출력은 개별적으로 동작하므로 유일한 이름을 부여하고, 릴레이 출력과 해당 접점 입력소자는 함께 동작되므로 동일한 이름을 부여하기로 한다.

예를 들어 그림 1에서 P1에서 P9까지의 입력소자는 수동 입력소자를, R1과 R2는 릴레이 출력 및 해당 a 접점인 접점 입력소자를, OL은 비릴레이 출력을 의미한다.

정의 1: 릴레이 회로에서 출력에 연결된 입력소자들의 구성을 출력조건이라 하고, 출력 상태를 동작/해제 상태로 하기 위한 입력소자들의 조건을 출력 동작/해제조건이라 한다.

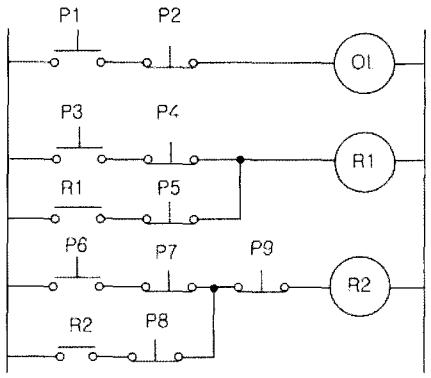


그림 1. 릴레이 회로의 예.
Fig. 1. A relay circuit example.

정의 1에 의하여, 릴레이 회로의 출력조건으로 릴레이 회로의 구성을 알 수 있으며, 출력 동작조건과 출력 해제조건으로 릴레이 회로의 동작 상태를 파악할 수 있다. 그러나 이들은 하나의 릴레이 출력에 대해서만 알 수 있을 뿐 릴레이 회로의 연속적인 동작에 대해서는 파악하기 곤란하다.

또한 이들은 부울식으로 표현될 수 있다. 예를 들어 그림 1에서 각 출력의 출력조건(첨자 i로 표기)을 부울식으로 표현하면, (1)에서 (3)과 같다.

$$OL_i = P1 \cdot P2' \quad (1)$$
$$R1_i = P3 \cdot P4' + R1 \cdot P5' \quad (2)$$
$$R2_i = (P6 \cdot P7' + R2 \cdot P8') \cdot P9' \quad (3)$$

정리 1: 릴레이 회로에서 출력 R의 출력조건을 R_i, R의 출력 동작/해제조건을 R_g/R_d라 할 때, R_g/R_d를 다음과 같이 구할 수 있다

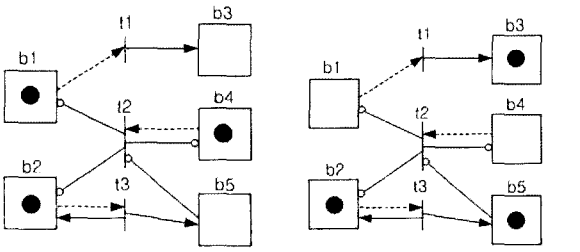
$$R_g = (R_i)_{(R\ 0)} \quad (4)$$
$$R_d = (R_i')_{(R\ 1)} \quad (5)$$

증명: R_i/R_i'는 R의 전원을 공급/차단(출력을 동작/해제)시키는 조건이고, R_g/R_d는 R이 해제/동작된 상태(R=0/R=1)에서 유효해야 하므로 (4)/(5)는 타당하다. ■

(4)는 출력의 a 접점들을 제거하였을 때 출력을 동작시키는 모든 경우를 의미하고, (5)는 출력의 b 접점들을 제거하고 a 접점들을 연결 상태로 하였을 때 출력을 해제시키는 모든 경우를 의미한다.

그림 1에서 출력들의 출력/해제 동작조건(첨자 g/d로 표기)을 구하면 다음과 같다.

$$OL_g = P1 \cdot P2' \quad (6)$$
$$R1_g = P3 \cdot P4' \quad (7)$$
$$R2_g = P6 \cdot P7' \cdot P9' \quad (8)$$
$$OL_d = P1' + P2 \quad (9)$$
$$R1_d = P3' \cdot P5 + P4 \cdot P5 \quad (10)$$
$$R2_d = P6' \cdot P8 + P7 \cdot P8 + P9 \quad (11)$$



(a) 트랜지션 점화 전 (b) 트랜지션 점화 후

그림 2. 조건 아크를 포함하는 EMFG의 예.
Fig. 2. An EMFG containing condition arcs.

보조 정리 1-1) 릴레이 회로에서 비릴레이 출력(또는 출력조건에 자신을 포함하지 않는 릴레이 출력)을 R, 출력조건을 R_i, 출력 동작/해제조건을 R_g/R_d이라 할 때, R_g/R_d은 다음과 같다.

$$R_g = R_i \quad (12)$$
$$R_d = R_i' \quad (13)$$

증명: R은 자신의 접점을 포함하지 않으므로 R_i는 R와 무관하다. 따라서 (4)와 (5)에 의하여 타당하다. ■

그림 1에서 비릴레이 출력 OL의 출력 동작/해제조건 OL_g(6)/OL_d(9)는 OL_i/OL_i'과 동일하다.

2. 릴레이 회로의 표현을 위한 EMFG의 개선

입력소자들은 자신의 상태를 유지한 채로 다른 출력을 동작시키거나 해제하는데 기여한다. 이러한 입력소자들의 상태를 표현하기 위해서는 EMFG에 새로운 아크를 도입할 필요가 있다.

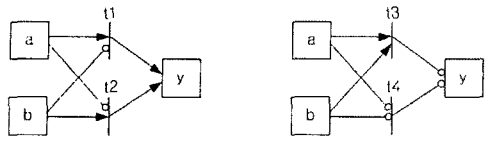
정의 2: EMFG에서 트랜지션 t_n에 입력 아크로 연결된 점선 아크를 조건 아크(Condition Arc)라 하고, t_n에 조건 아크로 연결된 입력 박스 b_m에는 마크가 있어야 t_n의 점화조건을 만족시킬 수 있으며, t_n가 점화하였을 때 b_m의 마크 상태는 변화하지 않는다.

조건 아크나 역 아크로 연결된 입력 박스는 트랜지션의 점화조건만 만족시키므로 어떤 상태를 변화시키는 게이트 역할을 한다.

정의 3: EMFG에서 트랜지션 t에 일반/역 아크로 연결된 출력박스 b가 있을 때, t를 b에 대하여 생성(generation)/소멸(degeneration) 트랜지션이라 한다.

그림 2는 조건 아크를 포함하는 EMFG의 예를 나타내며, t1은 b3에 대한 생성 트랜지션, t2는 b1과 b2 및 b4에 대한 소멸 트랜지션, t3은 b2와 b5에 대한 생성 트랜지션이다.

EMFG에는 서로 상반되는 역할을 하는 쌍대(duality)의 개념이 존재하는 것들이 있다. 예를 들어 트랜지션의 입력조건 아크와 입력 역 아크(서로 상반되도록 트랜지션의 점화조건을 만족시킴), 트랜지션의 점화조건이 상반되도록 구성되는 두 입력조건, 트랜지션의 출력 일반 아크와 출력 역 아크(트랜지션이 점화한 후에 출력 박스의 마크 상태를 서로 상반되도록 변화시킴) 등은 서로 쌍대 관계에 있다.



(a) EMFG1 (b) EMFG2(Duality of EMFG1)

그림 3. 쌍대 EMFG의 예.

Fig. 3. An EMFG and its duality.

또한 EMFG1의 생성 트랜지션들/소멸 트랜지션들과 상반 역할을 하는 소멸 트랜지션들/생성 트랜지션들로 EMFG2가 구성되면, EMFG1과 EMFG2는 서로 쌍대 EMFG가 된다.

예를 들어 그림 3은 서로 쌍대 관계에 있는 EMFG들을 나타낸 것이다. 그림 3(a)에서 생성 트랜지션의 집합을 A1(=$\{t_1, t_2\}$), 그림 3(b)에서 소멸 트랜지션의 집합을 B1(=$\{t_3, t_4\}$)라 하자. A1 원소들의 점화조건의 논리 OR(=ab' + a'b)는 B1 원소들의 점화조건의 논리 OR(=a'b' + ab =(ab' + a'b)')와 서로 보수 관계를 가짐과 동시에 A1 트랜지션들은 모두 생성 트랜지션이어서 마크를 생성시키고, B1 트랜지션들은 모두 소멸 트랜지션이어서 마크를 소멸시키므로 A1과 B1은 서로 쌍대 관계에 있다. 따라서 그림 3(a)와 그림 3(b)는 서로 쌍대 관계에 있는 EMFG이다.

3. 릴레이 회로의 EMFG 변환

3.1 릴레이 회로의 EMFG 표현

시퀀스 제어 회로를 릴레이 회로로 구현하는 경우에는 많은 경험이 필요할 뿐 아니라 설계된 릴레이 회로는 각 릴레이 접점들이 동작되는 상황을 순서적으로 파악하면서 해석해야 하므로 그 분석이 용이하지 않다. 따라서 본 연구에서는 설계된 릴레이 회로를 본 연구에서 제시된 개선된 EMFG로 변환함으로써 릴레이 회로의 동작과 분석이 용이하고 분석된 내용이 설계에 반영되도록 하고자 한다.

릴레이 회로를 EMFG로 변환할 때는 릴레이 회로 소자의 동작 및 릴레이 회로의 동작 상태 등이 EMFG 이론[9][11]에 어긋나지 않도록 해야 한다.

정의 4: 릴레이 회로를 표현한 EMFG에서 박스는 릴레이 회로의 입력소자 또는 출력의 상태를 나타낸다.

정의 4에 의하면, 수동 입력소자는 출력의 동작 상태에만 영향을 주어 트랜지션의 점화에만 기여하게 되므로 원천(source) 박스로 변환되고, 비릴레이 출력은 다른 출력의 동작 상태에 기여할 수 없어 트랜지션의 점화조건에 기여할 수 없으므로 종단(terminal) 박스로 변환되며, 릴레이 출력과 해당 릴레이 접점들은 항상 함께 동작되므로 동일한 하나의 박스로 변환된다.

정리 2: 릴레이 회로에서 출력에 대한 출력 동작/해제조건을 곱의 합(Sum of Products) 형식의 부울식으로 표현했을 때, 부울식의 각 항은 다음과 같은 아크로 연결되는 트랜지션 t로 변환할 수 있다.

① t의 입력 아크: 각 항을 구성하는 요소가 박스명 그대로 사용된 경우는 해당 입력 박스에서 t에 연결되는 입력 조건 아크, 박스명의 부정으로 사용된 경우는 해당 입력 박스에서 t에 연결되는 입력 역 아크

② t의 출력 아크: 각 항이 출력 동작/해제 조건의 항이면, t에서 해당 출력 박스로 연결되는 일반/역 아크

증명: ① 부울식의 각 항을 구성하는 요소들은 출력을 동작/해제시키는데 기여만 하므로 점화 후에 자신의 상태가 변하지 않는 조건 아크나 역 아크로 t에 연결되어야 하는데, 각 항을 구성하는 요소가 박스명인 경우는 대응되는 입력소자의 동작 상태를 의미하므로 입력 박스의 마크가 있는 상태에서 점화조건을 만족시키는 입력 조건 아크로 연결되어야 하고, 박스명의 부정인 경우는 대응되는 입력소자의 동작되지 않은 상태를 의미하므로 입력 박스의 마크가 없는 상태에서 점화조건을 만족시키는 입력 역 아크로 연결되도록 변환되어야 한다.

② 출력 동작/해제 조건의 각 항은 출력을 동작/해제시키는 역할을 하므로 t가 점화한 후에 출력 박스에 마크가 생성/소멸되도록 t에서 일반/역 아크로 출력 박스에 연결하여야 한다. ■

릴레이 회로에서 출력에 대한 출력 동작/해제조건을 곱의 합 형태의 부울식으로 표현했을 때, 정리 2의 ②는 부울식의 각 항이 생성/소멸 트랜지션으로 변환됨을 의미한다.

또한 출력조건에 자신을 포함하지 않는 릴레이 출력이나 비릴레이 출력인 경우, 보조 정리 1-1에 의해서 출력 동작조건을 변환한 EMFG와 출력 해제조건을 변환한 EMFG는 서로 쌍대 EMFG 관계에 있다.

정리 3: 릴레이 회로에서 각 출력의 출력 동작조건 및 출력 해제조건을 모두 표현한 EMFG는 릴레이 회로에 대응되어 변환된 EMFG이다.

증명: 릴레이 회로의 어떤 출력에 대한 출력 동작조건과 출력 해제조건은 해당 출력이 동작되는 상태와 해제되는 상태를 의미하므로 이들이 변환된 EMFG는 해당 릴레이 출력을 표현한 것과 동일하다. ■

정리 3과 정리 2에 의하여, 릴레이 회로를 변환한 EMFG에서는 트랜지션들의 입력으로 사용 가능한 아크로 조건 아크와 역 아크만 존재한다. 이 점이 일반적인 이산 시스템을 변환한 EMFG와 다른 점이다.

그림 1의 릴레이 회로를 EMFG로 변환하면 그림 4와 같다. 여기서 박스명은 입력소자 및 출력들을 소문자로 대응시켜 표기하였다.

3.2 타이머를 포함하는 릴레이 회로의 변환

온 타이머와 오프 타이머는 설정 시간에 따라 동작하므로 EMFG로 변환될 때 다르게 변환되어야 한다.

정리 4: 릴레이 회로에서 온/오프 타이머는 출력 동작조건과 출력 해제조건을 곱의 합 형식의 부울식으로 표현할 때, 출력 동작조건의 각 항은 '온 타이머의 설정시간을 가진 생성 트랜지션'/'생성 트랜지션'으로 변환되고, 출력 해제조건의 각 항은 '소멸 트랜지션'/'오프 타이머의 설정시간을 가진 소멸 트랜지션'으로 변환된다.

증명: 온 타이머 및 오프 타이머의 성질과 정리 2에 의하여 타당하다. ■

그림 5(a)의 릴레이 회로[6]를 EMFG로 변환하면 그림 5(b)와 같고, 그림 5(a)의 T(3)은 설정시간 3의 온 타이머이다.

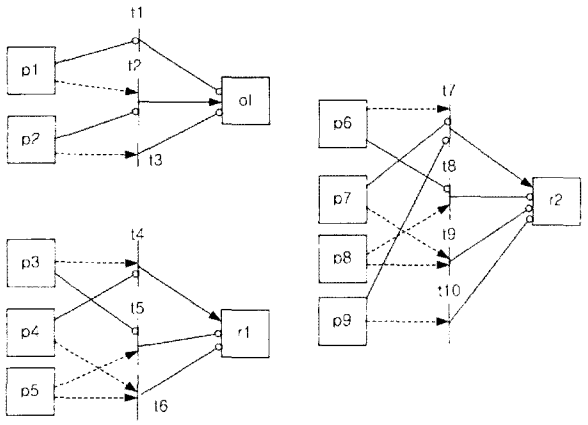
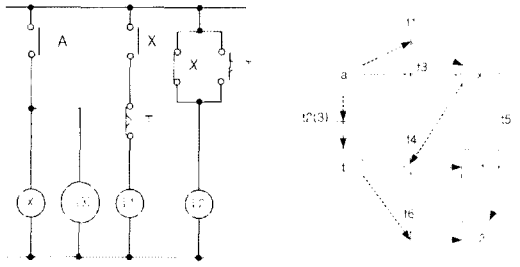


그림 4. 그림 1의 릴레이 회로를 변환한 EMFG.
Fig. 4. EMFGs translated from Fig. 1.



(a) 신호발생검출회로 (b) (a)를 표현한 EMFG

그림 5. 타이머를 가진 릴레이 회로와 변환된 EMFG.
Fig. 5. A Relay circuit containing a timer, and its EMFG.

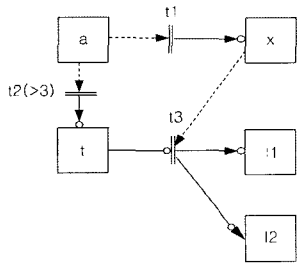


그림 6. 그림 5(b)의 간략화된 EMFG.
Fig. 6. A simplified EMFG of Fig. 5(b).

3.3 쌍대 EMFG의 간략화 표현

서로 쌍대인 두 트랜지션 집합이 하나의 EMFG 내에 함께 있으면 이를 간략하게 나타낼 수 있다.

정의 5: 서로 쌍대인 생성 트랜지션 집합 T_A와 소멸 트랜지션 집합 T_B가 하나의 EMFG 내에 함께 있는 경우, 이들을 다음과 같이 간략하게 표기한다.

① T_A 및 T_B가 일반 트랜지션인 경우: T_A/T_B를 기준으로 표기할 때는 T_A/T_B에 속하는 트랜지션들만 표기하고, 이 트랜지션들을 다른 실선으로 연결함과 동시에 각 트랜지션들의 출력 아크 끝에 '작은 원'/'화살촉'을 붙여 표기한다.

② T_A와 T_B 중 하나가 시간 트랜지션인 경우: ①과 같이 표기한 후, '온 타이머'/'오프 타이머'의 설정시간 s를 T_A/T_B에 속하는 각 트랜지션들의 어느 한 쪽에 '트랜지션명(>s)'/'트랜지션명(s>)'와 같이 표기한다.

그림 5(b)의 EMFG를 정의 5에 의하여 다시 표현하면 그림 6과 같다.

3.4 릴레이 회로의 EMFG 변환 단계

지금까지의 정의와 정리들에 기초하여 단계적으로 릴레이 회로를 EMFG로 변환할 수 있다.

정리 5: 다음은 릴레이 회로를 EMFG로 변환하는 단계이다.

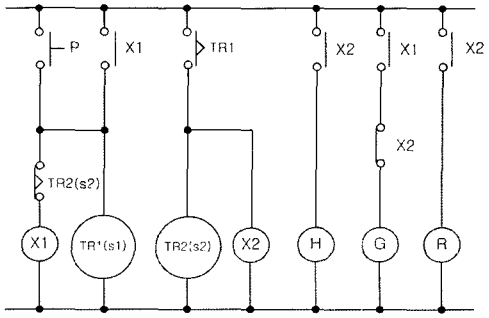
단계 1: 각 출력에 대한 출력 동작조건과 출력 해제조건을 곱의 합 형식의 부울식으로 표현

단계 2: 모든 입력소자 및 출력을 각각 박스로 변환

단계 3: 출력 동작조건들의 각 항을 생성 트랜지션으로 변환하고, 출력 해제조건들의 각 항을 소멸 트랜지션으로 변환. 만약 변환된 EMFG에 서로 쌍대인 트랜지션들이 존재하면 간략한 표기를 사용 가능.

증명: 각 정리들에서 증명되었으므로 증명 생략. ■

이렇게 변환된 EMFG의 동작을 분석하는 것은 릴레이 회로의 동작을 분석하는 것과 동일한 효과를 가진다. 더구나 EMFG의 동작 알고리듬[12]을 사용하면 수학적으로 EMFG를 분석할 수 있기 때문에 더욱 더 릴레이 회로의 분석이 쉬워진다.



P	시동용 버튼 스위치
X1, X2	내부 릴레이
H	전기 열처리로의 히터
TR2(s1)	대기 시간용 온 타이머
TR1(s2)	가열 시간용 온 타이머
G	운전대기 중임을 나타내는 녹색 램프
R	운전 중임을 나타내는 적색 램프

그림 7. 전기 열처리로의 릴레이 회로.
Fig. 7. A relay circuit for an electric furnace system.

III. 응용 예

타이머 릴레이를 포함한 릴레이 회로를 EMFG로 변환하는 과정을 전기 열처리로의 시한 제어 시스템에 적용시켜 보도록 한다.

1. 전기 열처리로의 릴레이 회로

전기 열처리로 시스템은 처리 시간이 길어 심야까지 있어야 하는 불편을 해결하기 위해 작업자가 귀가할 때 시동

버튼 P를 누르면, 일정시간(대기시간) s1 후에 소요시간(가열시간) s2만큼 열처리를 하고, 전부 완료하면 정지하도록 한다. 이러한 전기 열처리로 시스템의 릴레이 회로는 그림 7과 같다.

2. 전기 열처리로 릴레이 회로의 EMFG 변환

그림 7의 전기 열처리로 릴레이 회로를 정리 5에 따라 EMFG로 변환한다.

단계 1: 각 출력에 대하여 출력 동작조건(첨자 g) 및 출력 해제조건(첨자 d)을 구하면 다음과 같다.

$X1_g = P \cdot TR2'$ $\quad X1_d = TR2$
$X2_g = TR1$ $\quad X2_d = TR1'$
$H_g = X2$ $\quad H_d = X2'$
$TR1_g = P + X1$ $\quad TR1_d = P' \cdot X1'$
$TR2_g = TR1$ $\quad TR2_d = TR1'$
$G_g = X1 \cdot X2'$ $\quad G_d = X1' + X2$
$R_g = X2$ $\quad R_d = X2'$

단계 2: 그림 7에서 모든 입력소자 및 모든 출력을 각각 대응되는 소문자의 박스로 표현한다.

단계 3: 모든 출력 동작조건과 출력 해제조건을 각각 생성 트랜지션과 소멸 트랜지션으로 변환하고 간략화하여 전체적인 EMFG로 표현하면 그림 8과 같다.

3. 변환된 EMFG의 동작 분석

초기에는 그림 8의 모든 박스에 마크가 존재하지 않는데, 푸시 버튼 P를 눌러 박스 p에 마크가 생기면, 그림 8의 EMFG가 동작한다. 여기서 온 타이머 TR1의 대기시간 s1을 2로, TR2의 가열시간 s2를 4로 가정하였다.

다음에는 보조 릴레이 X1에 대응되는 x1 박스에 마크가 생성되고, 대기시간 s1(=2) 후에는 온 타이머 TR1에 대응되는 tr1 박스에 마크가 생성되고, 이어서 보조 릴레이 X2에 대응되는 x2 박스에 마크가 생성되어 열처리로 히터 H에 대응되는 h 박스에 마크가 생성됨으로써 열처리로가 동작한다.

가열시간 s2(=4)가 경과하면, 온 타이머 TR2에 대응되는 tr2 박스에 마크가 생성되어 x1 박스의 마크가 소멸하고, 이어서 tr1 박스의 마크가 소멸하여 x2 및 tr2 박스의 마크

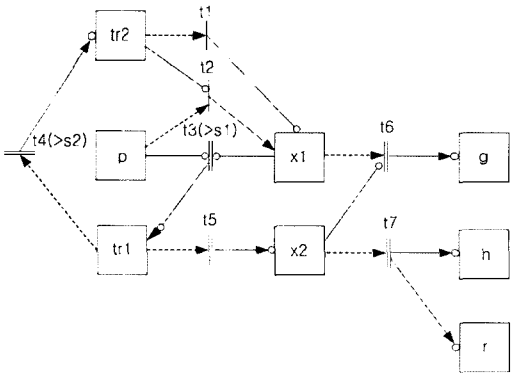


그림 8. 그림 7을 변환한 EMFG.
Fig. 8. An EMFG translated from Fig. 7.

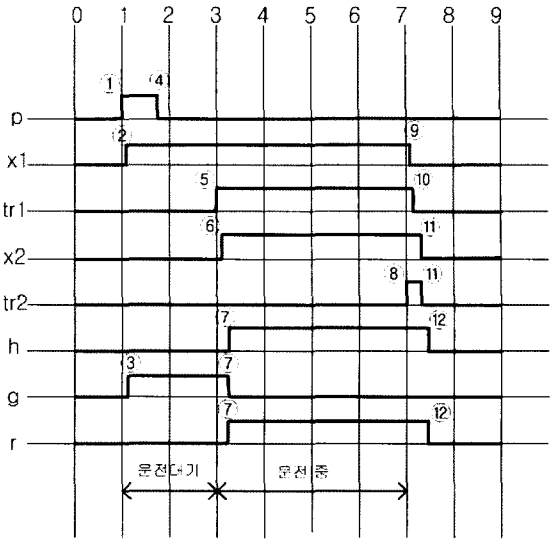


그림 9. 그림 8의 마크 상태 차트.
Fig. 9. A mark state chart of Fig. 8.

를 소멸시키고, 이는 h 박스의 마크를 소멸시켜 열 처리로가 정지한다.

이와 같은 관계를 그림 9의 마크 상태 차트로 나타내었다. 또한 마크 상태 차트는 EMFG 동작 알고리듬[12]에 의하여 구할 수도 있다.

그림 9에서 박스 g와 r의 마크 상태로서, 설계된 전기 열처리로 시스템의 릴레이 회로는 올바르게 동작되는 것을 알 수 있다.

그림 8과 같이 변환된 EMFG는 박스들의 마크 상태로서 시스템의 동작 상태를 쉽게 판단할 수 있다. 따라서 시스템의 동작 분석이 용이해지며, 고장 개소의 검출도 용이해진다. 이로 인해 차후의 릴레이 회로 설계에도 이러한 사항들을 반영할 수 있을 것이다.

시스템이 간단한 경우는 EMFG의 마크 상태를 직접 판단할 수 있지만, 시스템이 복잡해지는 경우에는 그 판단이 쉽지 않을 것이다. 이러한 경우에는 EMFG의 동작 알고리듬[12]을 사용하여 EMFG의 마크 변화 상태를 수학적으로 판단할 수 있다. 따라서 어떠한 경우이든 EMFG의 마크 상태를 분석함으로써 시스템의 동작 상태를 쉽게 파악할 수 있을 것이다.

VI. 결론

본 연구에서는 릴레이 회로를 EMFG로 변환하여 해석하기 위하여, 우선 릴레이 회로의 출력조건과 출력 동작조건 및 출력 해제조건을 도입하여 이들을 부울식으로 표현하였다.

그리고 릴레이 회로가 EMFG로 적절하게 변환되도록, EMFG에 조건 아크를 도입하고, 생성 트랜지션 및 소멸 트랜지션을 정의하였다. 이들을 사용하여 (온/오프 타이머를 포함한) 릴레이 회로를 EMFG로 변환하였고, 쌍대의 개념을 도입하여 변환된 EMFG가 간략하게 표현되도록 하였다.

변환된 EMFG를 해석하는 것은 릴레이 회로의 동작을

분석하는 것과 동일하다. 이를 입증하기 위하여 전기 열처리로 시스템의 릴레이 회로를 EMFG로 변환하고, 이를 해석함으로써 변환된 릴레이 회로의 EMFG가 올바르게 동작됨을 확인하고, 설계된 릴레이 회로가 동일하게 동작됨을 확인할 수 있었다.

이로써 본 연구에서 얻은 결론은 다음과 같다.

1) 본 연구에서 도입한 릴레이 회로의 출력조건으로 릴레이 회로의 구성을 알 수 있고, 출력 동작조건 및 출력 해제조건으로 릴레이 회로의 출력 상태를 파악할 수 있다. 하지만 이는 릴레이 회로의 각 출력에 한정될 뿐 회로의 연속적인 동작 상태는 파악하기 곤란하다.

2) 릴레이 회로(온/오프 타이머 포함)의 모든 출력 동작조건 및 모든 출력 해제조건을 EMFG로 표현하면 릴레이 회로를 EMFG로 표현한 결과가 된다. 이 변환과정은 릴레이 회로가 공식에 대입되는 것처럼 아주 쉬울 뿐 아니라 또한 변환된 EMFG는 쌍대의 개념에 의해 더욱 간단하게 표현될 수 있다.

3) 변환된 EMFG의 마크 흐름을 분석함으로써 릴레이 회로의 연속적인 동작 상태를 파악할 수 있다. 또한 EMFG의 동작 알고리듬을 사용하는 경우에는 변환된 EMFG가 아무리 복잡하여도 컴퓨터 시뮬레이션으로 쉽게 그 동작이 파악된다.

4) 이러한 분석 결과를 사용하면 릴레이 회로 설계나 고장 개소의 검출도 용이해진다.

앞으로 본 연구를 토대로 하여 라다 회로를 EMFG로 쉽게 변환하는 방법과 이어서 EMFG를 사용하여 릴레이 회로나 라다 회로를 쉽고 간단하게 설계하는 방법 등의 연구가 진행되어야 할 것이다.

참고문헌

[1] T. O. Boucher, and P. Sung, "Developing a class of sequential function charts from Petri nets", Computer Integrated Manufacturing and Automation Technology, *Proceedings of the Fourth International Conference on,* pp. 163-168, Oct. 1994.

[2] M. C. Zhou, E. Twiss, "Design of industrial automated systems via relay ladder logic programming and Petri nets", *Systems, Man and Cybernetics, Part C, IEEE Transactions on,* vol. 28, Issue 1, pp. 137-150, Feb. 1998.

[3] R. David, "Grafcet: a powerful tool for specification of logic controllers", *Control Systems Technology, IEEE Transactions on, vol.* 3, Issue 3, pp. 253-268, Sep. 1995.

[4] G. Frey "Automatic implementation of Petri net based control algorithms on PLC", *American Control Conference, Proceedings of the 2000,* pp. 2819-2823, vol. 4, 2000.

[5] S. S. Peng and M. C. Zhou, "Petri net based PLC stage programming for discrete-event control design", *Systems, Man, and Cybernetics, IEEE International Conference on,* pp. 2706-2710, vol. 4, 2001.

[6] 이승환, "시이퀀스 자동제어", 형설출판사, 1984.

[7] 김원희, "종합 시퀀스 제어", 성안당, 1997.

[8] 김원배, 김인수. "PLC 응용과 실험", 기전연구사, 1999.

[9] 여정모, "이산 시스템의 설계와 해석을 위한 확장된 마크흐름선도의 재정의와 회로변환", 한국멀티미디어학회 논문지, 1권, 2호, pp. 224-238, 12, 1998.

[10] 여정모, "이산제어시스템 설계를 위한 확장된 마크흐름선도의 동작해석", 정보처리학회논문지, 5권, 7호, pp. 1896-1907, 7, 1998.

[11] 여정모, "확장된 마크흐름선도의 성질 및 간소화 알고리듬", 부경대학교 논문집, 3권, 3호, pp. 17-28, 12, 1998.

[12] 김희정, 여정모, 서경룡, "EMFG의 개선된 동작 알고리듬", 정보처리학회논문지, 9권, A호, pp. 371-378, 9, 2002.

여 정 모

1980년 동아대학교 전자공학과 (공학사). 1982년 부산대학교 대학원 전자공학과 (공학석사) 1993년 울산대학교 대학원 전자및전산기공학과 (공학박사) 1986~현재 부경대학교 전자컴퓨터정보통신공학부 교수. 관심분야는 전자상거래, 데이터베이스, EMFG, Petri-Net 등.

백 형 구

2000년 부경대학교 전자계산학과 (이학사). 2002년 부경대학교 전산정보학과 (공학석사). 2003년~현재 부경대학교 대학원 전자계산학과 박사과정 재학중. 관심분야는 데이터베이스, EMFG 등.