

기술 특 집

FED용 New Emitter의 기술개발동향

김광영, 강남석, 이범주 (LG전자, 디지털 디스플레이 연구소)

I. 서 론

FED를 구성하는 여러 요소 기술 중에서 가장 핵심을 이루는 부분이 전자를 방출하는 emitter이며, 많은 회사들이 각 사 고유의 emitter 연구를 하고 있다. FED가 LCD, PDP 등의 기존 기술에 대해서 경쟁력 있는 display로 되기 위해서 emitter는 방출전류밀도, 방출효율, 구동전압, 전자 빔 집속능력, 방출전류의 시간, 공간적 균일도, 열적 안정성, 수명 등의 기본특성과 상품화를 위한 공정 용이성, 대면적화, 저 제조 cost 등의 여러 조건을 만족시켜야 한다.

FED용 냉음극은 전자방출의 방법에 따라 전계 방사형, 표면 전도형, hot electron형의 3종류로 크게 대별되며, 각각의 장단점을 가지고 있다. 전계 방사형에 속하는 Spindt형은 기본특성은 우수하지만, 공정 난이도, 대면적화 및 제조 cost의 상품화 측면에서 경쟁력이 떨어지는 것으로 평가되고 있으며, 이의 대안으로 제안된 CNT(Carbon Nanotube)는 우수한 전자방출특성과 스크린 인쇄법을 적용할 경우 대면적 용이성, low cost의 장점을 갖고 있지만, 저전압 구동을 위한 3극 구조 제작의 어려움, 70V 이상의 높은 구동전압, 인접 픽셀간 및 픽셀 내부의 불균일한 전자방출 특성의 문제점을 내포하고 있다.

본 글에서는 Spindt형 및 CNT의 상기 문제점들을 해결하기 위해 각 사에서 개발중인 전계 방사형인 PFE, 표면 전도형인 SED, hot electron형인 BSD, MIM, HEED emitter의 소자구조, 동작원리 및 최근의 개발동향을 소개하고자 한다.

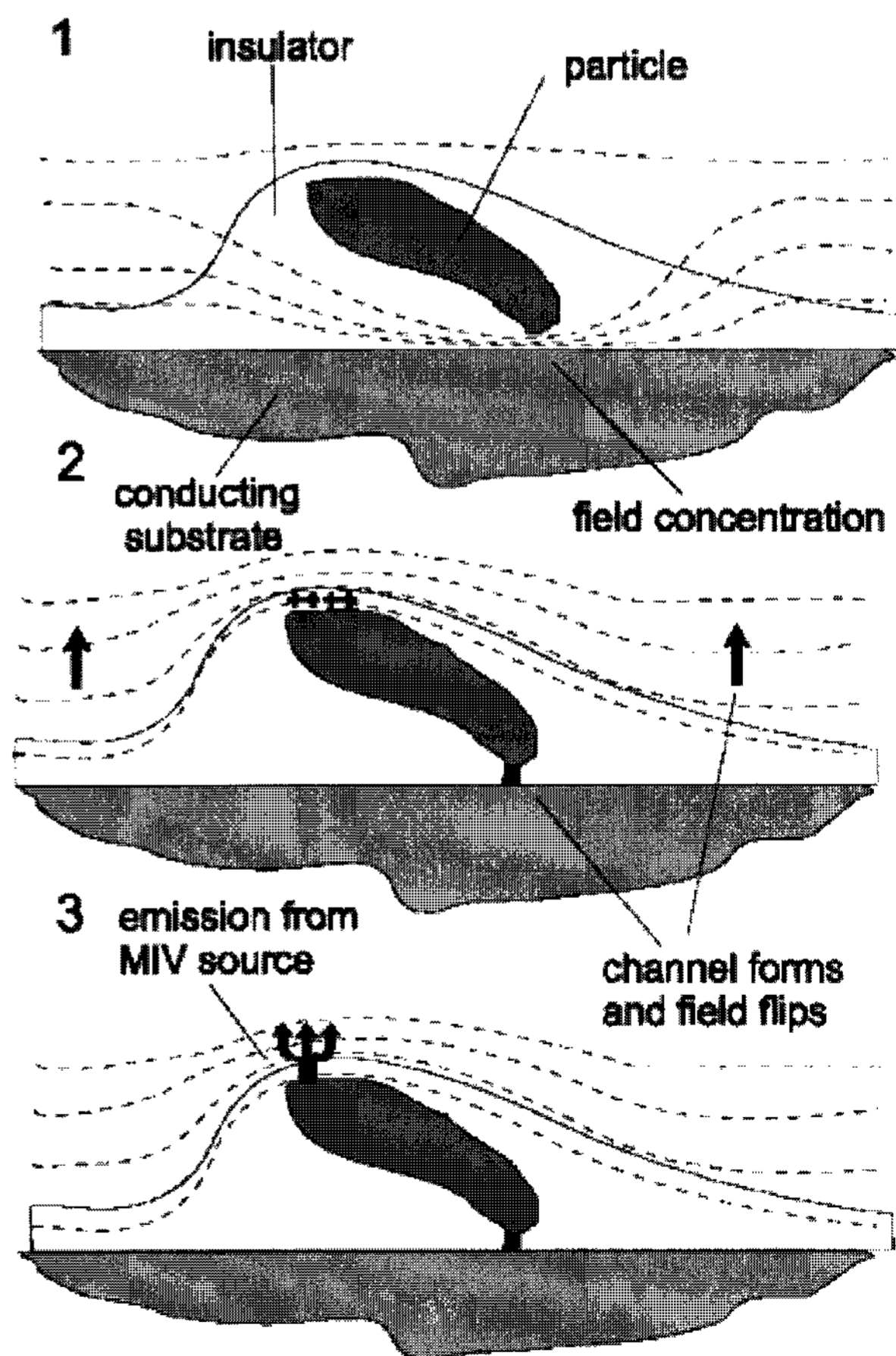
II. 본 론

1. PFE(Printable Field Emitters)

1) 원리 및 특성

PFE는 영국의 PFE사에 의하여 개발되고 있으며 약자가 의미하는 것과 같이 screen printing이 가능한 잉크 같은 물질로 제작되는 emitter이다. PFE사의 핵심 기술인 특수

잉크는 emitter 역할을 하는 전도성 입자, 절연성 모재 역할을 하는 inorganic precursor, 그리고 screen printing이 가능하도록 하는 binder와 solvent로 이루어져 있으며 이 특수 잉크를 screen printing 후 열처리하면 최종적으로 기판에는 절연성 물질로 둘러 싸여 있는 전도성 입자가 남게 된다. PFE emitter에 처음으로 전압을 인가하면 전도성 입자를 둘러싼 절연체가 전기적인 절연파괴가 일어나면서 전도성 채널이 형성되는 switch-on process가 일어난다^[1]. [그림 1]은 PFE emitter의 구조에서 switch-on process



[그림 1] PFE의 전자 방출 영역에서 일어나는 3단계의 switch-on process

가 일어나는 과정을 나타내고 있다.

- (1) 전압이 인가되면 전도성 입자와 기판 사이에 전계 집중이 일어나고 절연파괴에 의하여 그 사이에 전도성 채널이 형성된다.
- (2) 전도성 채널의 형성으로 입자는 기판과 동일한 전위를 갖게 되고 이로 인하여 전도성 입자와 진공 사이에 전계 집중이 일어난다.
- (3) 진공과 전도성 입자 사이에서 절연파괴가 일어나고 이 위치에서 전자의 방출이 이루어지게 된다.

Switch-on process가 일어난 이후에 PFE emitter에 전압이 인가되면 앞의 그림에서와 같이 전도성 입자의 끝에 전계가 집중되어 전도성 채널을 통하여 전자가 방출된다.

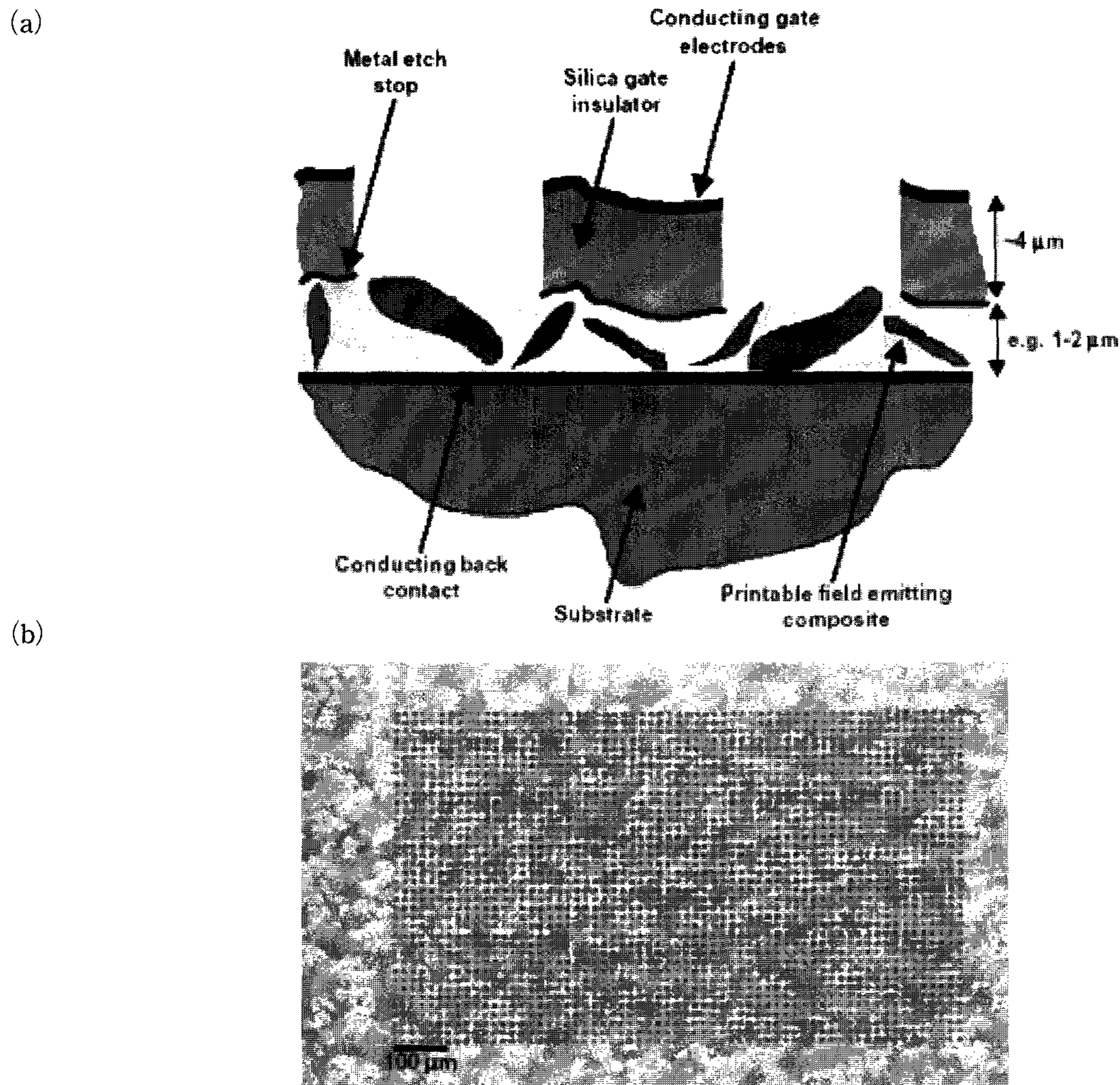
PFE의 장점은 대부분의 공정이 screen printing으로 제작 가능하므로 다른 emitter에 비하여 상대적으로 제조 단가가 낮고 대면적화가 유리하다는 것이다. 또한 CNT의 경우는 표면에 흡착된 원자에 따라서 전자 방출 특성이 큰 영향을 받지만 PFE는 앞에 설명된 것 같이 전자 방출 영역이 절연체로 둘러 싸여 있어서 외부 환경의 변화에 상대적으로 안정성을 갖는다^[2].

2) 제작 방법

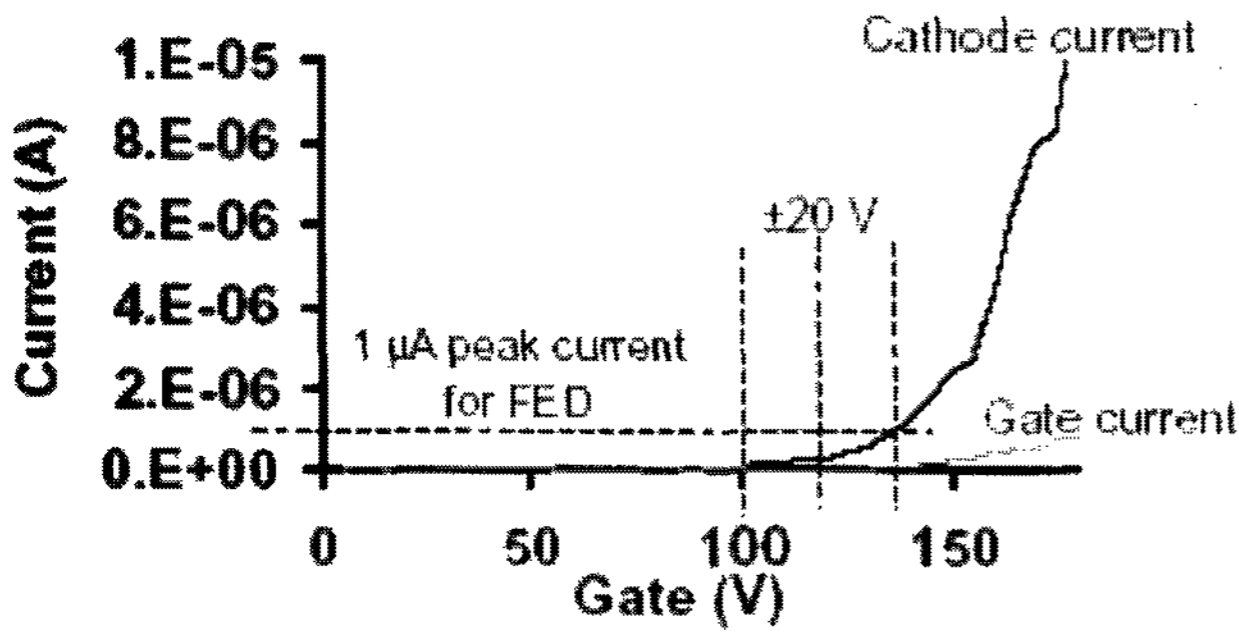
PFE emitter는 삼극 구조로 이루어져 있으며 기존의 spindt 형태의 emitter 구조와의 차이는 emitting 물질이 gate hole의 전면에 도포 되어 있다는 것과 이로 인한 누설 전류를 감소시키기 위해 focusing 층이 emitting 물질 위에 존재한다는 것이다. 기판은 borosilicate glass를 사용하며 구체적인 제작 방법은 다음과 같다^[3].

- (1) Sputter로 Au 하부 전극 형성
- (2) 특수 잉크를 spin coating하고 lift-off법으로 patterning
- (3) Etch stop layer 증착
- (4) PECVD로 gate 절연막 SiO₂ 4 μ m 증착
- (5) Gate 전극 증착 후 patterning
- (6) Gate 절연층 etching

이와 같은 제조 방법을 통하여 제작된 emitter의 구조를 [그림 2]에 나타내었다. (a)는 이 구조의 개략적인 단면 구조이며 (b)는 SEM으로 관찰한 1 pixel의 모습이다.



[그림 2] (a) PFE emitter 삼극구조의 단면 개략도,
(b) cathode 위에 놓인 gate 배열의 모습을 보여 주는 pixel 1개의 SEM 이미지



[그림 3] PFE emitter의 전류-전압 특성 곡선



[그림 4] 5.7인치 PFE의 동작 화면

3) 소자 특성

제조된 1개의 emitter에서 관찰된 IV 특성 곡선을 [그림 3]에 나타내었다. 약 100 V 부근에서 방출 전류가 관찰되기 시작하여 약 140 V 정도에서 1 μA로 증가하였다. Gate 전극을 통한 누설 전류는 방출 전류에 비하여 상대적으로 적은 값이었다^[3].

PFE사는 2002년에 5.7인치 크기의 모노 디스플레이를 발표하였다. 발광 영역의 크기는 150×130 mm였고 320×240 pixel로 이루어 졌으며 pixel 하나의 크기는 360×360 μm 였다. [그림 4]는 PFE사의 5.7인치 모노 디스플레이의 동작 화면이다.

4) 결론

PFE는 기존의 spindt 형태의 emitter가 안고 있던 문제인 대면화의 어려움과 높은 제조 비용의 문제를 극복하고자 개발된 emitter로 대면적화가 용이하고 제조 비용이 저렴한 screen printing 기술을 기반으로 하고 있다. PFE사에서는 40 인치급 제품을 제조할 경우 기존의 PDP에 비하여 약 30% 정도의 제조 비용 절감을 예상하고 있다.

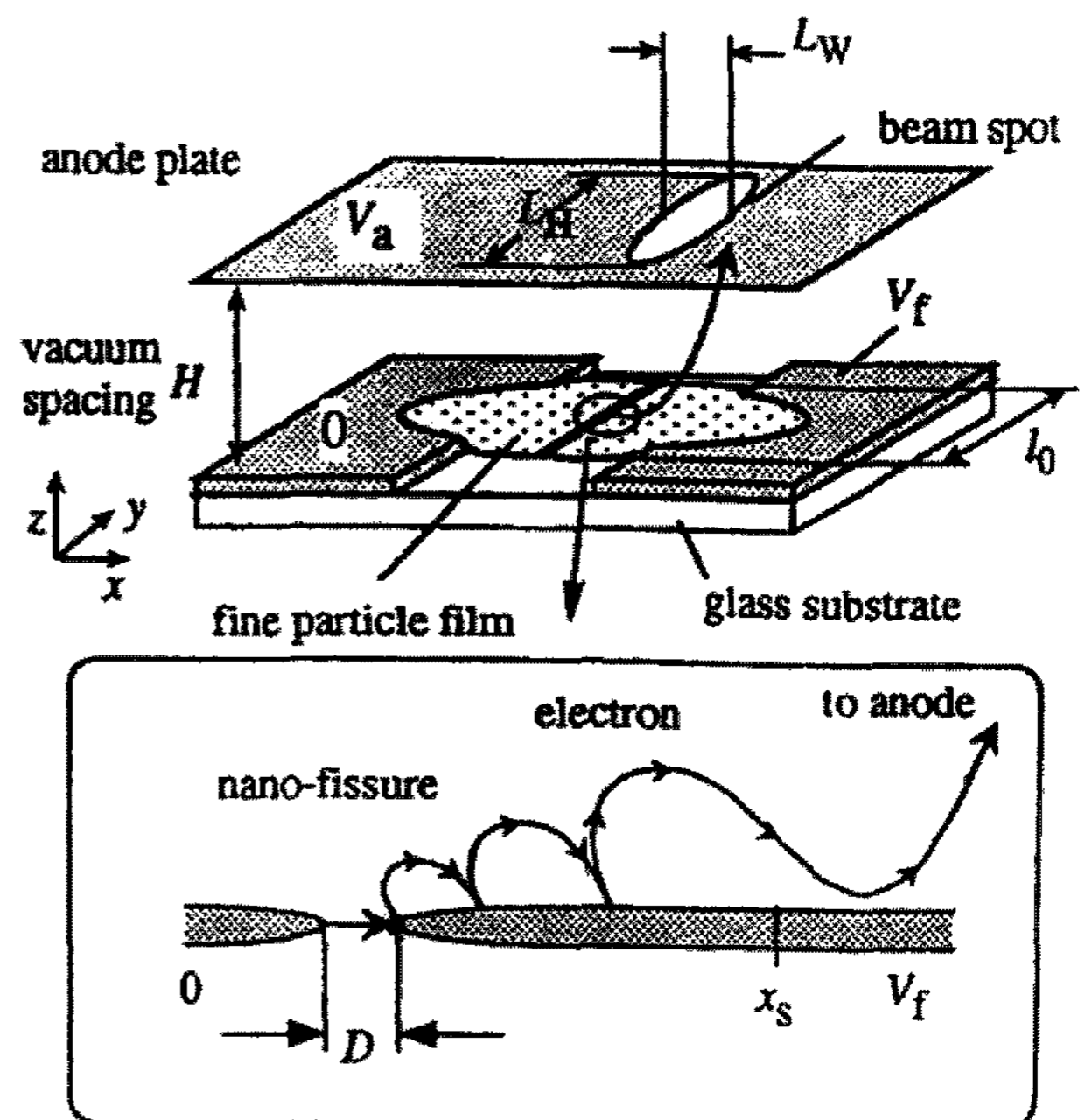
그러나, Pixel 내에서의 균일성 및 pixel 간의 균일성을 높이기 위하여 많은 노력이 이루어 지고 있으나 아직까지는 개선의 여지가 많아 보이고 높은 구동 전압과 누설 전류 등의 문제가 남아 있는 것으로 보인다.

2. SED(Surface Conduction Electron Emitter Displays)

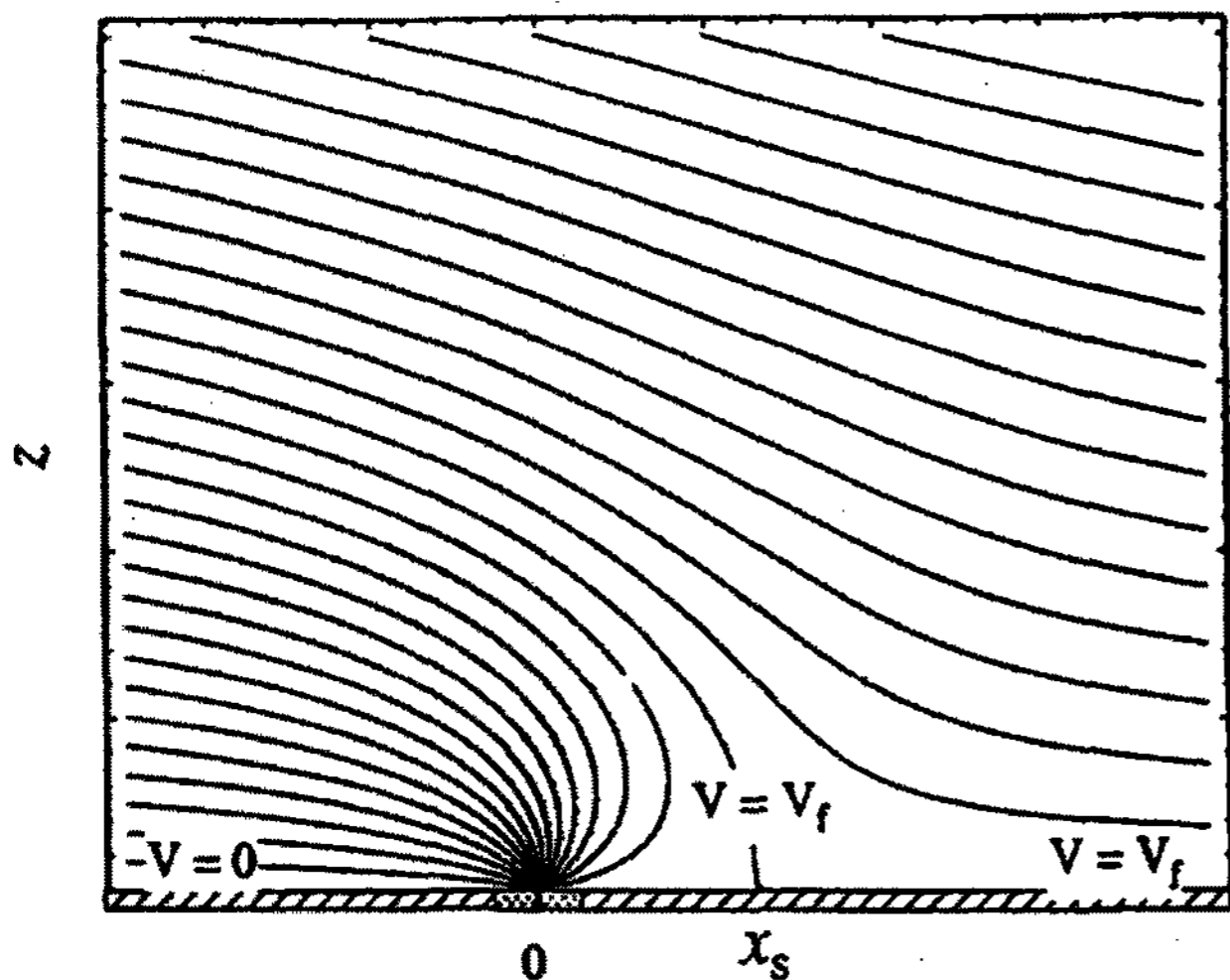
1) 원리 및 특성

SED는 일본의 Canon 사에 의하여 개발된 평면형 emitter로 전자가 방출되는 현상은 multiple scattering model에 의하여 설명되고 있다^[4]. [그림 5]에 emitter의 구조와 multiple scattering model의 개략도를 나타내었다. 수 나노 미터 정도의 좁은 틈을 갖는 미세 입자 박막이 두개의 전극 사이에 놓여 있다. 이 좁은 틈은 노광에 의하여 형성된 것이 아니라 energizing forming이라는 공법에 의하여 만들어 진다. [그림 5]의 V_f 와 V_a 는 각각 박막에 인가된 전압과 anode 판에 인가된 전압을 나타내며 이때 박막에 흐르는 전류와 emission 전류를 각각 I_f 와 I_e 로 나타내었다. 이런 경우에 등전위 선은 [그림 6]과 같다. Emitter와 anode 판 사이의 거리가 H 라고 하면 $HV_f/\pi V_a$ 인 x_s 위치를 기준으로 방출 전자가 받게 되는 힘의 방향이 변화하게 된다. x_s 안쪽 영역은 V_f 에 의한 전기장이 지배적이며 바깥쪽 영역은 V_a 에 의한 전기장이 지배적이 된다. 따라서, 안쪽 영역에 있는 전자는 아래 방향으로 힘을 받아 박막에 충돌하게 되고 바깥쪽 영역에 있는 전자는 위쪽 방향으로 힘을 받아 anode 판으로 가속된다.

박막에 전계가 인가되면 틈의 왼쪽에 있는 박막으로부터 전자가 방출되어 반대 편에 있는 박막으로 충돌하게 된다. 충돌한 전자 중의 일부가 산란되어 진공 중으로 다시 방출된다. 이 산란 전자는 전기장의 영향으로 x_s 를 벗어날 때 까지 박막에 충돌과 산란 과정을 반복하게 된다. 최초 왼쪽 박막에서 방출된 전자 중에 이런 과정을 거치고 살아 남은 일부의 전자만이 x_s 를 벗어나 V_a 에 의한 전기장이 지배적인



[그림 5] SED의 multiple scattering 모델 개략도



[그림 6] 박막에 V_f 가 인가되고, anode에 V_a 가 인가된 상태의 등전위선

영역으로 이동하면 anode 판에 가속되어 발광하게 된다. 이런 일련의 과정을 multiple scattering model이라고 한다.

전자가 방출되는 미세 입자 박막은 PdO로 이루어져 있으며 ink jet printing 법으로 기판에 형성된다. Ink jet printing 법은 기존의 반도체 공정에 비하여 단순하며 원료 물질의 불필요한 소모를 막을 수 있어서 경제적인 공정을 진행할 수 있다^[5]. 실제로 Pd는 매우 고가의 금속으로 다른 공정에 비하여 ink jet printing 법이 공정 단가를 낮출 수 있다. 또한 대면적화에도 큰 어려움이 없다.

2) 제작 방법

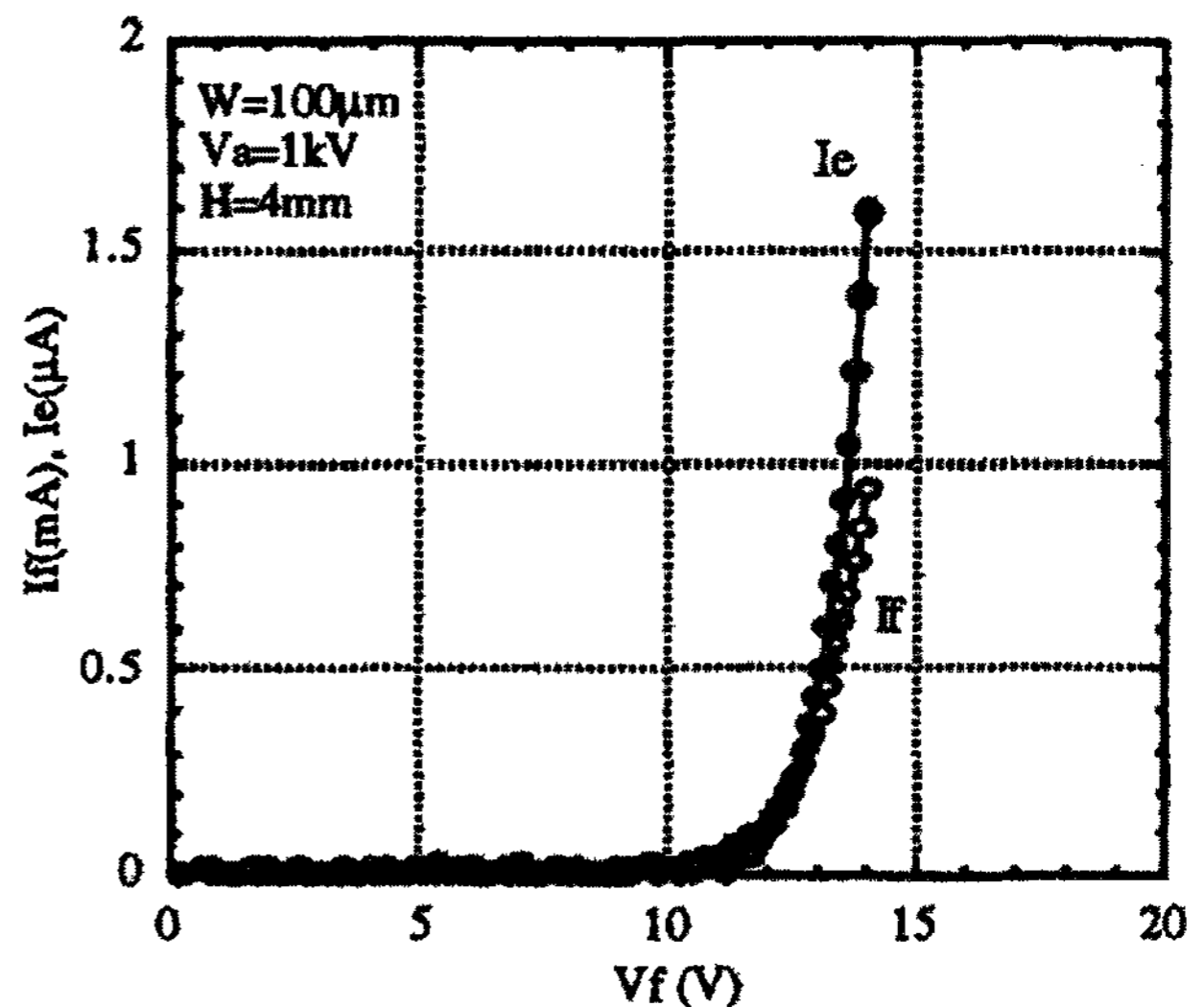
SED의 배선과 절연막은 모두 screen printing을 이용한 후막으로 이루어진다. 전도성 후막을 형성하기 위한 paste는 Ag, PbO, resin과 solvent로 구성되어 있고 절연성 후막의 paste는 PbO, resin과 solvent의 혼합물이다^[5]. 배선과 절연막이 모두 후막이므로 박막 배선에 비하여 저항과 유전율이 작아서 디스플레이 구동의 어려움이 줄어든다. 이 배선 위에 Pd를 함유하고 있는 용액을 ink jet 방법으로 printing하고 오븐에서 열처리하면 Pd 함유 용액은 산화되어 PdO 박막이 된다. 이 PdO 박막 양단에 인가하는 전압을 증가시키면 전류도 함께 증가하다가 발열에 의하여 PdO 박막이 부분적으로 용융되면서 전류가 0으로 된다. 이 과정을 energizing forming 공정이라 하고 앞에서 언급한 수 나노 미터의 틈은 이 공정을 통하여 만들어진다. SED는 energizing forming 공정 이후에 activation 공정과 stabilization 공정을 거쳐서 최종 소자로 완성된다. Activation 공정은 탄소 함유 기체가 있는 분위기에서 emitter에 activation pulse를 입력하여 PdO 박막의 표면이 탄화되도록 하여 주는 과정으로 이 처리를 통하여 PdO 박막에서 방출되는 전자의 양이 증가한다. Stabilization 공정은 열처리하면서 소자를 장시간 구동하여 emitter의 표면에 흡착되어 있는 분자를 제거하여 주는 공정으로 이 처리를 통하여

emitter의 전자 방출 특성이 안정화된다.

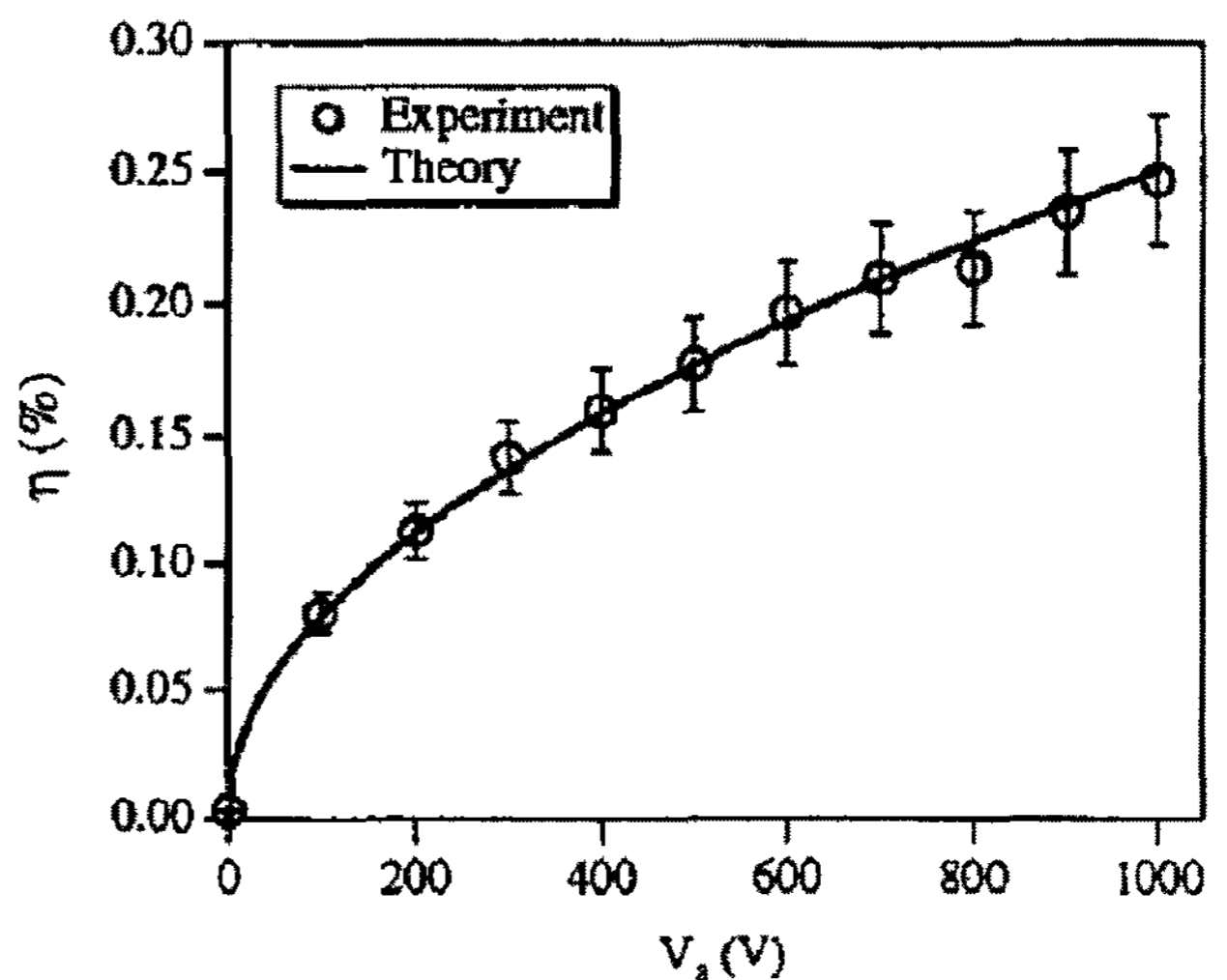
3) 소자 특성

SED에서의 전자 방출은 4mm 떨어진 anode 판에 1kV를 인가하면서 측정되었다^[6]. [그림 7]에 나타난 것과 같이 V_f 가 10V 이상이 되면서 I_f 와 I_e 는 지속적으로 증가하였다. V_f 가 14V에서 I_f 와 I_e 는 각각 0.9mA와 1.6 μ A였다. SED의 구동 전압은 다른 FED에 비하여 비교적 낮은 값이지만 I_e/I_f 로 표현되는 방출 효율은 매우 낮은 편이다. Anode 전압을 증가시키면 앞에서 본 것과 같이 X_s 가 감소하여 [그림 8]에서 볼 수 있는 것과 같이 방출 효율이 증가하지만 여전히 높은 값은 아니다.

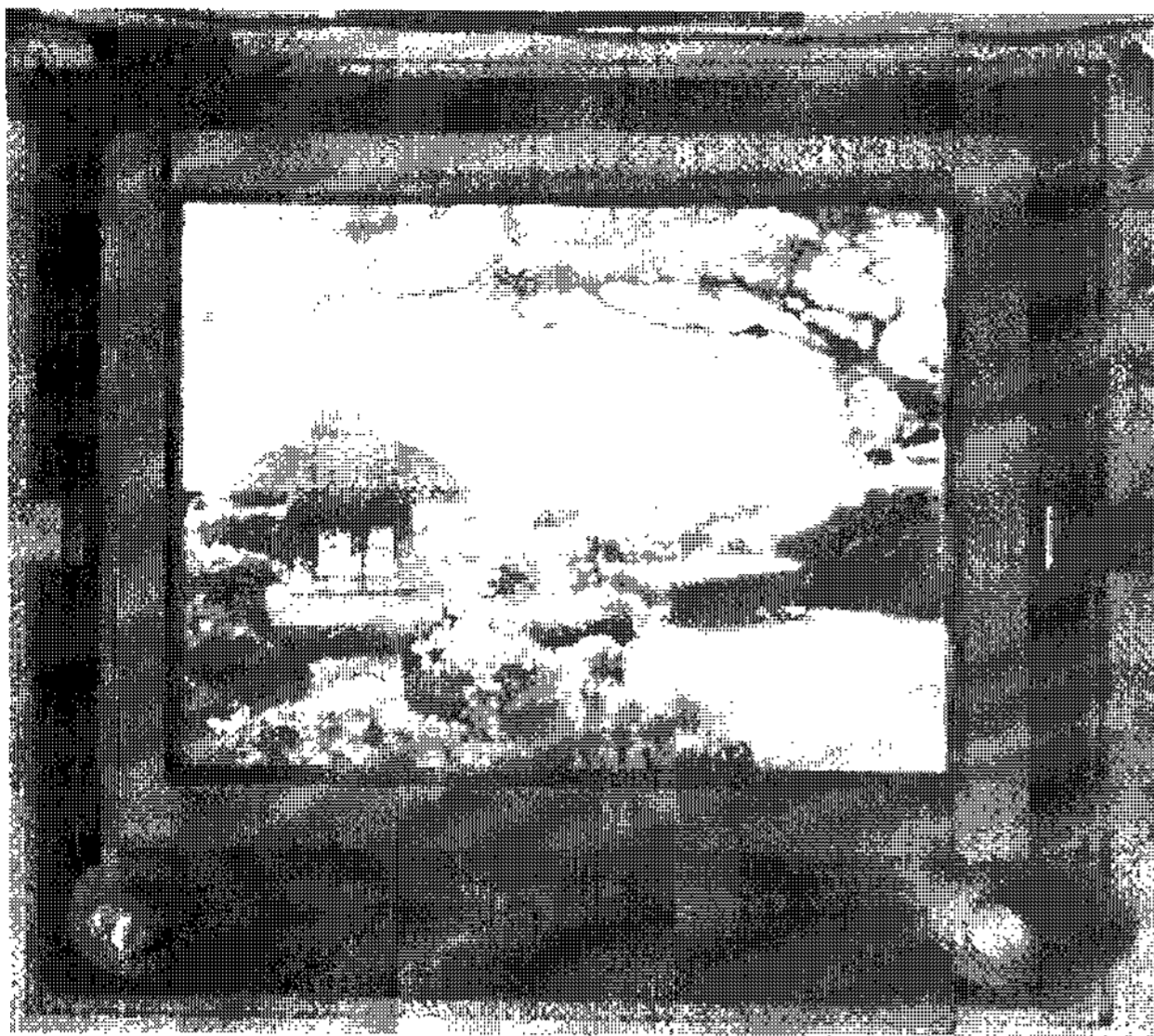
[그림 9]에 Canon에서 97년도에 발표한 10인치 크기의 SED 패널을 나타내었다^[5]. 구동 전압은 15V였고 anode 전압은 6kV였다. 이 경우에 평균 휘도는 170cd/m²이었고



[그림 7] V_f 변화에 따른 I_f 와 I_e 의 변화(I_f 와 I_e 의 단위는 각각 mA와 μ A)



[그림 8] SED의 anode 전압에 따른 방출 효율변화



[그림 9] 10인치 SED의 동작 화면

소비 전력은 5.6 watts였다.

4) 결론

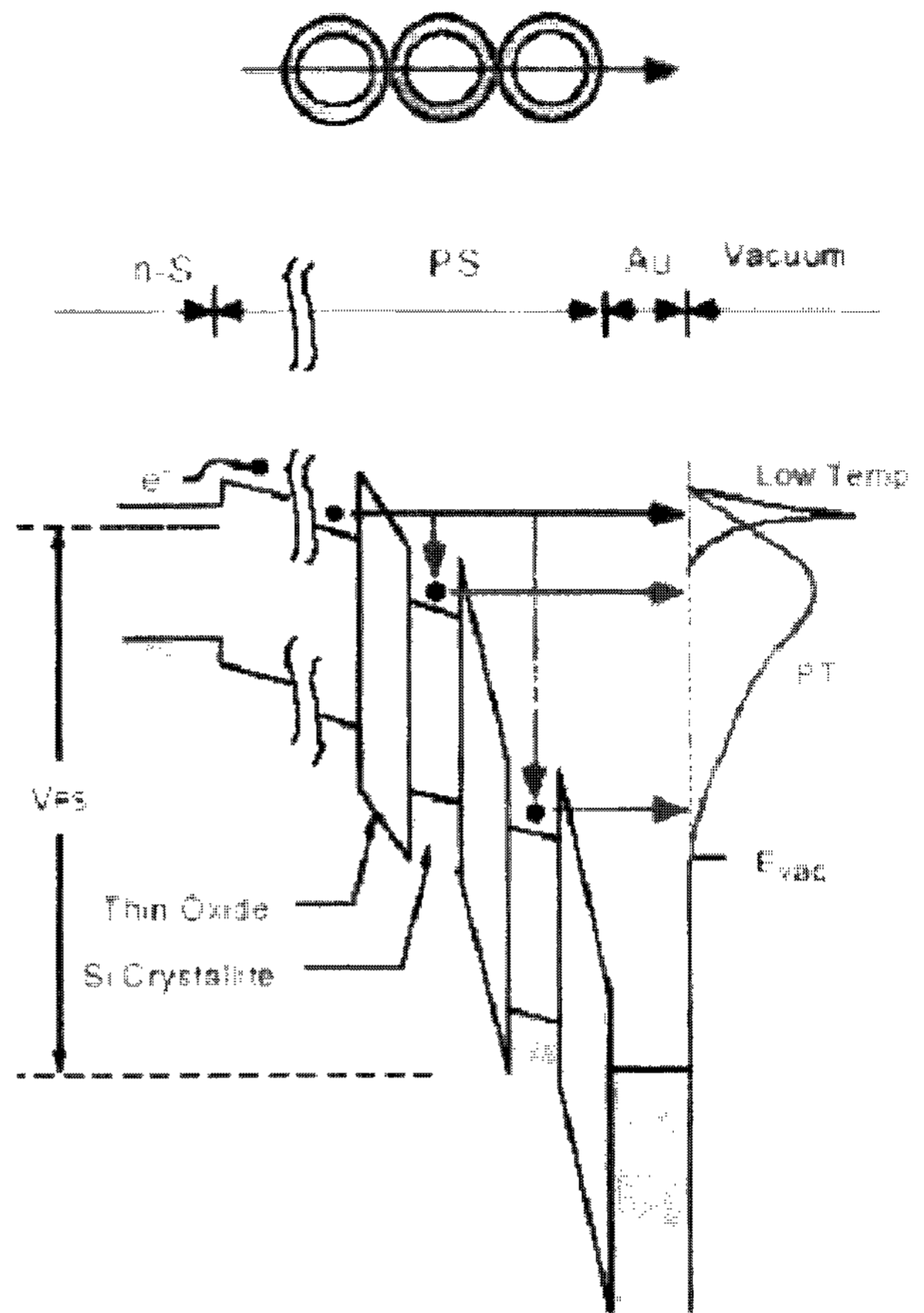
보고된 자료를 토대로 보면 대부분의 제조 공정이 screen printing과 ink jet printing으로 이루어 지므로 다른 FED에 비하여 고가의 제조장비도 필요 없고 공정이 단순하여 대면적화에 용이하다. 그러나, forming 공정을 정확히 제어 하기가 용이하지 않을 것으로 생각되며 이로 인한 전체 화상의 균일성 등의 문제가 있을 것으로 생각된다.

SED는 Canon에서 주도적으로 연구되고 있으나 98년도 SID에 발표한 이후로 공식적인 보고가 없어서 현재의 연구 진행 상황 및 수준을 정확히 파악하기는 어렵다.

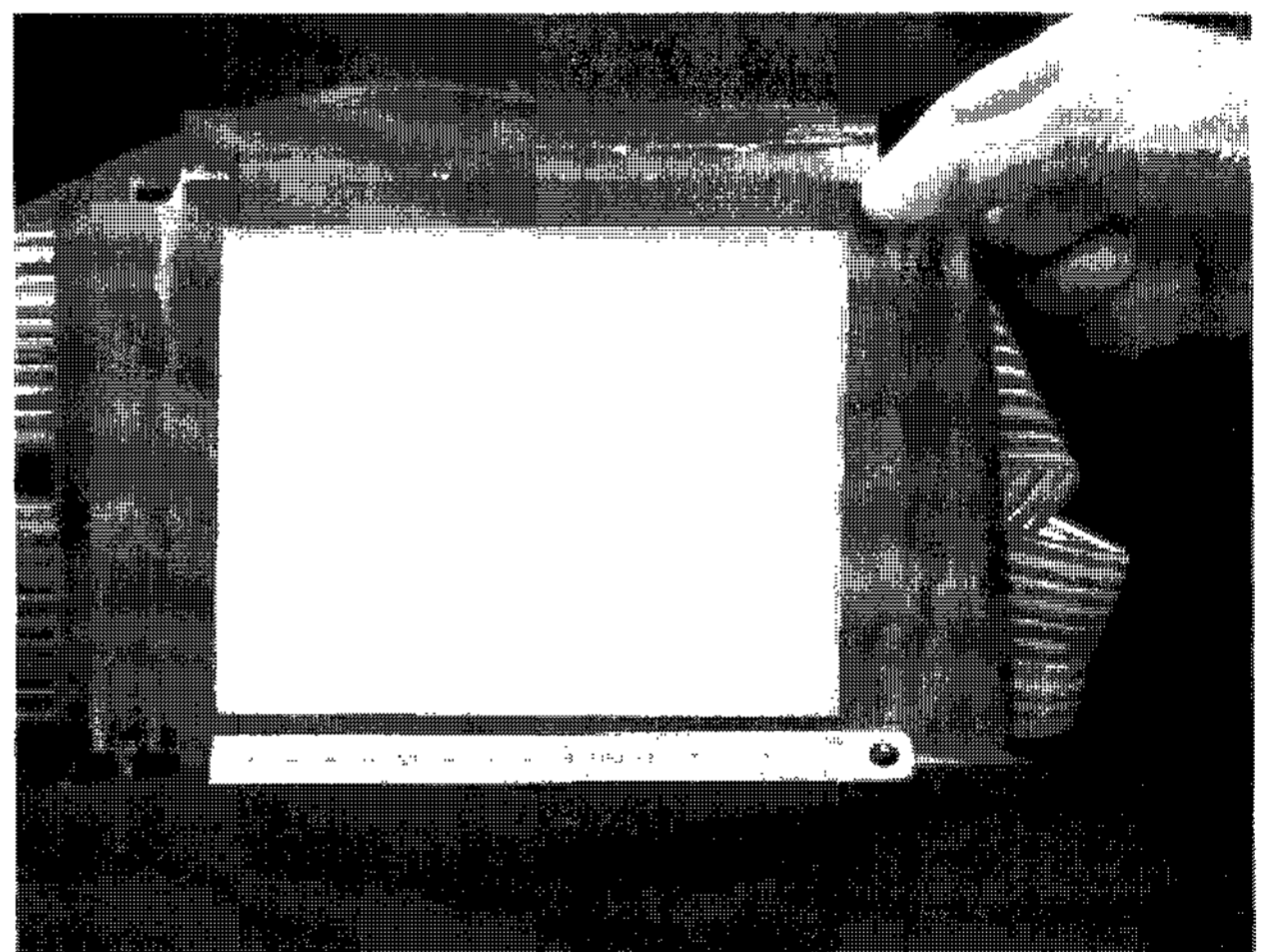
3. BSD(Ballistic Electron Surface-Emitting Device)

1) 원리 및 특성

PS(Porous Polysilicon)로 부터 visible light가 emission된다는 것이 발견된 이후^[7] 많은 연구가 진행되면서 이로부터 PS diode가 전자를 방출하는 것이 밝혀졌다^{[8],[9]}. 처음에는 이 전자가 PS와 bulk Si 계면에서 sharp한 Si tip이 생성되어 전계 집중에 의해 전자가 방출되는 일반적인 원리에 의한 것으로 이해 되었으나 최근에는 top 전극에 전계를 인가하면 n-type Si으로부터 주입된 전자가 PS층을 통과(drift) 하면서 이때 높은 에너지를 갖는 전자의 일부가 표면 전극 층을 뚫고 진공으로 방출되는 것으로 이해되고 있다. [그림10] 이는 아직 명확하지는 않아 좀 더 연구가 필요하다^[10]. 최근에는 이 원리를 Matsushita Electric Work사에서 BSD(Ballistic Electron Surface-Emitting Device)라 부르며 FED emitter로 적용하고자 활발히 연구하고 있다. 2001년 SID에서 2.6 inch(63×84×3 color) panel을 2003년 SID에서 7.6 inch panel을 발표하였다.



[그림 10] BSD의 전자 방출 model



[그림 11] BSD의 7.6inch proto type panel

[그림 11] 본고에서는 Matsushita에서 발표된 문헌을 중심으로 설명하고자 한다.

2) 제작방법

BSD 소자의 제작은 PPS(Porous Polysilicon)을 형성하는 방법이 매우 중요한데 초기에는 Si 기판을 사용하여 LPCVD로 polysilicon을 성막한 후 anodizing 방법으로 HF(50%) : ethanol=1 : 1 용액 속에서 PPS 층을 형성하

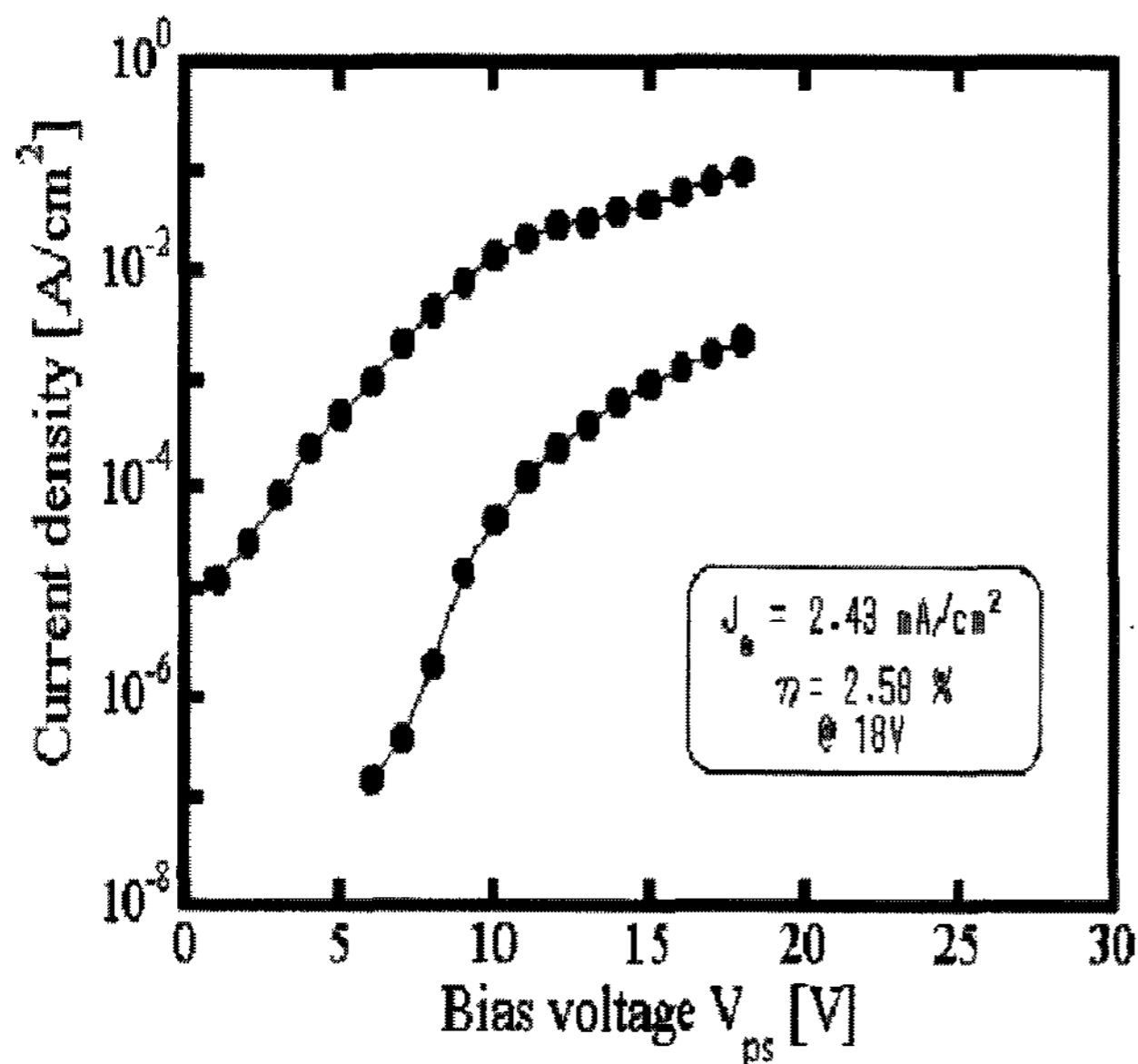
였다. 그 다음에 PPS layer를 산화시키는 공정이 필요한데 900°C 산소 분위기에서 RTO(Rapid Thermal Oxidation) 방법으로 산화 시키고 그 위에 top 전극을 Au로 형성하였다. 초기에는 RTP의 고온 공정 때문에 기판이 Si이나 Quartz를 사용하였다. 그러나 실제 display panel로 제작하기에는 어려움이 있기 때문에 최근에는 온도를 낮추어 Corning1737 LCD용 유리를 사용하여 제작하는 공정이 개발되었고 제작 방법은 다음과 같다^[11].

- (1) W 하부전극 형성 : Sputtering (300 nm)
- (2) Polysilicon 형성 : PECVD (1.5 μm)
- (3) Nanocrystallised Polysilicon층 형성 : Anodizing, HF (50%) : ethanol=1:1 under 500 W Tungsten Lamp.
- (4) Thin SiO₂ Layer 형성 : Anodizing in 1M H₂SO₄ Solution
- (5) Vacuum Annealing
- (6) Top 전극형성 : Evaporation Au/Cr (80 nm/20 nm)
- (7) Bus 전극 형성 : Au 400 nm

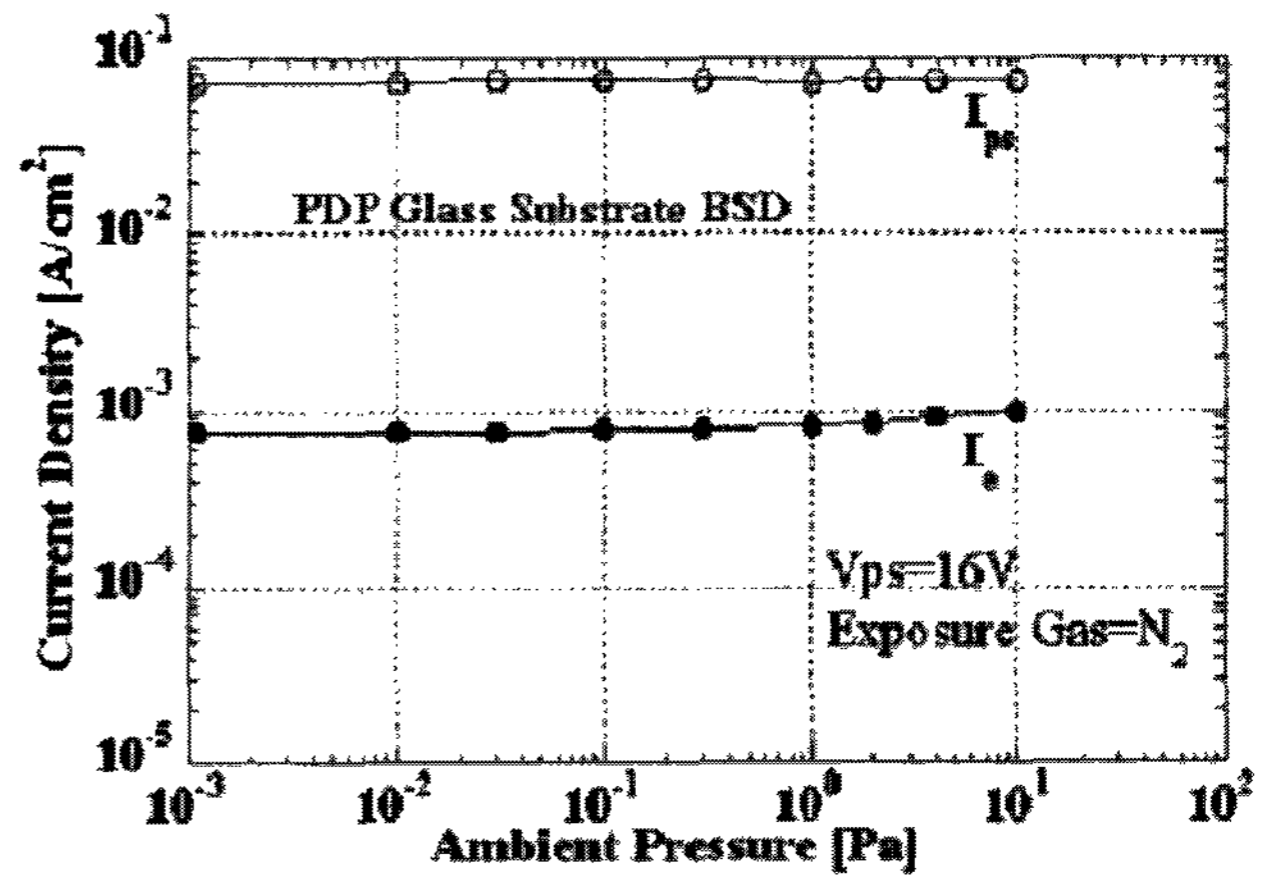
PPS층의 표면을 얇게 산화 시키는 공정을 기존의 RTP 방법에서 anodizing 방법으로 하여 고온공정을 거치지 않고 panel 제작이 가능해 glass를 기판으로 사용 가능하게 하였다.

3) 소자특성

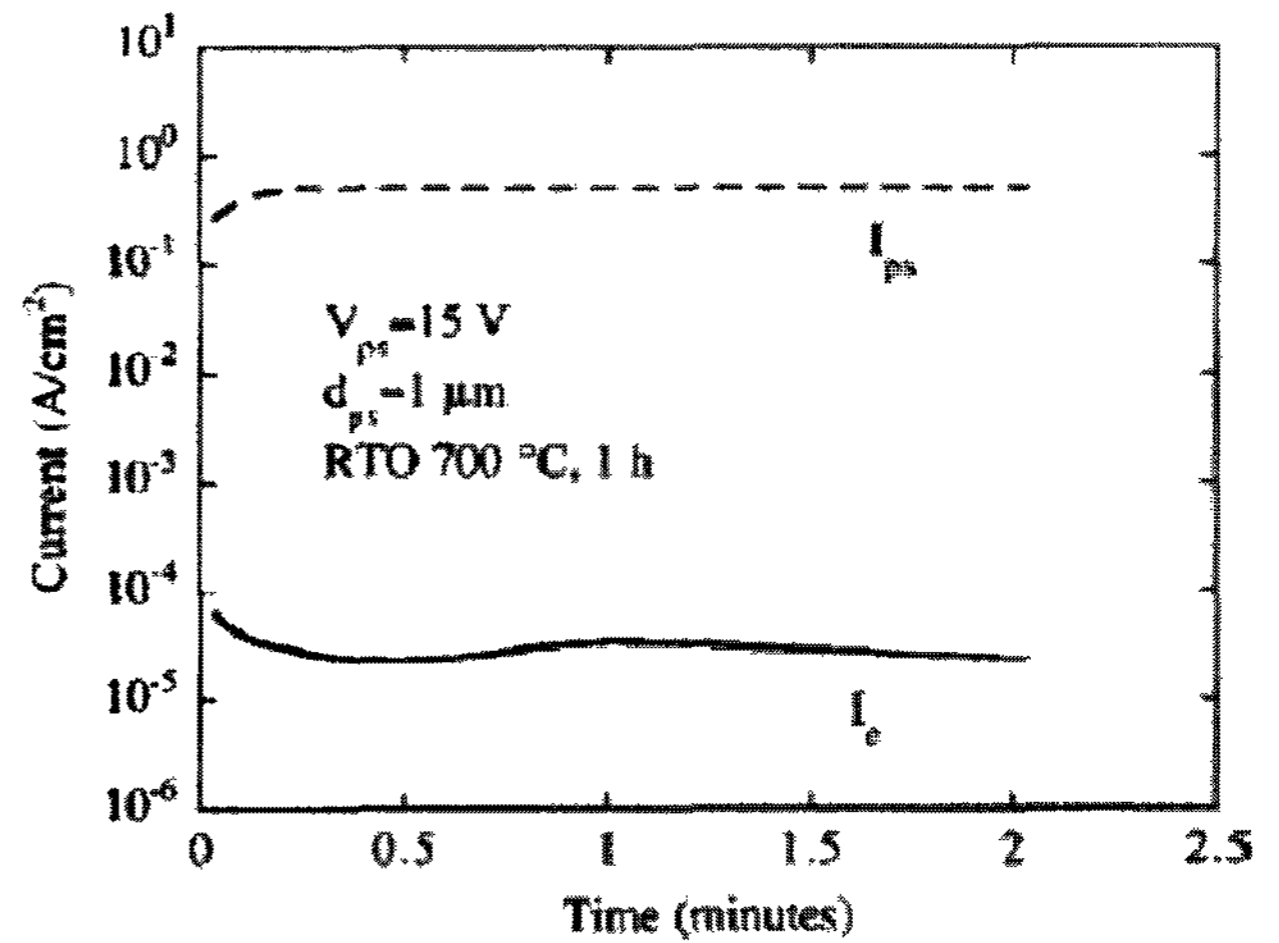
BSD 소자의 전자 방출 특성을 [그림 12]에 나타내었는데 구동전압(diode 전압) 18V에서 방출 전류 밀도 2.43 mA/cm², 방출 효율은 2.6%를 보이고 있다. Turn-on 전압은 10⁻⁶A/cm² 기준으로 7~8V 정도이다. 또한 다른 평면형 소자도 마찬가지로이지만 진공도 및 시간에 따른 방출전



[그림 12] BSD emitter의 전류-전압 특성 곡선



[그림 13] BSD emitter의 진공도에 따른 방출 전류특성



[그림 14] BSD emitter의 시간에 따른 방출 전류특성

류 변화 없이 안정된 전자 방출 특성을 보이고 있다. [그림 13]과 [그림 14]에 진공도 및 시간에 따른 방출 전류 특성을 나타내었다. MIM 소자와 마찬가지로 전자의 방출효율을 높이는 것이 중요한데 최근에 PPS layer 표면 산화시 기존의 RTP 방법에서 ECO(Electrochemical Oxidation) 방법을 적용하면서 2.6%까지 높였다고 보고 되고 있다^[11].

4) 결론

BSD의 전자 방출 특성은 시간에 따라 또는 진공도에 관계없이 매우 안정적인 모습을 보이고 있다. 또한 제작시 온도를 500°C 이하로 낮추어 Glass 사용이 가능하고 방출된 전자의 직진성이 좋아 cathode-anode간 gap을 수 mm 이상 띄울 수 있어 고전압 형광체를 이용할 수 있는 장점이 있다^[11].

그러나 아직 panel로서 수명이 검증이 되지 않았고 다른 평면형과 마찬가지로 방출효율이 작아 구동전류가 커져 대면적 FED로는 어려움이 예상된다. 그러나 작은 크기의 panel에 고해상도로 제작이 가능해 그 응용이 기대되고 있다.

4. MIM(Metal-Insulator-Metal) Emitter

1) 원리 및 특성

MIM은 metal-insulator-metal의 구조로 얇은 절연층 상하에 금속 전극층이 있는 구조로 되어 있다. Emission 원리는 [그림 15]에서와 같이 상부전극에 (+) 전계를 가하면 하부전극 중의 전자가 절연층을 tunneling하여 상부전극으로 tunneling 전류가 형성된다. 이때 대부분의 전자는 상부 금속 전극층에서 산란 되어 energy를 잃지만 전자 중에 높은 에너지를 갖는 전자가 상부의 금속 전극층을 뚫고 진공으로 나와 고전압이 걸려있는 anode로 가속되어 anode에 있는 형광체를 발광 시켜 image를 구현한다^[12]. [그림 15]에 MIM 구조를 나타내었다. FED용 MIM Emitter는 일본의 Hitachi사에서 10여년간 꾸준히 연구되고 있고 2001년 SID에서 1.5inch 60×60 array를 panel로 sealing하여 발표하였고 최근에는 대형화로 제작 가능성을 검토하고 있는 것으로 알려져 있다.

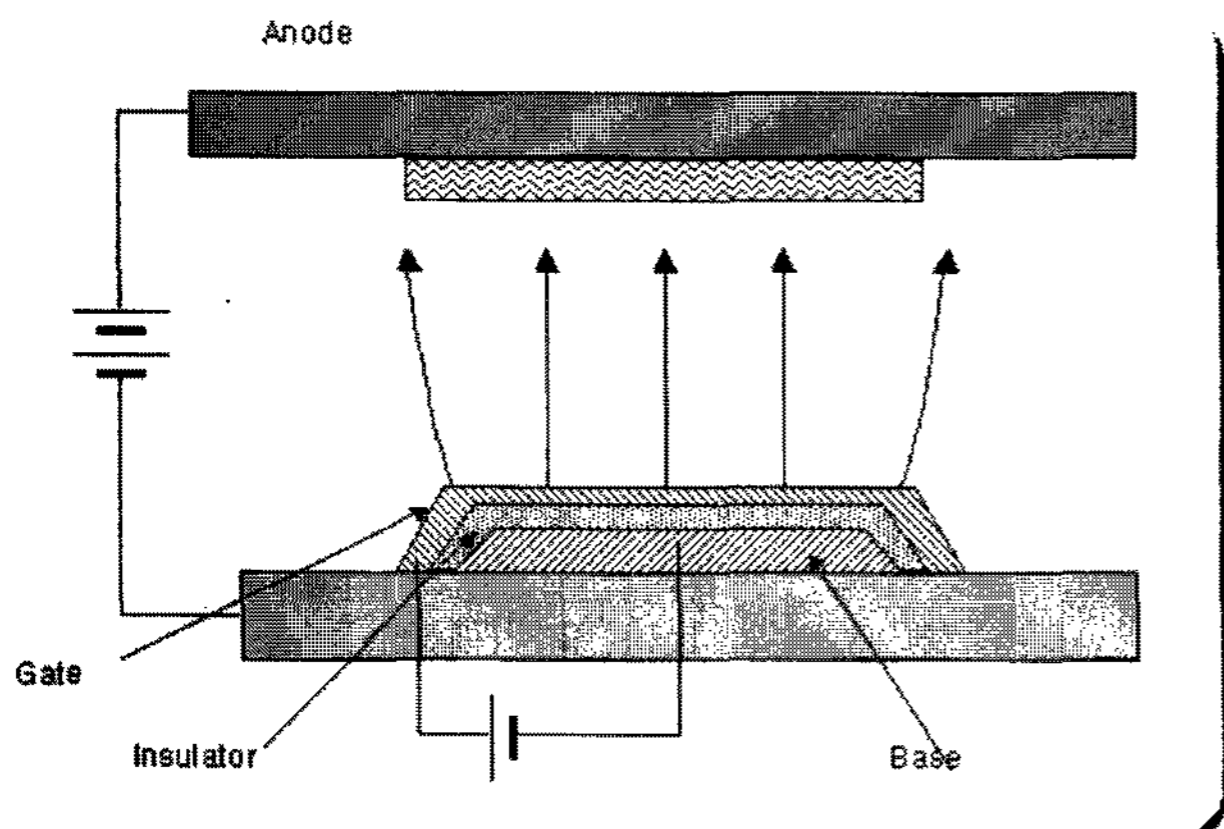
MIM emitter의 장점은^[13]

- (1) 10 V이하의 저전압으로 구동이 가능
- (2) Fluctuation-free의 emission 특성
- (3) Beam 퍼짐이 적음(focusing 불필요)
- (4) 대기중 sealing 가능
- (5) 고전압 형광체 사용가능(emission by only gate)

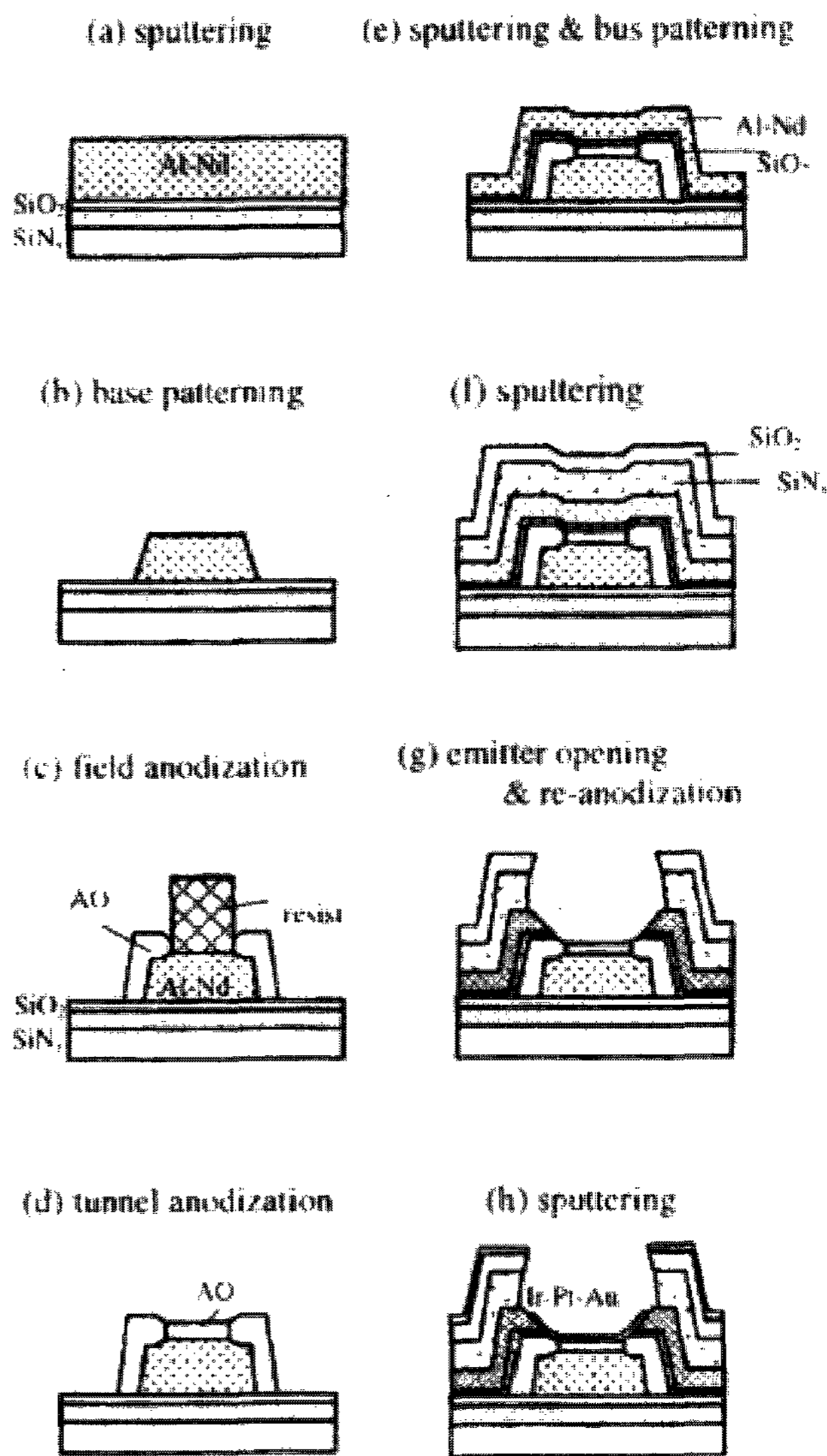
등이 있다.

2) 제작방법

FED용 MIM emitter의 제작 방법은 insulator와 top 전극을 형성하는 방법이 중요한데 그 중 insulator는 MIM emitter의 특성을 좌우하는 매우 중요한 layer이다^[14]. 이 insulator는 SiO₂를 사용한 것과^[15] Al₂O₃를 anodization 방법으로 형성한 것이 발표되었고 특성은 anodized Al₂O₃가 우수한 것이 일반적인데 그 이유는, 치밀한 절연막을 대면적에도 비교적 균일하게 형성할 수 있기 때문이다. Top 전극은 전자가 이를 뚫고 진공으로 나오게 하기 위하여 매



[그림 15] MIM emitter의 단면 개략도

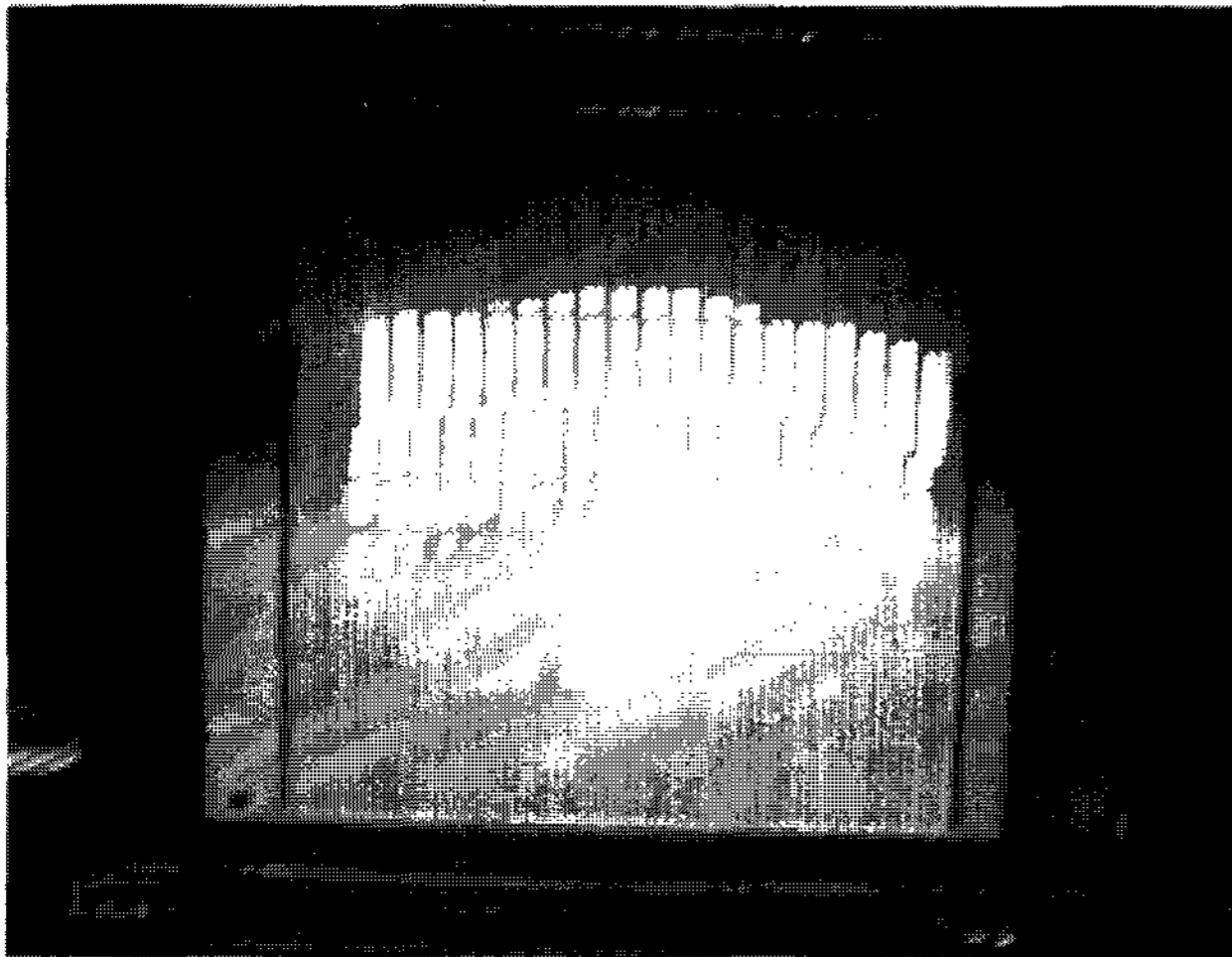


[그림 16] MIM emitter 제작 방법

우 얇은 금속층으로 형성 하는데 일반적으로 Al, Au가 사용되나 Hitachi사에서는 Ir-Pt-Au 3 layer를 사용하고 있다. [그림 16]에 Hitachi가 발표한 제작 방법을 나타내었고 공정순서는 아래와 같다.

- (1) Base 전극 : Al-Nd Sputtering
- (2) Base 전극 Patterning
- (3) Field Insulator Anodization
- (4) Tunnel Insulator Anodization
- (5) Bus 전극 형성 : Al-Nd Sputtering
- (6) Overhang 성막 : SiO₂/SiN_x Sputtering
- (7) Emitter Opening & Re-anodization
- (8) Top 전극 형성 : Ir-Pt-Au Sputtering

최근에는 defects를 줄이기 위하여 insulator를 두 층으로 하는 double-field insulator 구조가 제안되어 1.5 inch에서 defects 없는 panel을 선보였다. [그림 17]

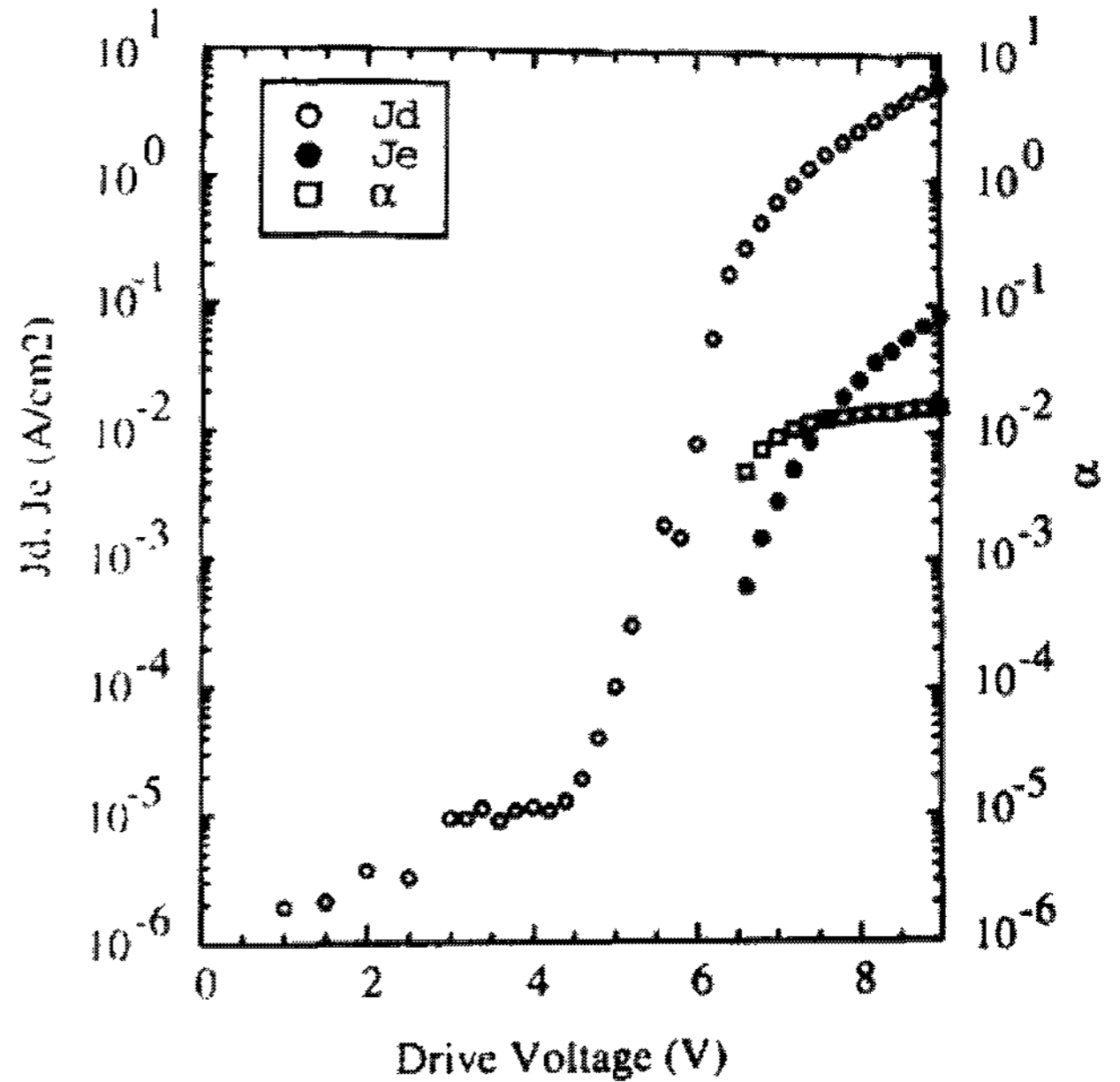


[그림 17] MIM 1.5inch sealed panel

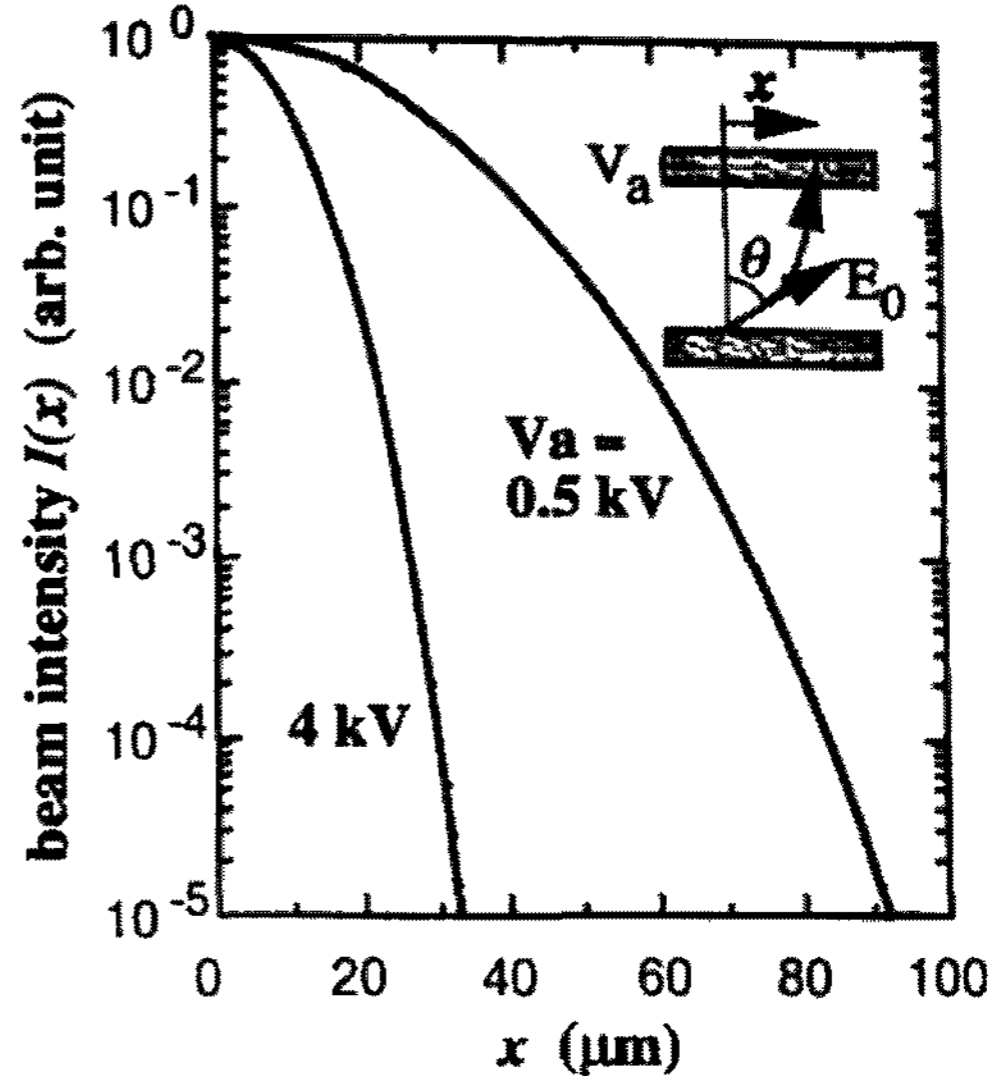
3) 소자 특성

MIM emitter의 특성 중 가장 중요한 것은 emission 효율과 구동 전압이다. Hitachi가 발표한 문헌에 의하면 emission 효율에 영향을 미치는 것은 insulator의 두께 및 top 전극의 재료, 두께, 표면 상태 등 인데 [그림 18]에 대표적인 I-V특성을 나타내었다. Insulator가 Al₂O₃로 11nm의 두께로 된 emitter에서 turn on 전압은 약 5V이고, 9V에서 emission 효율이 1.5%정도이며 이때 emission 전류 밀도는 80 mA/cm²로 emitter로 쓰기에는 충분한 전류밀도이다^[16]. 특히 top 전극의 표면 상태에 따라 emission 효율의 변화가 큰데 이는 제조방법과도 밀접한 관계가 있다. Top전극인 Ir-Pt-Au 두께가 10nm 이하로 얇고 etching이 어려워 직접 patterning 하지 않고 초기에는 PR을 사용하여 lift-off 방법을 사용하였다. 이때 PR 제거시 남은 유기물등에 의하여 emission 효율은 0.2% 정도였으나 PR을 사용하지 않는 overhang 구조를 개발하여 1.5%까지 향상시킬 수 있었다고 보고되었다^{[13],[15]}. [그림 19]는 전자빔 퍼짐 특성을 나타낸 것으로 cathode-anode 거리 2mm, anode 전압 4kV에서 약 30um 정도의 빔 퍼짐을 보이고 있는데 이는 focusing layer없이 고해상도 panel을 만들 수 있는 정도이다. 빔 퍼짐이 micro-tip, CNT emitter 등 다른 emitter에 비해 적은 이유는 gate 전계가 옆에서 걸리지 않고 위에서 걸리기 때문에 직진성이 우수하다. Emission 전류의 시간에 따른 변동도 거의 없이 안정된 특성을 보여주고 있는데 이는 anodized Al₂O₃의 insulator가 non-formed 상태로 제작될 때 안정한 특성을 보이기 때문으로 보고하고 있다^[14].

하지만 이러한 우수한 특성에도 불구하고 몇 가지 문제점이 있는데, 우선 앞서서도 언급한 바와 같이 emission 효율이 1~2% 정도로 대부분의 전류가 gate로 흘러가기 때문에 구동전류가 크다. 이 때문에 전극 저항등에 의한 전압 강하가 발생하여 pad에서 멀어 질수록 emission 전류가 감소해 전체적인 밝기 uniformity를 얻기가 힘들다. 이는 대면적으로 갈수록 더욱더 큰 문제점이 된다. 또한 panel 제작



[그림 18] MIM emitter의 전류-전압 특성 곡선



[그림 19] MIM emitter의 전자빔 강도 분포 특성

시 표면오염에 의하여 국부적으로 효율이 달라져서 전체적인 uniformity를 얻기가 쉽지 않을 것으로 사려된다.

4) 결론

평면형 구조를 가지고 있는 MIM emitter는 micro-tip, CNT 등의 emitter에 비해 저전압 구동, 높은 전자 방출 밀도, 적은 빔 퍼짐 등 우수한 특성을 가지고 있어 FED emitter로 사용이 기대되는 emitter이다. 하지만 전자방출 효율이 작아 구동전류가 커져 전압강하로 인한 밝기저하가 우려되고 sealing 공정 등에서 표면 오염에 의해 국부적으로 밝기가 저하되는 문제가 있다. 이러한 문제를 해결하기 위해 저저항 배선 재료 및 구조, 정전류 구동 등의 방법이 연구되어야 하고 무엇보다도 아직 panel 상태에서 얇은 절

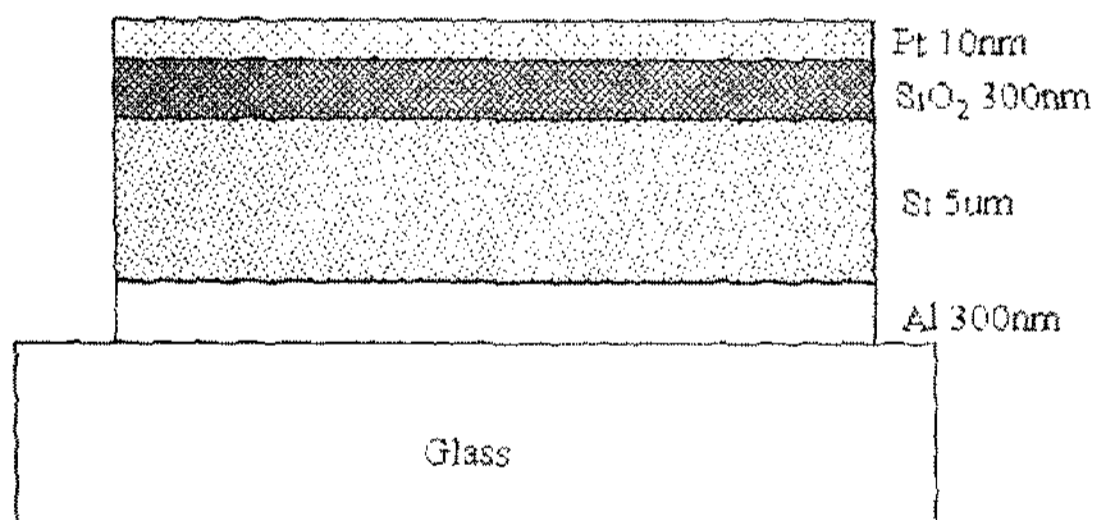
연막의 수명이 검증이 되지 않아 앞으로 많은 연구가 필요하다.

5. HEED(High Efficiency Electro-emission Device)

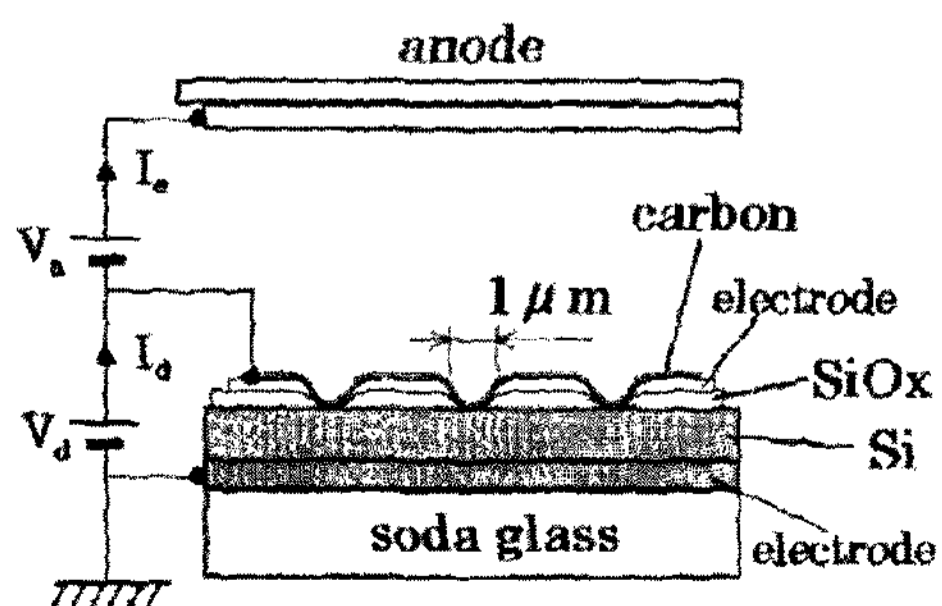
HEED는 1997년 Pioneer에서 제안된 MIS(Metal-Insulator-Semiconductor)형 emitter로 소자구조는 [그림 20]과 같다^[17]. Pt와 Al 전극 사이에 일정 전압을 가하면, 하부 전극으로부터 주입된 전자가 SiO₂ 층에서 가속되어 hot electron으로 된 후 두께 10nm의 상부의 얇은 상부전극을 통과하여 진공 중으로 방출된다. 초기에는 인가전압 110V에서 28%의 전자방출 효율을 보고하였지만 높은 전압에 의해 절연층의 forming현상에 의한 절연층의 열화가 예상되므로 display로서는 적합하지 않은 것으로 판단되었다.

최근에 직경 1μm의 hole을 설치하여 emitting site부의 절연층 및 상부 전극의 두께가 중심부로 점차 감소하는 "dimple 구조"로 만들고, 최상부에 전자방출을 향상시킨 탄소층을 증착하여 구동전압을 20V로 낮춘 구조를 발표하였다^[18]. 개선된 소자로 구성된 FED의 개략도 및 전류-전압 특성은 [그림 21, 22]와 같다.

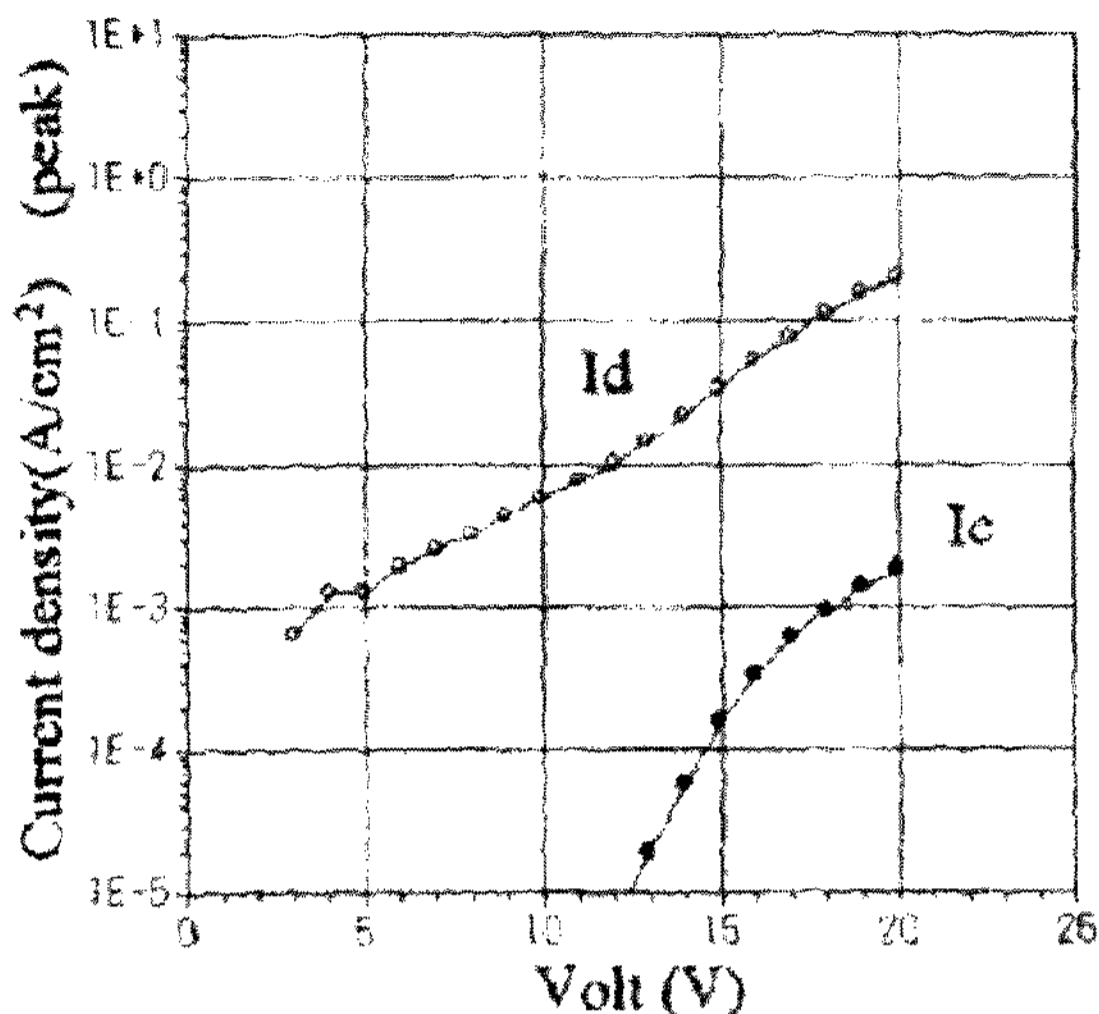
HEED도 BSD, MIM과 마찬가지로 구동전압이 20V로 낮고 전자빔이 self-focusing 되며, 외부기체의 오염에 의한 방출특성의 영향이 없다는 장점을 가진다. 그러나 효율이 1%로 낮아서 대면적시 전압강하에 의한 휘도의 불균일이 발생하고, 1μm의 gate hole을 patterning하므로 대면적화에 불리하고 얇은 상부전극의 열적 불안정에 기인한 수명문



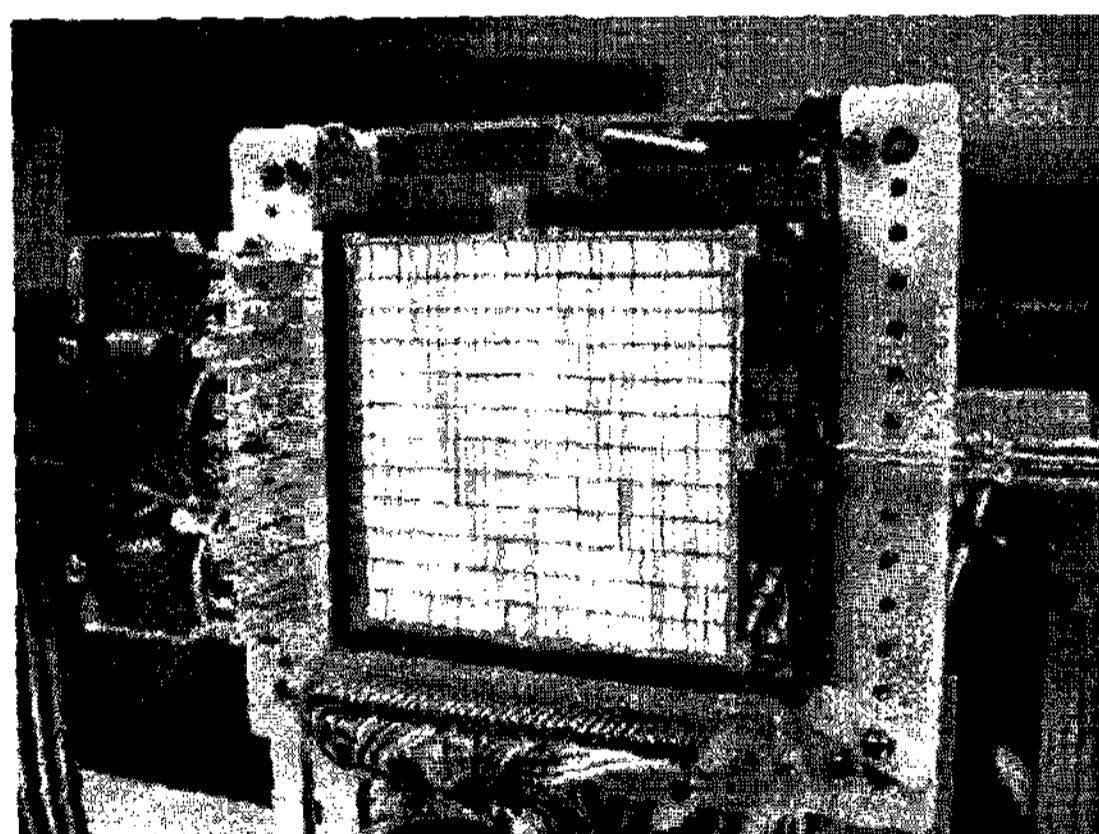
[그림 20] HEED의 기본구조



[그림 21] 개선된 HEED 구조



[그림 22] HEED의 전류-전압 특성 곡선



[그림 23] 4인치 HEED 동작화면

[표 1] 개선된 구조로 제작된 4" HEED의 display 제원

Specifications	
Driving voltage	20 V
Pulse width	139 μ sec.(60Hz)
Accelerating voltage	~10kV
Brightness	2000 cd/m ²
Active area	4 inches
Color/Monochrome	Color
Rows/Columns	12/12
Pixel size	6.0 mm x 6.0 mm
Distance device - anode plate	9 mm
Gray scale	15
Substrate	Soda lime glass

제가 검증이 안되어 FED에 적용하기 위해서는 더 많은 개발 시간이 필요하다. 발표된 prototype의 실제 구동사진과 display 제원은 [그림 23] 및 [표 1]과 같다.

III. 결 론

이상으로 PFE, SED, BSD, MIM, HEED의 작동원리 및 개발현황 등에 관해서 살펴보았다.

PFE는 동작전압이 높고 non-uniformity가 있다는 단점으로 인해 상용화에 어려움이 예상된다. SED는 구동전압이 낮고, 제조공정이 간단하여 Canon과 Toshiba가 40인치급 TV용으로 공동 개발을 '99년도부터 추진하고 있으며 '03년부터 양산 개시를 하는 것으로 보도되고 있으나 발표된 정보부족으로 인해 정확한 기술 수준의 평가가 어려운 형편이다. BSD, MIM, HEED는 간단한 평면형 구조, 저전압 구동 및 self-focusing 특성으로 인해 Spindt형 및 CNT의 대안으로 기대되고 있으나, 대화면에서의 휘도 uniformity, 수명 및 신뢰성 면에서 더 많은 기술검증이 필요하다.

FED가 경쟁력 있는 display로 상품성을 가지기 위해서는 성능과 cost를 동시에 만족하는 emitter의 개발이 필수적이다. 현재 FED개발에 참여하는 각 사는 경쟁력 있는 emitter 개발에 노력을 경주하고 있으며, 이르면 '04년~'05년에 상품화 수준의 emitter 및 FED의 등장이 기대되고 있다.

참 고 문 헌

[1] R. A. Turk et al., IDW 97, p.723, (1997)

- [2] A. P. Burden et al., J. Vac. Sci. Technol. B18, p. 900, (2000)
- [3] A. P. Burden et al., Solid State Electronics 45, p. 987, (2001)
- [4] M. Okuda et al., SID98, p.185, (1998)
- [5] E. Yamaguchi et al., SID97, p.52, (1997)
- [6] K. Sakai et al., Euro Display96, p.569, (1996)
- [7] T. Canham, et al., Appl. Phys. Lett. 57, p.1046, (1990)
- [8] W. K. Yue, et al., Tech. Digest of Inte. Electron Devices Meet, p.167, (1990)
- [9] X. Sheng, et al., J. Vac. Sci. Technol. B15, p.1661, (1997)
- [10] T. Komoda et al., J. Vac. Sci. Technol. B17, p. 1076, (1999)
- [11] T. Komoda, et al., SID'03 Digest, p.910, (2003)
- [12] C. A. Mead, J. Appl. Phys. 32, p.646, (1961)
- [13] T. Kusunoki et al., IDW'98 Digest, p.663, (1998)
- [14] T. Kusunoki et al., Jpn. J. Appl. Phys., 32, p.1695, (1993)
- [15] P. E. Troyan et al., J. Vac. Sci. Technol. B11, p. 514, (1993)
- [16] M. Ságawa et al., SID'01 Digest, p.193, (2001)
- [17] N. Negishi et al, Jpn. J. Appl. Phys. Vol. 36 No. 7 B, p.939, (1997)
- [18] T. Yamada et al., IDW '02, p.1037, (2002)