

기술 특 집

System on Display Panel

이현구, 유재희 (홍익대학교 전자전기공학부 E-mail : jaeheeu@hongik.co.kr)

요 약

디스플레이 시스템의 경량화, 저전력화, 박형, 저가격화를 가능하게 하는 System On Panel에 대한 중요성 및 관심이 모바일 디스플레이 환경을 중심으로 증가하고 있다. 디스플레이 패널에 내장할 수 있는 프로세서 및 다양한 모듈의 향후 전망을 위하여 집적측면의 Poly-Si TFT 공정 이슈 및 현재 프로세서집적 연구동향, 기존의 디스플레이 관련 프로세서의 아키텍처에 대한 소개 및 현재 System On Panel의 상황을 분석하여, 향후 System On Panel을 위한 디스플레이 시스템의 구현 방안 및 다양한 개발 방향을 소개한다.

I. 서 론

최근 HDTV의 보급과 더불어 소비자들의 생동감 있고 커다란 화면에 대한 욕구가 크게 늘고 있다. 현재의 아날로그 TV방송은 보다 고선명 고화질이 실현 가능한 디지털 방송으로 교체가 진행 중이며, 대형 스크린이 장착된 디지털 TV의 판매도 증가될 것이다. 스크린의 형태도 현재의 CRT나 프로젝션 방식에서 공간절약형인 OLED, PDP, 및 TFT-LCD 등의 평판형태의 스크린으로 교체될 것을 전망하며^[1], 이에 따라 삼성, LG-Philips, 샤프, 소니 등 많은 기업에서 평판 디스플레이에 대한 연구가 활발하게 진행 중에 있다. 특히 이중에서 가장 먼저 평판 디스플레이에 활용된 TFT-LCD에 대한 연구 및 투자가 가장 많이 이루어지고 있으며, 시장도 급속도로 성장하고 있다. 전문 보도기관의 자료에 따르면 TFT-LCD 시장은 2006년에는 500억\$의 거대 시장을 형성할 것으로 예상하고 있다. 현재 TFT-LCD는 모니터, TV 및 휴대전화기와 같은 여러 응용분야에서 사용 중이다. 이중에서도 특히 모바일 응용 분야에서는, 제조원가나, 소비전력 및 영상품질 등의 여러 가지 요건

에 의해서 TFT-LCD가 주도적으로 사용될 것으로 보이며, 1.2~4인치의 화면에서 65K 풀 컬러, QVGA급 이상의 해상도, 20~30Frames/s의 동영상 재생 및 적은 소비전력을 사용하는 디스플레이 시스템의 구현이 요구될 것이다^[2]. 이런 요구조건에 따라서 시스템의 경량화, 고 신뢰성 및 저전력소비 특성을 구현하기 위해서 새로운 기술들에 대한 연구가 진행되고 있으며, 특히 그 중에서도 디스플레이 시스템의 프로세서 및 여러 모듈을 하나의 TFT-LCD 기판 위에 집적, 일체화하여, 시스템의 경량화, 박형, 고 신뢰성, 저가격화를 실현하기 위한 System On Panel(SOP)의 개념이 활발히 논의되고 있다.

SOP는 현재 공정상의 기술한계 및 재료의 문제로 인하여 하드웨어 복잡성이 높은 모듈을 집적화 하는데에 많은 어려움이 있다. 따라서 처음에는 상대적으로 적은 하드웨어 복잡성을 요구하는 모바일 시스템을 기준으로 SOP의 연구가 활발하게 이루어져, 점차적으로 HDTV나 컴퓨터 모니터로 영역을 확장하여 가리라고 예상이 된다. 따라서, 본 논문에서는 모바일 시스템에 중점을 두어서 SOP의 경향 및 향후 전망을 예측해 보도록 한다. II장에서는 TFT-LCD SOP를 구현하는데 있어 공정상의 어려운 점을, III장에서는 현 단계의 SOP에서 많이 연구되고 있는 프레임 메모리와 Sensor를 내장한 SOP의 소개를, IV장에서는 ASIC, 고성능 프로세서, 코프로세서 아키텍처 등의 현재 디스플레이 시스템에서 사용되고 있는 프로세서 아키텍처를 분석하고 현재의 SOP 기술 단계와 비교하며, V장에서는 종합분석 및 향후 전망에 대하여 기술한다.

II. TFT-LCD SOP 공정

TFT-LCD는 트랜지스터를 구성하는 물질에 따라 c-Si (Single Crystal-Silicon) TFT-LCD, a-Si (Amorphous-Silicon) TFT-LCD 및 Poly-Si (Poly Crystal Silicon) TFT-LCD로 구분하며, 현재까지는 a-Si TFT-LCD에 대한 기술 개발이 주가 되었다. 그러나 a-Si TFT는 낮은 전

이 연구(논문)는 과학기술부의 21세기 프론티어연구개발사업인 차세대 정보디스플레이 기술 개발사업단의 연구비(과제번호 14) 지원으로 수행되었습니다.

[표 1] LTPS TFT-LCD의 현 기술수준 및 향후 로드맵.

Year		2001	2002	2003	2004	2005
Panel	Panel Size	Small/Medium (AV, PDA, PC)		Large (PC)		Large (Monitor)
	Resolution	150ppi			200ppi	
Glass	Mother Glass	300x400, 400x500, 600x720			730x920	
	Peripheral Driver Type	Digital/analog			Digital	
Driver	DAC Circuit Integration	3, 4 bit			6bit	8bit
	Built-in Memory Integration				1bit	2bit
	Timing Controller Speed	QVGA			VGA	XGA
	Gamma Amplifier				4bit	6bit
	TFT Structure	Bottom, Top			Top	
Device	NMOS Mobility (cm ² /V·s)	≤100			≥200	
	Pattern Rule (μm)	≤3			≤1.5	≤1
	Scattering of TFT V _{th} (V)	≤±1			≤±0.1	≤±0.03
	Interconnection (Gate)	Cr, Mo, MoW			Al, Cu	
Process	Interconnection (Drain)				Cu	
	Etching (Metal)	Wet/Dry			Dry	
	Etching (Contact)	Wet/Dry			Dry	
	a-Si Deposition	Low Temperature PECVD			High Temperature PECVD	
	Activation	ELA, RTA, Furnace (Low Temp.)			RTA, HPA	
	Lithography (Stitching Distortion)	0.3 μm	0.3 μm+HyperShot		High Precision One Shot	
Equipment	ELA (Beam Length/Output)				365mm/0.9J	
	Ion Doping	Line Beam, Ion Implantation			Ion Implantation	

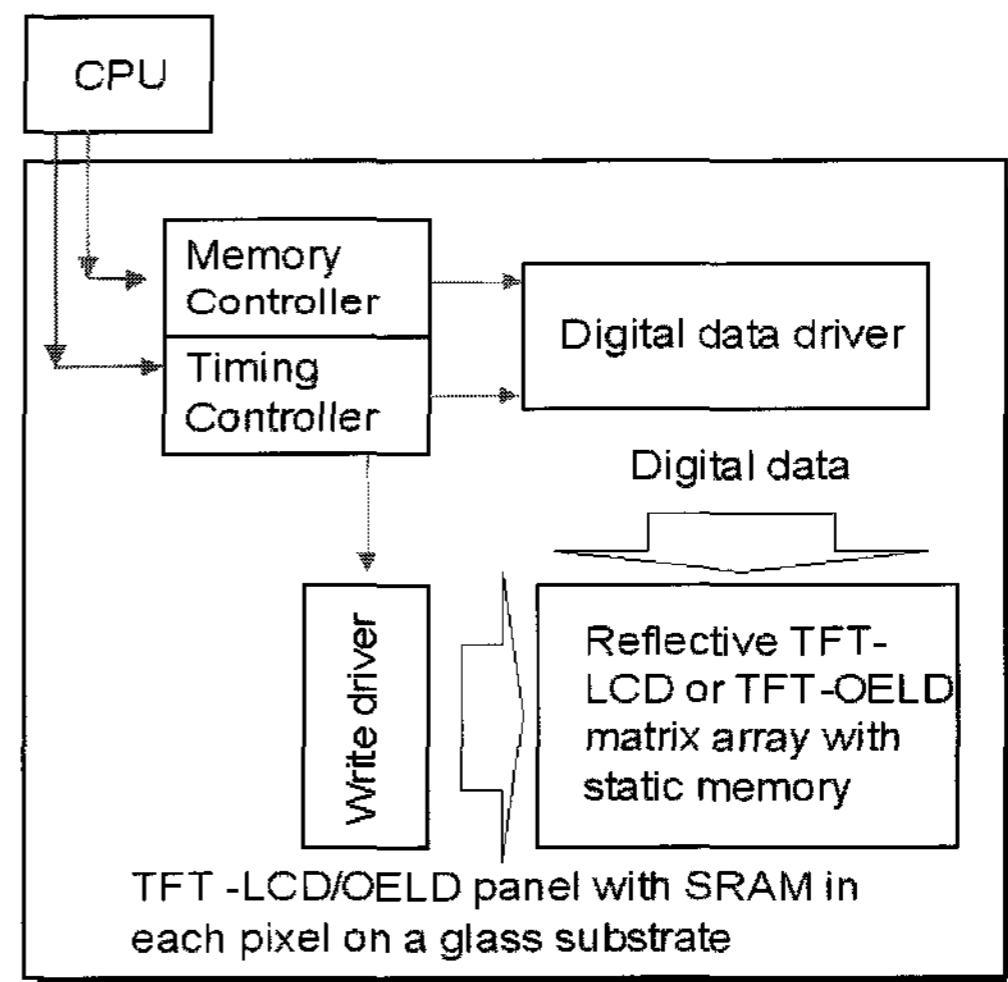
기적 특성으로 인하여 SOP을 구현하는 데에 적절치 못하고, 최근에는 a-Si TFT 보다 100배 이상의 전하 이동도를 갖는 Poly-Si TFT를 기반으로 하는 SOP의 구현에 중점을 두고 있다. 하지만 Si과 동일한 집적도를 올리기에는 Poly-Si TFT 소자의 큰 Channel Length, 많은 누설전류, Kink effect, 문턱전압 및 전하이동도의 불균일성 등 많은 문제점이 산재해 있다. [표 1]에서는 이러한 기술상의 문제에 따른 현재의 공정기술의 수준 및 개발경향에 따른 향후 기술수준에 대한 로드맵을 나타내었다^[3].

[표 1]의 내용을 살펴보면 LTPS(Low Temperature Poly-Si) TFT-LCD의 Panel Size는 2005년도에는 컴퓨터 대형 모니터의 크기 정도 구현이 가능할 것을 예측되고 있으며, 해상도는 200ppi 이상 구현 가능하리라고 예상된다. 디자인 룰 또한 1 μm 이하의 미세 공정이 가능하며, 복잡한 회로가 내장될 수 있으리라고 전망이 된다.

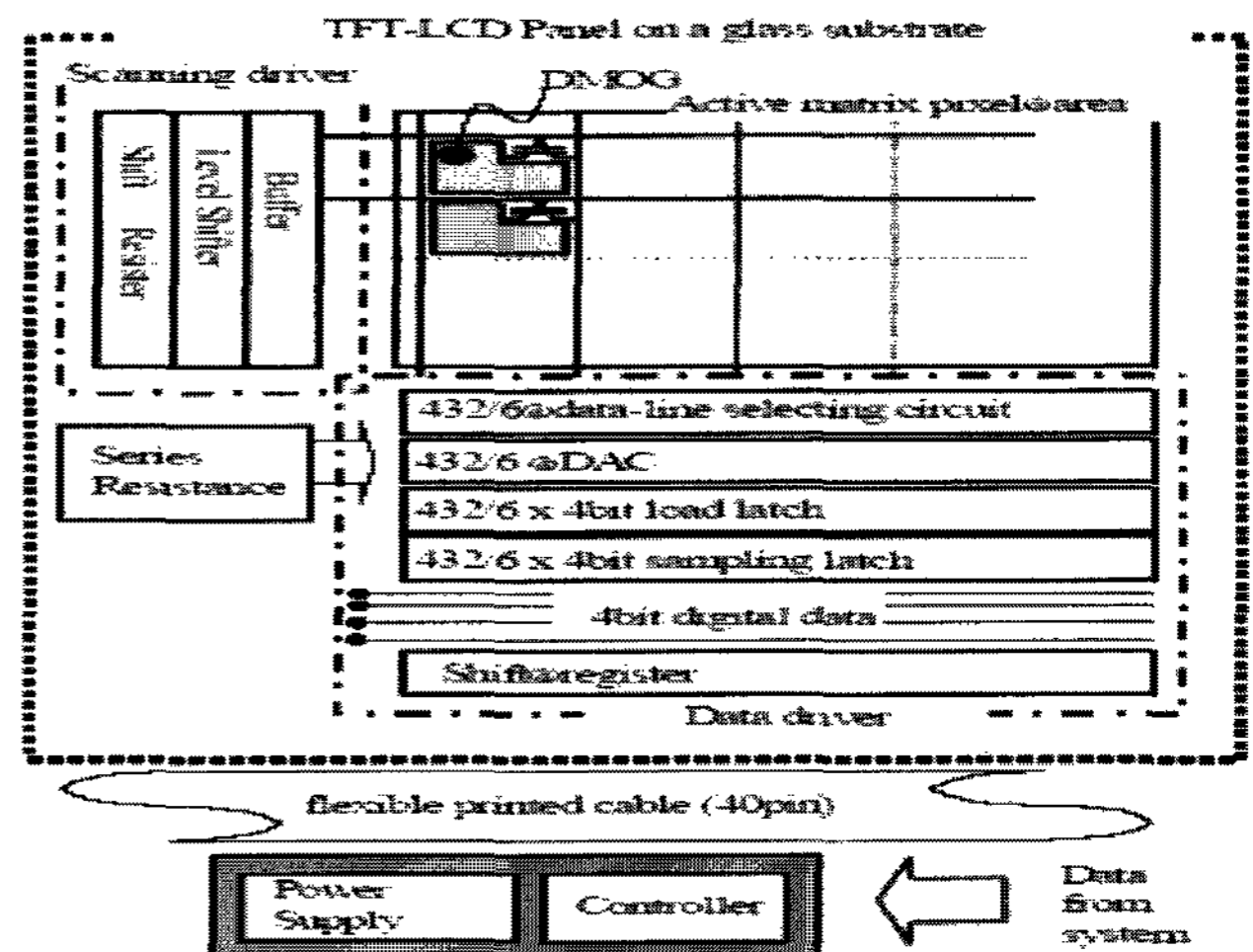
III. 프레임 메모리, Sensor의 집적화

일반적인 TFT-LCD 디스플레이 장치에서는 프레임 메모리로부터 데이터 드라이버까지 픽셀 구동 데이터를 전달할 때, 많은 전력을 소모한다. 특히 고해상도로 갈수록 데이터 드라이버가 처리하는 데이터가 많아지게 되어 전력소모도 더욱 커지게 된다. 데이터의 이동간 발생하는 많은 전력소모는 모바일 응용분야에 있어서 더욱 커다란 문제가 되며, 이런 전력 소모를 줄이기 위한 연구방법 중 하나가 프레임 메모리를 유리기판 위에 집적시키는 방법이다.

[그림 1]에서는 각각의 픽셀 안에 메모리를 집적시켜 파워소모를 최소화 시키는 방법을 나타내었다^[4]. [그림 1]과 같은 방법은 데이터 드라이버의 refresh를 줄여, 전력소모



[그림 1] 픽셀 영역에 메모리 집적화

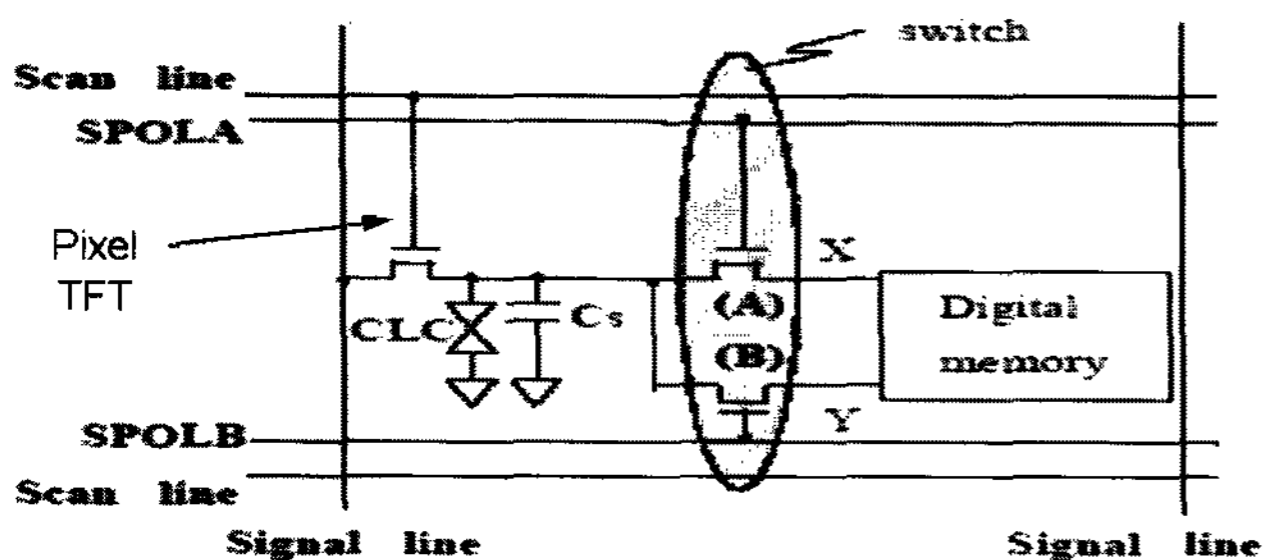


[그림 2] 픽셀배열에 메모리를 집적시킨 TFT-LCD 블록 다이어그램

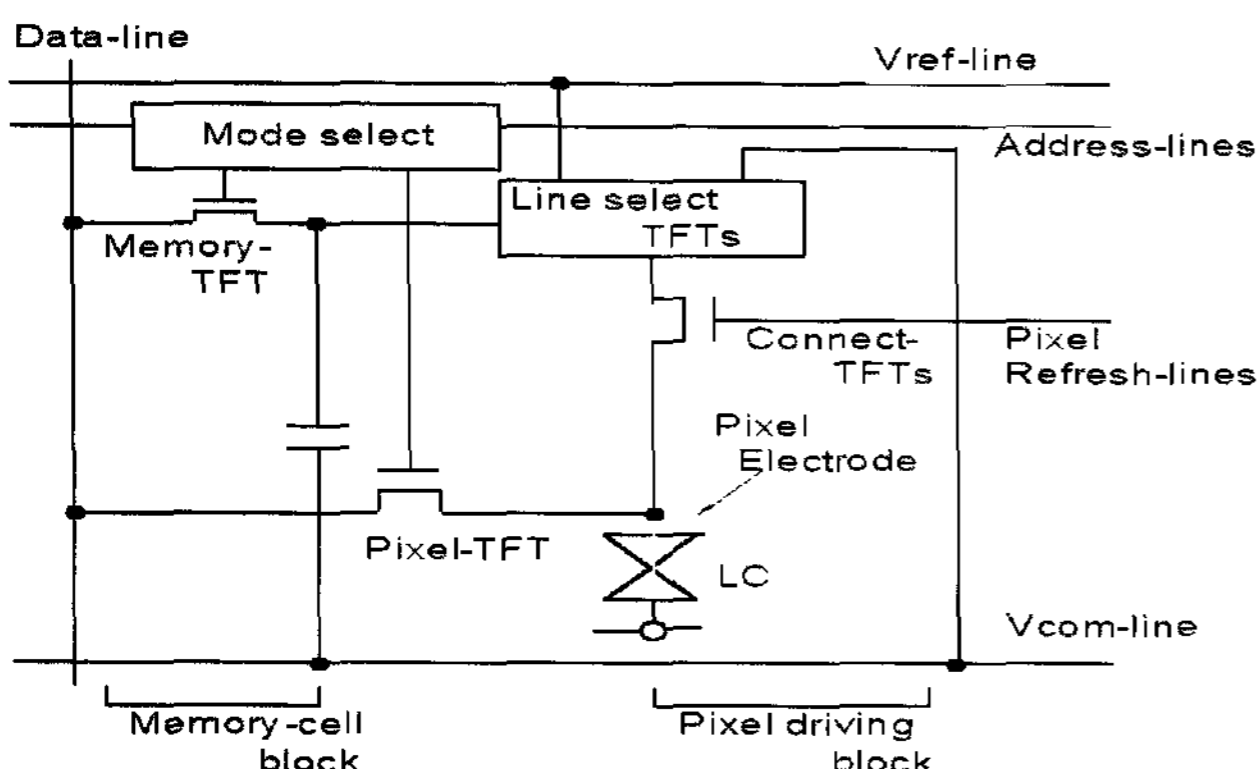
를 줄이는 방식으로, 자세한 사항은 [그림 2]에서 설명하기로 한다^[6].

[그림 2]에서는 유리기판 위에 구동드라이버와 디지털 메모리를 일체화 시킨 TFT-LCD의 블록 다이어그램을 나타내었다. TFT-LCD 사용시 모듈별 전력소모를 측정, 데이터 드라이버와 Series Resistance에서 많은 파워를 소모함을 파악하여^[6], 구동드라이버의 파워 소모를 줄이기 위해 LTPS 공정을 바탕으로 2.15인치 TFT-LCD의 픽셀 배열 각각에 DMOG(Digital Memory On Glass) 집적기술을 사용 디지털 메모리를 내장하였다. [그림 3]에서는 픽셀배열 및 DMOG의 회로를 나타냈으며, 회로의 동작은 다음과 같다^[6]. 일반적인 TFT-LCD의 픽셀배열에서는 픽셀 TFT를 통해서 CLC(Liquid crystal Capacitance)가 충전되고 시간이 지날수록 충전된 전하들은 서서히 방전을 하며, 이것을 막기 위해서 주기적으로 refresh가 필요하다. 이러한 refresh는 데이터 드라이버와 같은 주변 구동회로가 담당하게 되는데, [그림 3]에서와 같이 각각의 픽셀배열에 SRAM을 내장하면, 메모리에 의해서 픽셀의 구동 전압이 고정되고 refresh가 필요 없게 되어 전력소모를 줄일 수 있다. [그림 3]의 회로는 일반모드에서는 Scan 라인을 통하여 일반 TFT-LCD처럼 동작하고, 정지 모드에서는 SPOLA, SPOLB 스위치를 통해서 메모리에 픽셀의 구동 전압이 저장되어, 이를 통해서 픽셀을 구동한다. 주변 구동회로가 QCIF의 해상도에서는 일반 모드일 때 4096 칼라 구현에 25mW의 전력을 소모하지만, 정지 영상 모드에서는 8칼라 구현에 1.3mW의 저 전력 소모를 보여, 크게 전력소모를 줄였음을 알 수 있다.

[그림 4]에서는 위에서 설명된 SRAM과 비교 시, 집적



[그림 3] 픽셀배열 및 DMOG의 회로.

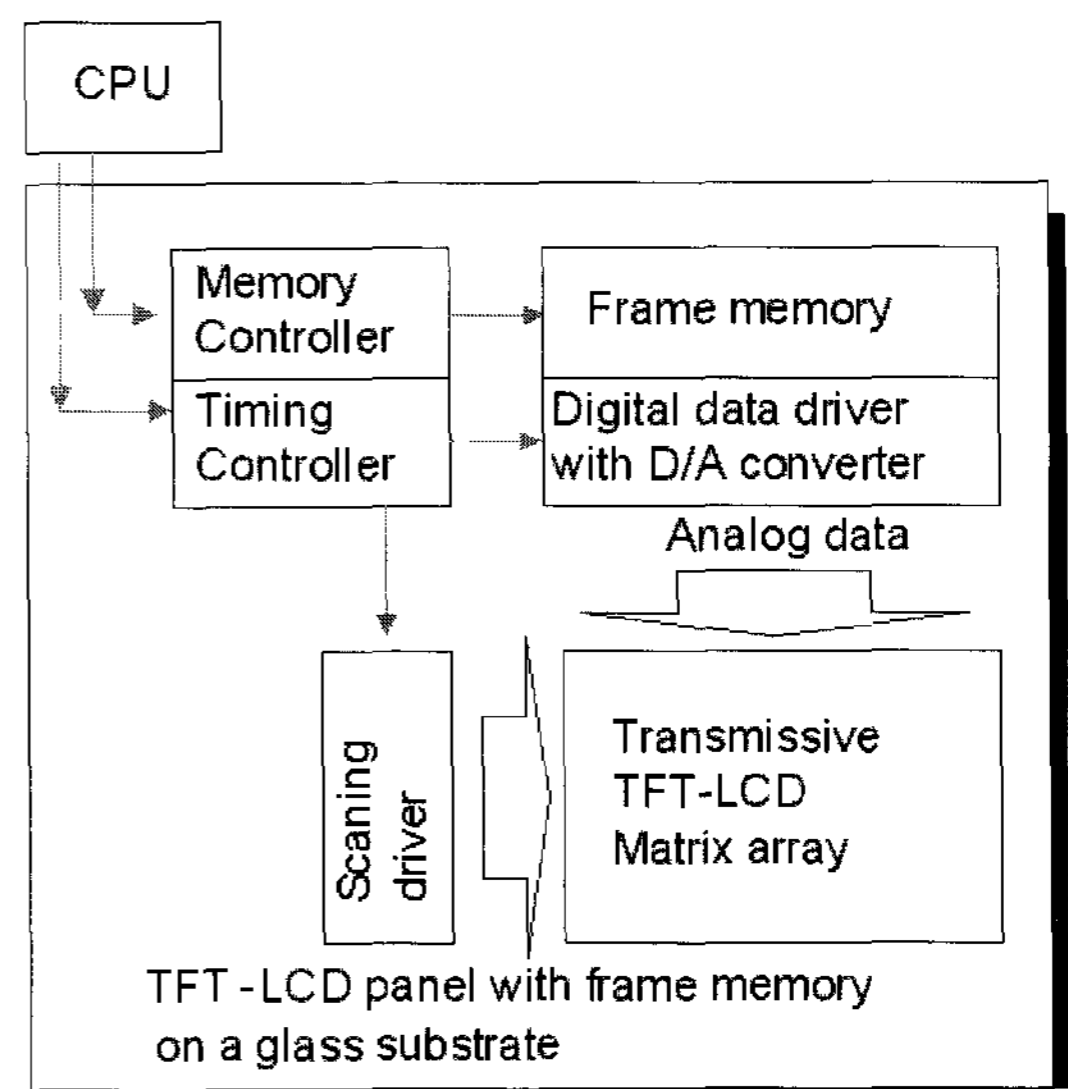


[그림 4] DRAM이 내장된 TFT-LCD의 픽셀 회로.

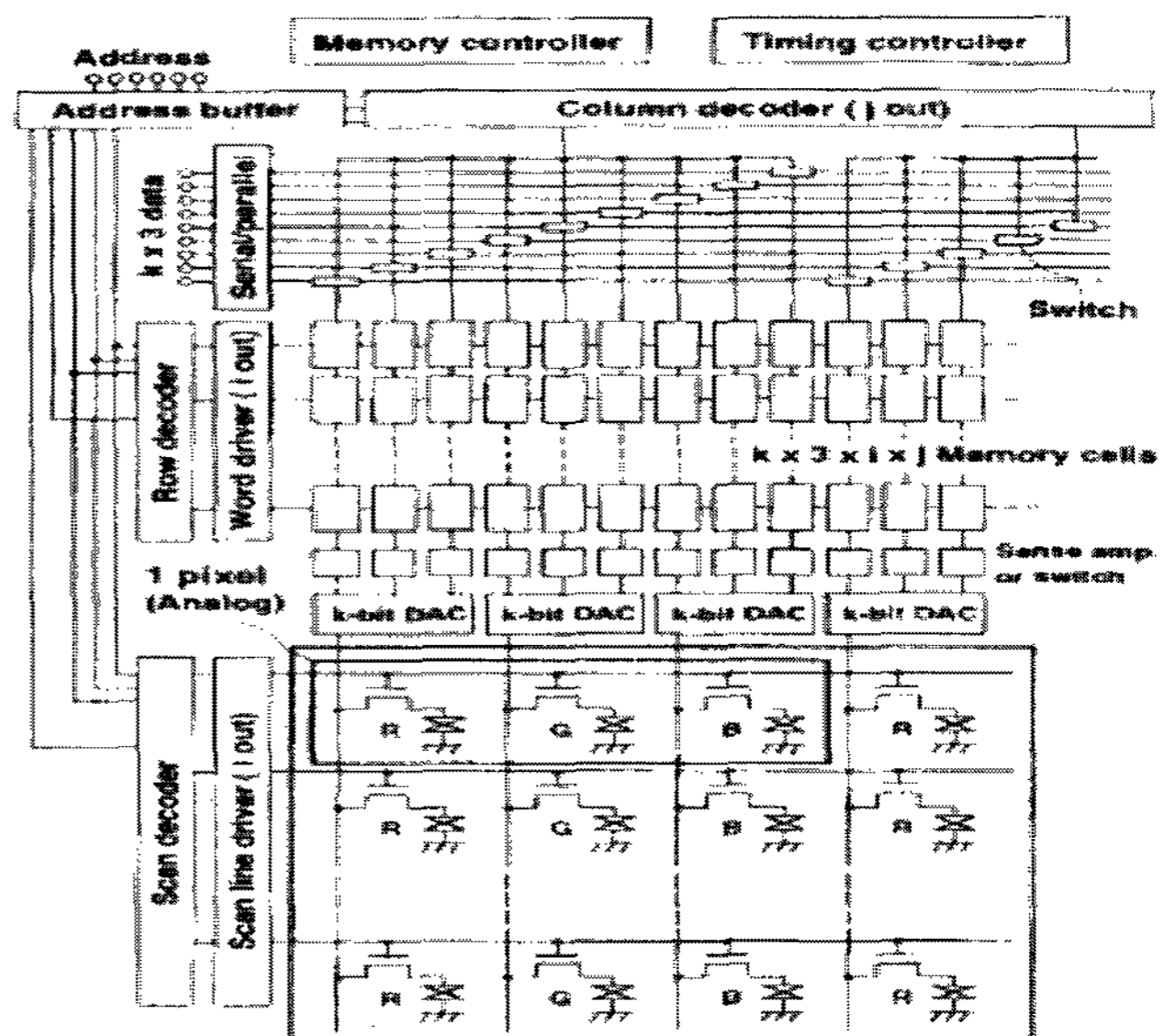
이 보다 어려운 DRAM을 픽셀배열에 집적한 회로를 나타내었다^[6]. 전력소모를 줄이는 기본 개념은 [그림 3]에서 설명한 것과 동일하다. 2.15인치 Poly-Si TFT-LCD 기반에 집적하였으며, 132×162 해상도를 갖는다. 일반 모드일 때 Memory refreshing rate이 60 Hz이며 262K칼라 표현에 3mW를 소모하고, 저전력 모드일 때에는 4Hz에서 4096 칼라 표현에 1.3mW를 소모하여 약 1/8로 전력소모가 감소된다.

프레임 메모리를 픽셀배열에 집적화 하는 것은, 메모리가 각각의 픽셀배열에 포함되어 높은 개구율을 구현하기 힘들기 때문에 반사형 TFT-LCD에서 적합하며, 따라서 개구율에 대한 영향을 많이 받는 투과형 TFT LCD에서는 다른 방법의 메모리의 집적이 필요하다.

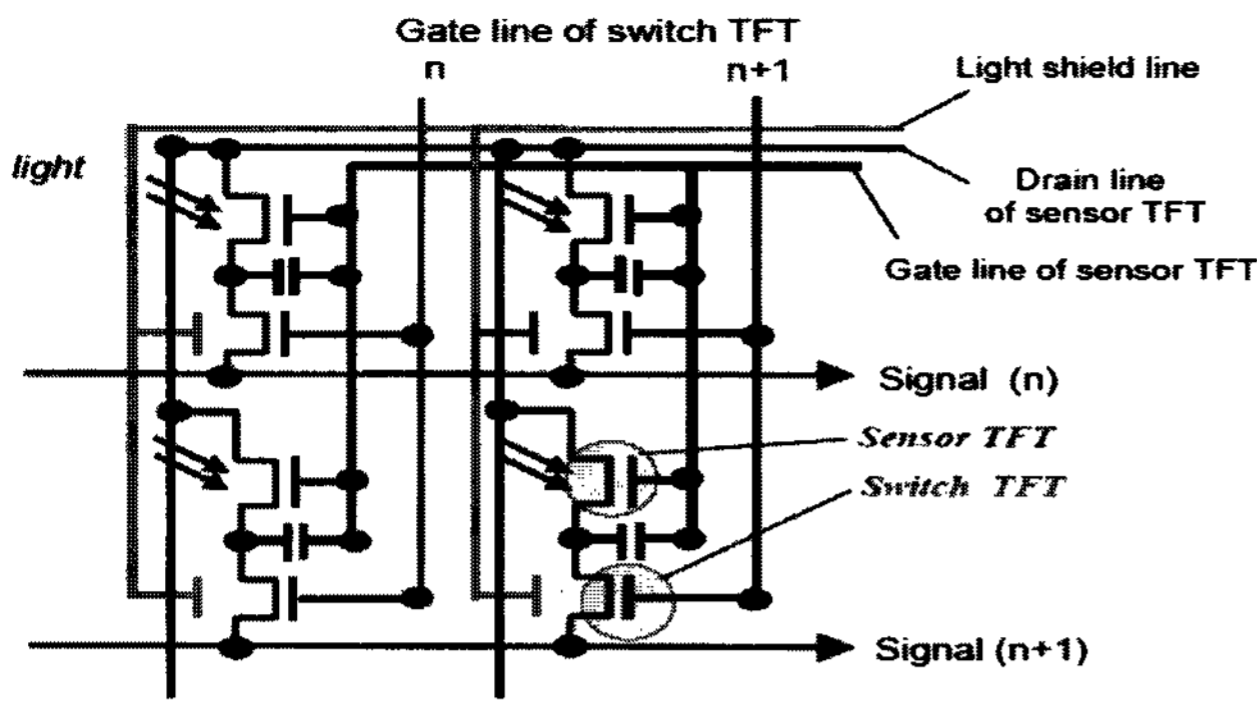
[그림 5]에서는 픽셀배열에 프레임 메모리를 집적시키는 방법이 아닌 데이터 드라이버에 프레임 메모리를 통합, 유리



[그림 5] 외부 유리 기판에 메모리 집적화



[그림 6] 데이터 드라이버에 통합된 프레임 메모리



[그림 7] 지문 인식 스캐너의 구동회로

기판 위에 집적화하는 방법을 나타내었다^[4]. [그림 5]와 같은 집적화 방법은 디스플레이 시스템의 구성 모듈 사이에서 데이터 이동시 발생하는 전력 손실을 줄여 전력소모를 감소하는 방법이며, 자세한 내용은 [그림 6]에서 설명하기로 한다^[4].

[그림 6]에서 보는 바와 같이 픽셀 배열의 데이터 라인을 구동하는 모든 데이터는 메모리에 저장되어 있어, 한번 저장된 데이터에 대해서는 refresh시 외부 I/O로부터 데이터 재전송이 일어나지 않기 때문에 전력 손실을 줄일 수 있다. 프레임 메모리가 Active Matrix 밖에 위치하기 때문에, TFT-LCD의 개구율에 대한 영향이 없으며, 투과형 및 반사형 구분 없이 메모리 집적화가 가능하다.

최근 온라인 banking, 전자상거래의 빠른 발전과 함께 보안에 관한 많은 문제도 대두되고 있으며, 이러한 보안 문제를 해결하기 위한 방안 중 하나인 지문인식 시스템에 관한 연구도 활발해지고 있다. [그림 7]에서는 비싼 Optical Sensor 대신 TFT를 이용하여 제작한 센서 TFT를 TFT-LCD에 집적시켜, 저가격화를 구현한 지문인식 시스템의 구동회로이다^[7]. 300dpi의 해상도를 가지며, Photo Sensitive a-Si : H (Hydrogenated Amorphous Silicon Thin Film Transistor) TFT를 이용 Sensor를 제작, 픽셀배열에 집적하였

다. 센서배열은 센서 TFT와 Storage Capacitor 그리고 스위치로 구성된다. 동작원리는 LCD Back light로부터 송출되는 빛이 TFT 표면의 물체에 의해 반사되고, 그 반사광을 센서 TFT가 물체를 감지하여 Photo current를 발생, Storage Capacitor를 충전하게 된다. 이 0-200 mV의 스윙폭을 갖는 물체의 패턴신호를 읽어, 노이즈 제거와 증폭기를 통해서 TFT-LCD 화면에 물체가 표시된다.

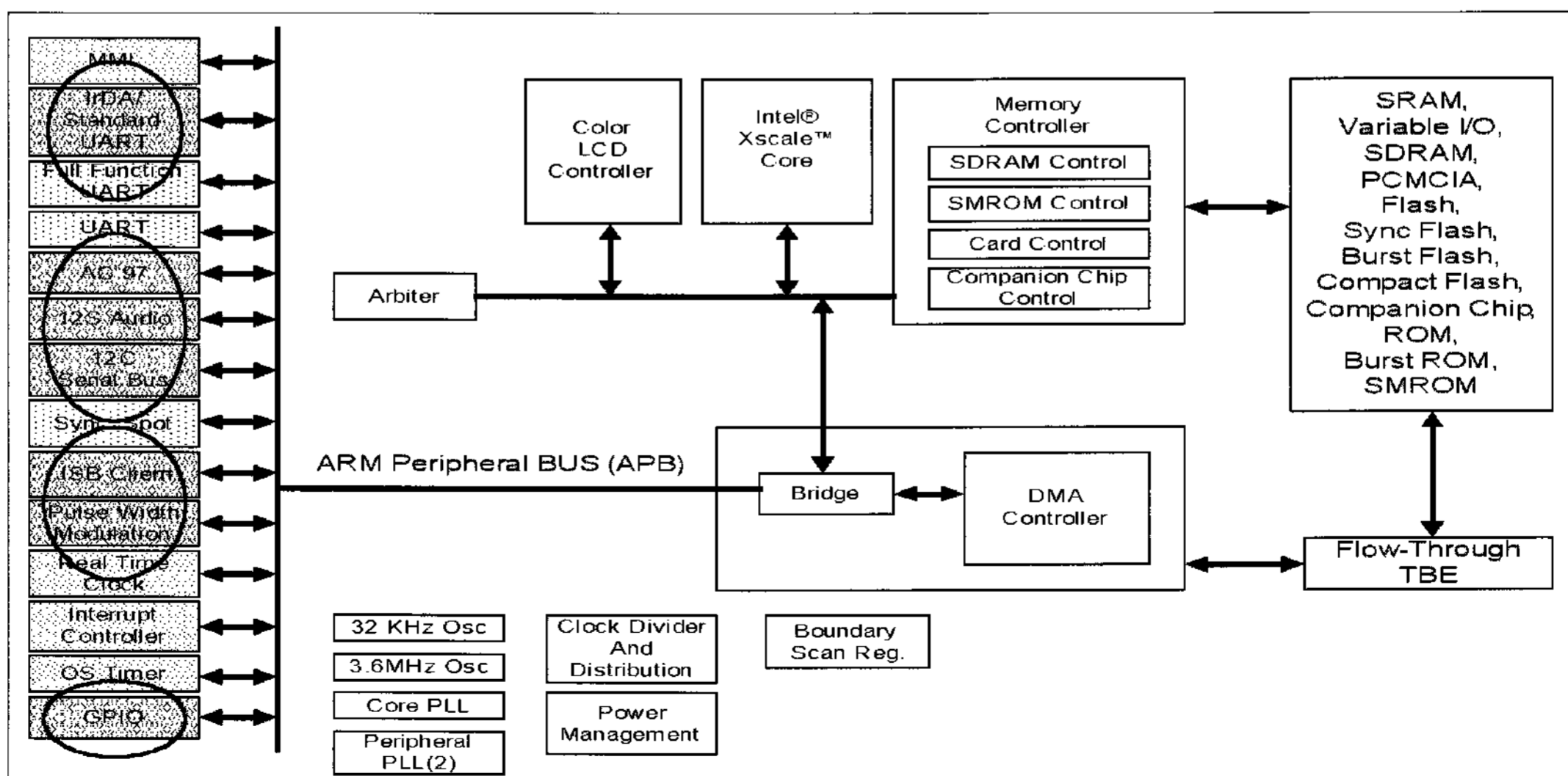
IV. 디스플레이 프로세서 아키텍처

개인용 휴대용 장치는 동화상 재생 등의 디스플레이에 대한 기능이 중요시 되고 있으며, 이에 따라서 디스플레이 프로세서도 점차 고성능화로 나아가고 있다. 따라서 SOP에서도 고성능 디스플레이 프로세서의 집적화가 요구되어질 것이다. 그러나 Poly-Si TFT-LCD 기반의 SOP를 구현시, 복잡한 모듈은 집적하기 힘들기 때문에, 적은 하드웨어 복잡성을 요구하면서, 효율적으로 디스플레이 연산을 처리할 수 있는 프로세서 아키텍처가 필요하다. 따라서 본 절에서는 현재 디스플레이 시스템에서 많이 사용되고 있는 여러 가지 아키텍처 분석 및 SOP의 현 상황에 대해서 분석한다.

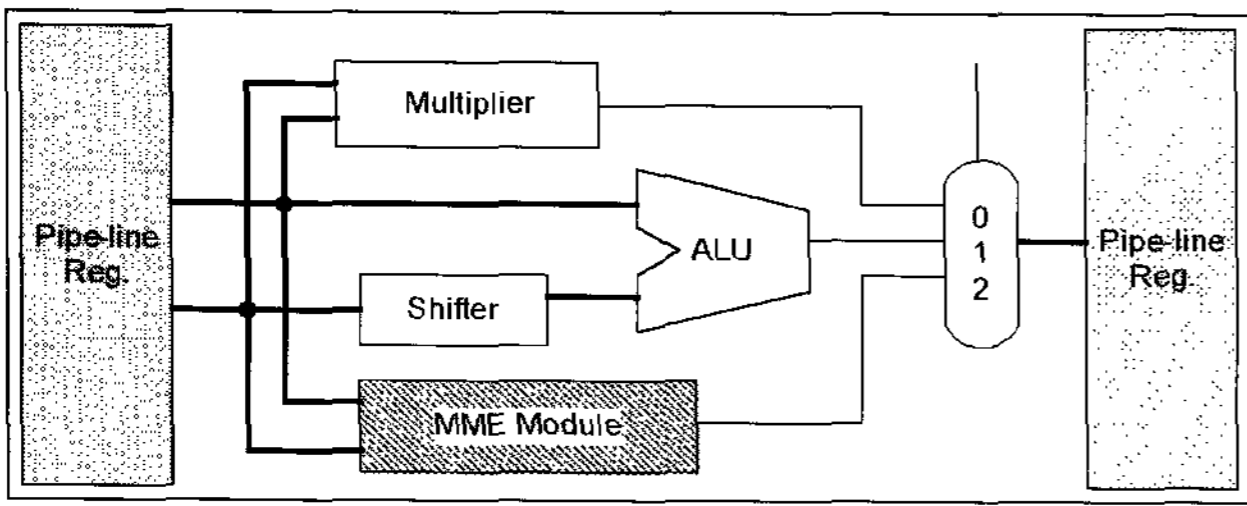
1. 독립적인 디스플레이 프로세서 아키텍처

본 절에서는 디스플레이 프로세서로 사용되는 몇 가지 기존의 독립적으로 구현된 프로세서의 구조를 소개하고자 한다.

[그림 8]은 스마트 디스플레이 시스템에 사용되는 Intel PXA250 프로세서의 블록 다이어그램이다. 고성능 내장형 프로세서인 400MHz XScale Core를 내장, 스마트 디스플레이의 모든 제어 및 화상 연산 처리를 담당하며, 메모리 컨트롤러와 LCD 컨트롤러, 오디오 codec 등, 여러 가지 주변



[그림 8] PXA250 프로세서 블록다이어그램



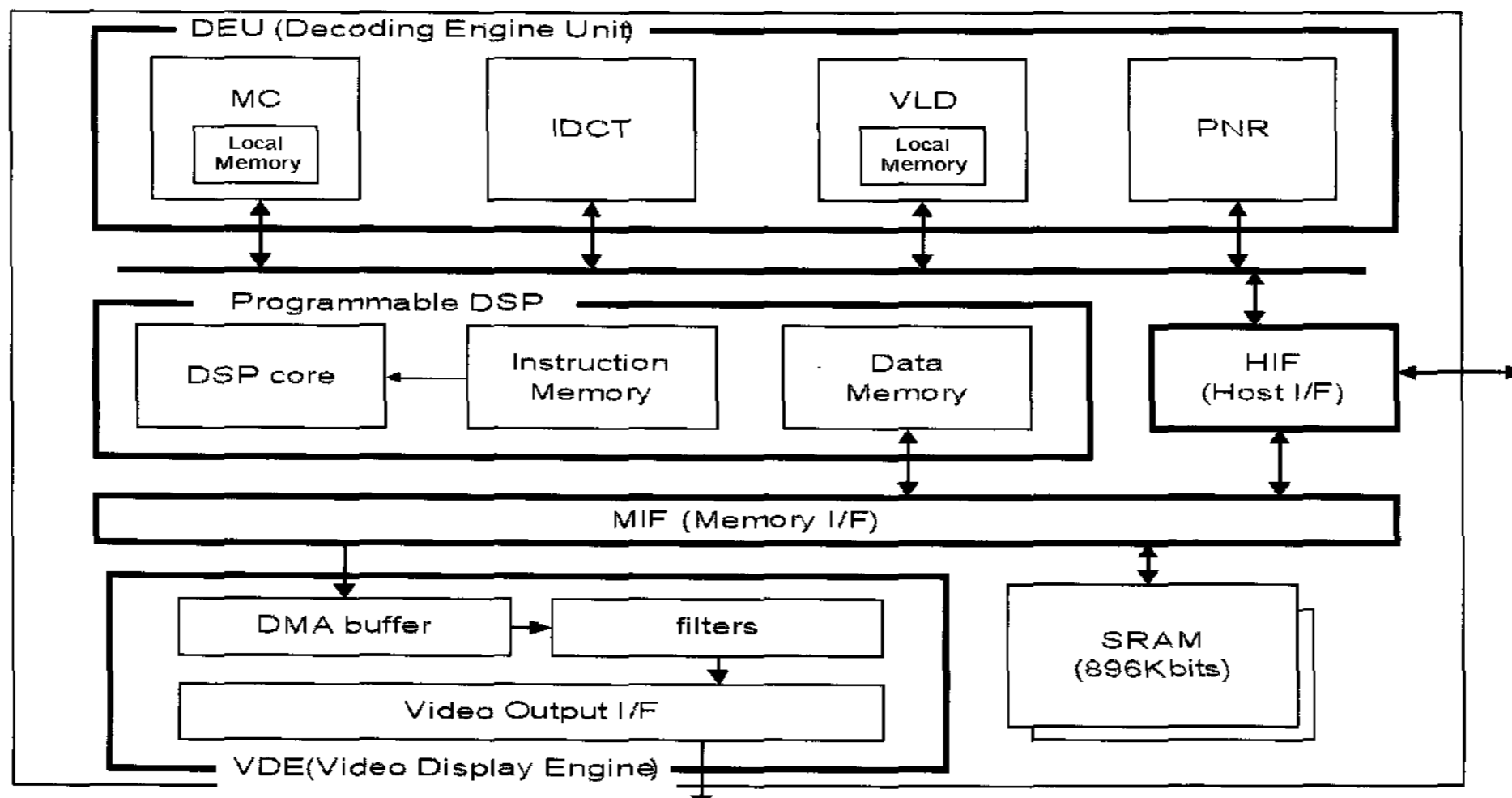
[그림 9] ARM7 Core에 미디어 연산강화 ASIC을 장착한 프로세서의 Execution 블록다이어그램

장치들이 내장되어 있는 형태이다^[8]. 범용성에 중점을 두어 개발 환경에 따라서 주변에 MPEG Decoder, VGA/LCD 컨트롤러 및 802.11 Wireless LAN Chip 등의 여러 종류의 주변기기들을 별도로 구현하여 필요한 부분의 성능을 향상시킬 수 있는 구조로 되어 있다.

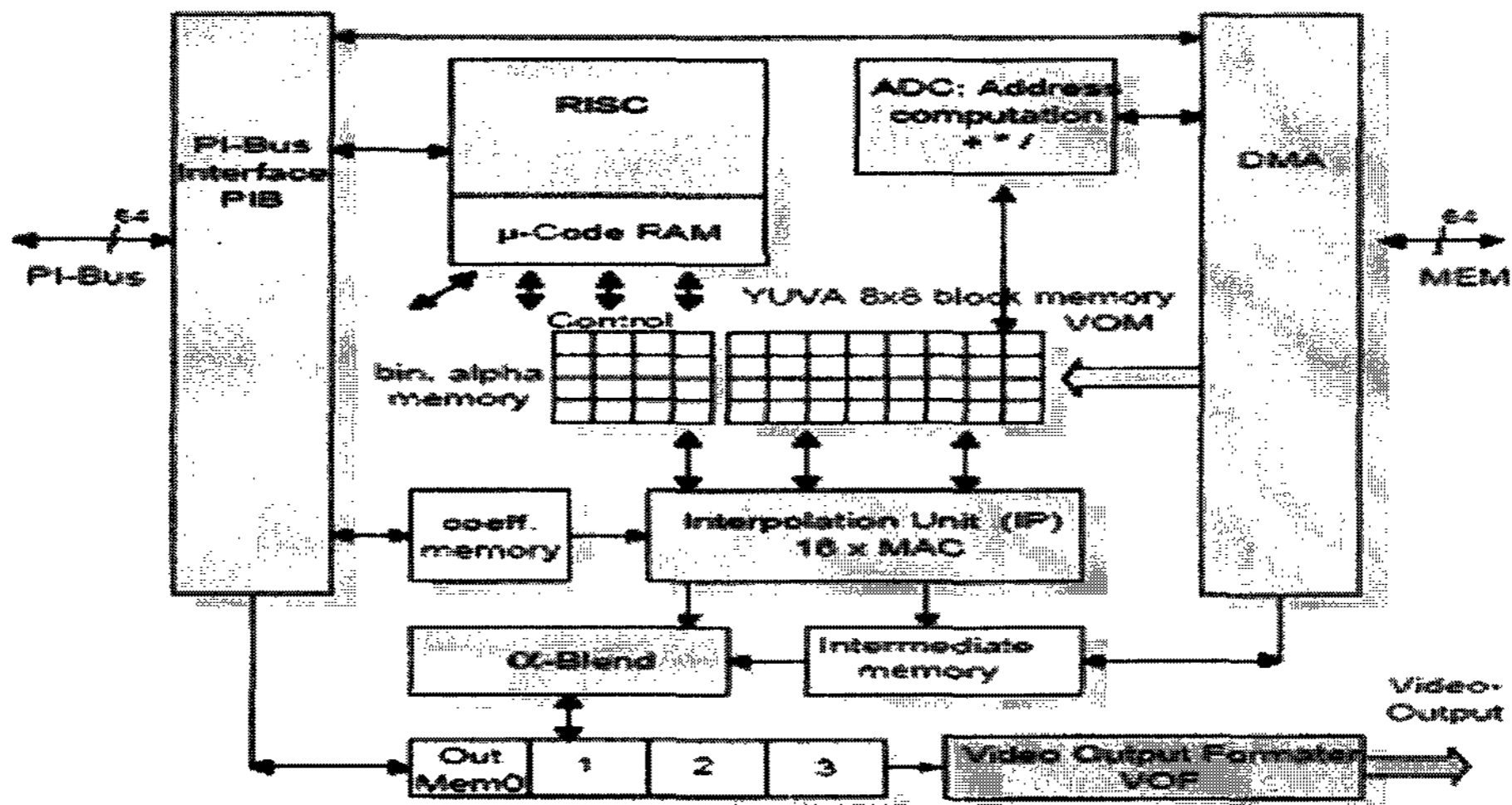
[그림 9]의 프로세서 구조는 ARM7 프로세서 코어의 파이프라인 스테이지 중, 연산 스테이지에서 디스플레이에 필요한 연산을 수행하는 Multi Media Extension(MME) 모듈을 추가한 형태이다^[9]. Core로 사용하고 있는 ARM은 내장형 시스템에 많이 활용되고 있고, 소프트웨어나 디버깅 환경이 풍부하여 향후에도 널리 사용될 것으로 예측된다. MME 모듈은 byte나 half word 단위의 Subword Parallelism을 수행하며, MME를 위한 Instruction은 멀티미디어 연산에서 많이 사용되는 Subword Addition 및 Subtraction, Compare, 데이터 Pack 및 MAC(Multiply accumulation) 등의 VIS(Visual Instruction Set)을 바탕으로 이루어져 있어, 멀티미디어 연산에 있어서 효율적으로 하드웨어의 성능을 높일 수 있다^[10]. 멀티미디어 연산에서 자주 발생하는 반복적으로 수행되는 연산의 경우 연산수행 클럭수가 69~89%까지 감소 가능하며, 멀티미디어 연산시 ARM7 단독 연산을 기준으로 평균적으로는 3.41배 정도의 성능 향상을 가지고 온다. 게이트 카운트 오버헤드는 ARM7이 50.3K이며 모듈이 포함되면 55.8K가 되어, 전체적으로 약 11%의 오버헤드가 발생한다.

[그림 10]의 경우는 MPEG4와 H.263기반의 영상을 재생하기 위한 전용 하드웨어 엔진이다^[11]. 기본구성은 비디오 데이터를 저장하기 위한 896KB SRAM과, 프로그램 가능한 DSP Core, Decoding 기능을 강화하는 Decoding Engine Unit(DEU), 화면에 데이터를 디스플레이 하는 역할을 담당하는 비디오 디스플레이 엔진, 메모리 인터페이스 및 호스트 프로세서와의 인터페이스 등으로 구성되어 있으며 각각의 모듈들이 ASIC화 되어 있다. Programmable DSP는 벡터파이프라인 아키텍처를 통하여 VQ(Vector Quantization)과 같은 벡터연산을 효율적으로 처리 가능하며, Noise Reduction시 Rectangle Addressing Mechanism을 사용하여 효율적인 데이터 Access가 가능한 구조로 설계되어 있고, DEU에서는 MPEG Decoding에서 사용되는 MC(Motion Compensation), IDCT, VLD 및 PNR(Post Noise Reduction) 등의 알고리즘을 처리하기 위한 ASIC 모듈들로 구성되어 있다. 27MHz(비디오 인터페이스)/54MHz(메모리 인터페이스) 동작 시 파워 소모는 11.1mW이며 0.18μm CMOS 공정을 사용하여 제작하였다. 다이 사이즈는 5.269×5.269mm²이며 게이트 카운트는 700K다. 디지털 화상 향상에 많이 사용되는 Post Noise Reduction 연산의 경우는 기존의 RISC 마이크로프로세서 (ARM9)의 연산에 비해 63배의 연산성능 향상을 가지고 오며, 27MHz로 동작 시 8.5mW로 비교적 낮은 Power를 소모한다. 그러나 하드웨어 복잡성 너무 높아 TFT-LCD에 집적하기는 힘든 구조를 가지고 있다.

[그림 11]은 코프로세서 아키텍처를 이용 MPEG4 시스템에서 화상 렌더링을 처리하는 TANGRAM 코프로세서의 블록 다이어그램이다^[12]. 기본구성은 RISC 컨트롤 프로세서, 산술연산 유닛, Instruction code용 u-code RAM, 현재의 Macro Block에서 역 원근 변환에 의해서 변경된 픽셀의 좌표가 저장된 주소를 계산 가능한 Address computation unit(ADC), MPEG4의 비디오 객체 평면을 저장하는 VOM(Video object memory), 16파이프라인 MAC unit을 이용 단일 사이클 보간이 가능한 IP(Interpolation)



[그림 10] 모바일 디스플레이 환경 MPEG4 Decoding 엔진.



[그림 11] TANGRAM 코프로세서 블록다이어그램

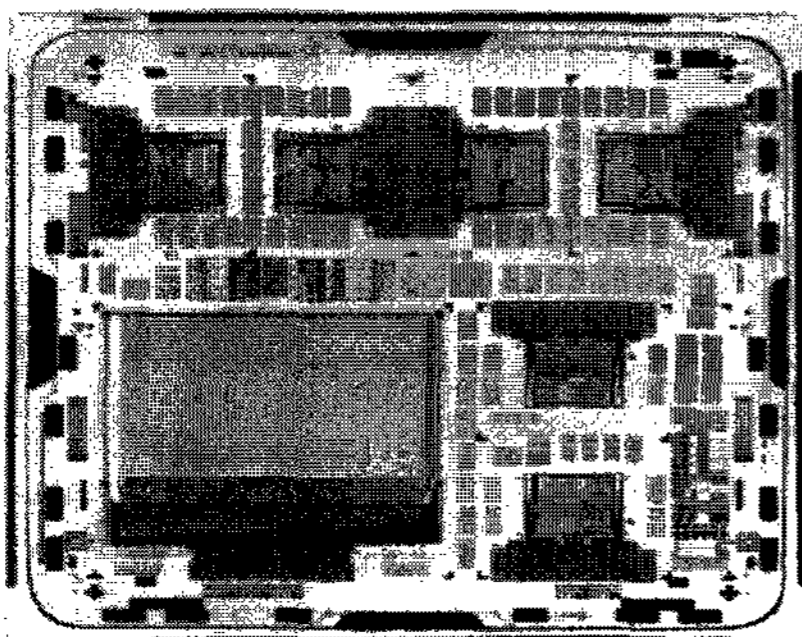
unit, blend 처리를 위한 alpha blend unit, 빠른 메모리 Access를 위한 DMA, 외부 BUS와 연결되는 PI-BUS Interface, OUT Buffer로 사용되는 Out Memory 및 외부에 출력에 알맞은 Video output 데이터를 만들어 주는 Video output formatter로, 주로 복잡한 MPEG4 Rendering을 강화시키기 위한 모듈로 이루어져 있다. 0.35 μm Silicon 공정의 라이브러리를 가지고 합성을 하였으며, 다이 사이즈는 7.21 × 7.21 mm²이다. 파워 소모는 100 MHz 동작 시 1W를 소모하며, 전체 게이트 카운트 수는 약 160K이다. 그리고 프로그램을 변경을 통해서 다른 비디오 포맷에 대해서 쉽게 적용 가능하다. 일반적인 화상데이터 처리시 사용하지 않는 렌더링 처리를 위해 복잡한 렌더링 처리용 모듈을 내장시켰기 때문에 모바일 응용분야에서는 활용가능성은 적고, 160K의 게이트 카운트는 TFT-LCD에 집적하기에는 하드웨어 복잡성이 높기 때문에, 적절치 못하다.

2. 현재의 SOP 상황

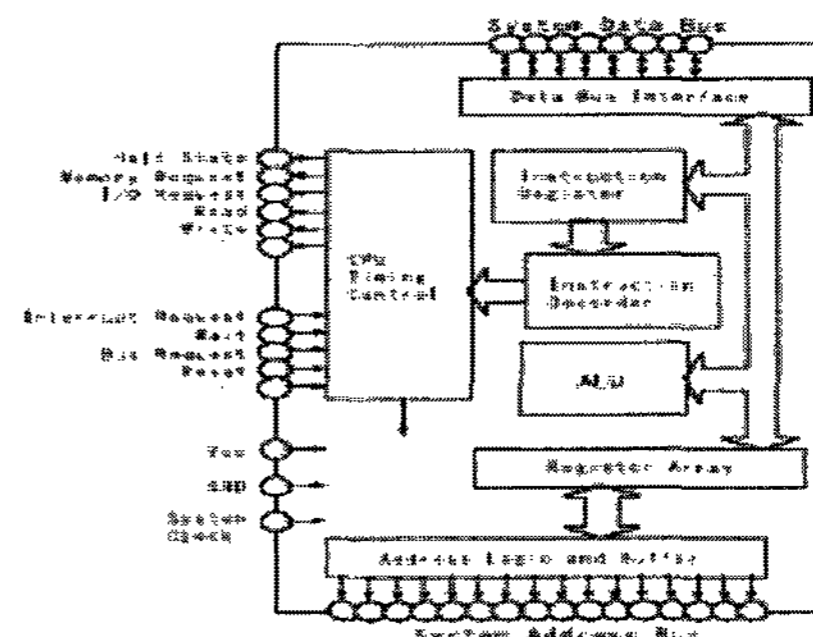
본 절에서는 현재의 SOP에서 메모리나 구동드라이버 보다 하드웨어 복잡도가 높은 모듈의 집적상황을 살펴보고자 한다.

[그림 12] (a)는 Z-80 프로세서를 CG(Continuous Grain)-TFT를 이용 유리기판에 집적화 시킨 Sharp사의 LCD 모듈의 사진이며, [그림 12] (b)는 ALU, Register array, 데이터버스, 인터페이스, instruction decoder, CPU Timing 컨트롤러, address logic 및 buffer block을 포함하고 있는 CG-Silicon TFT로 제작된 Z-80 프로세서의 블록다이어그램이다^[13]. CG-TFT는 기존의 Poly-Si와 단결정 Si 형태의 구조를 혼합적으로 사용함으로써 전기적인 특성 및 전하 이동도를 높인 기술이다. 프로세서의 게이트 카운트는 13K이고, 프로세서의 면적은 13 × 13 mm²이다. 클럭주파수는 3 MHz에서 동작되며, 공급 전원은 5 V이다. 3 μm, CG-Silicon 공정을 사용했으며, TFT의 Gate length는 2 μm이다. 비슷한 디자인 룰이 적용된 실리콘 공정에서 제작된 일반 Z-80 프로세서와 비교 시 대략 전류 소모량은 40% 정도의 감소가 있으며, 이는 모바일 응용분야에서 장점이 될 수 있다. 유리기판 위에 집적된 프로세서는 전기적 절연을 강화하며 정전용량을 줄일 수 있는 SOI(Silicon-On-Insulator) 구조를 갖는 TFT를 사용, 동작 주파수는 높일 수 있고 전력소모는 감소된 특징을 가지고 있다.

프로세서의 집적화와 함께 최근 Sharp에서는 CG-Silicon 기반에서 4 인치 TFT-LCD에 오디오 회로를 집적



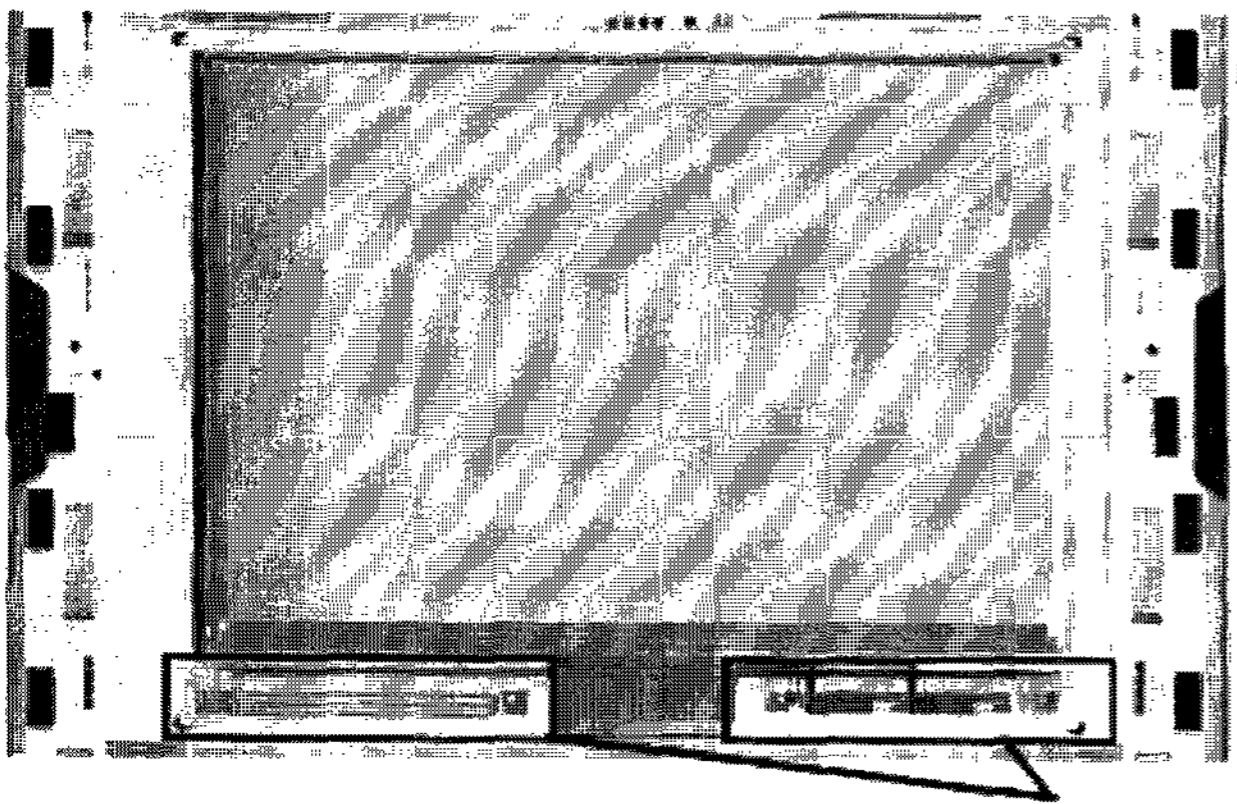
(a)



(b)

[그림 12] 프로세서를 내장한 Sharp의 SOP

(a) Z-80이 내장된 CG-TFT-LCD (b) CG-Silicon으로 제작된 Z-80 프로세서 블록다이어그램



(Audio circuitry located here!)

System LCD mother glass with embedded audio circuitry, developed by Sharp and SEL

[그림 15] 오디오 회로가 내장된 4인치 CG-TFT LCD

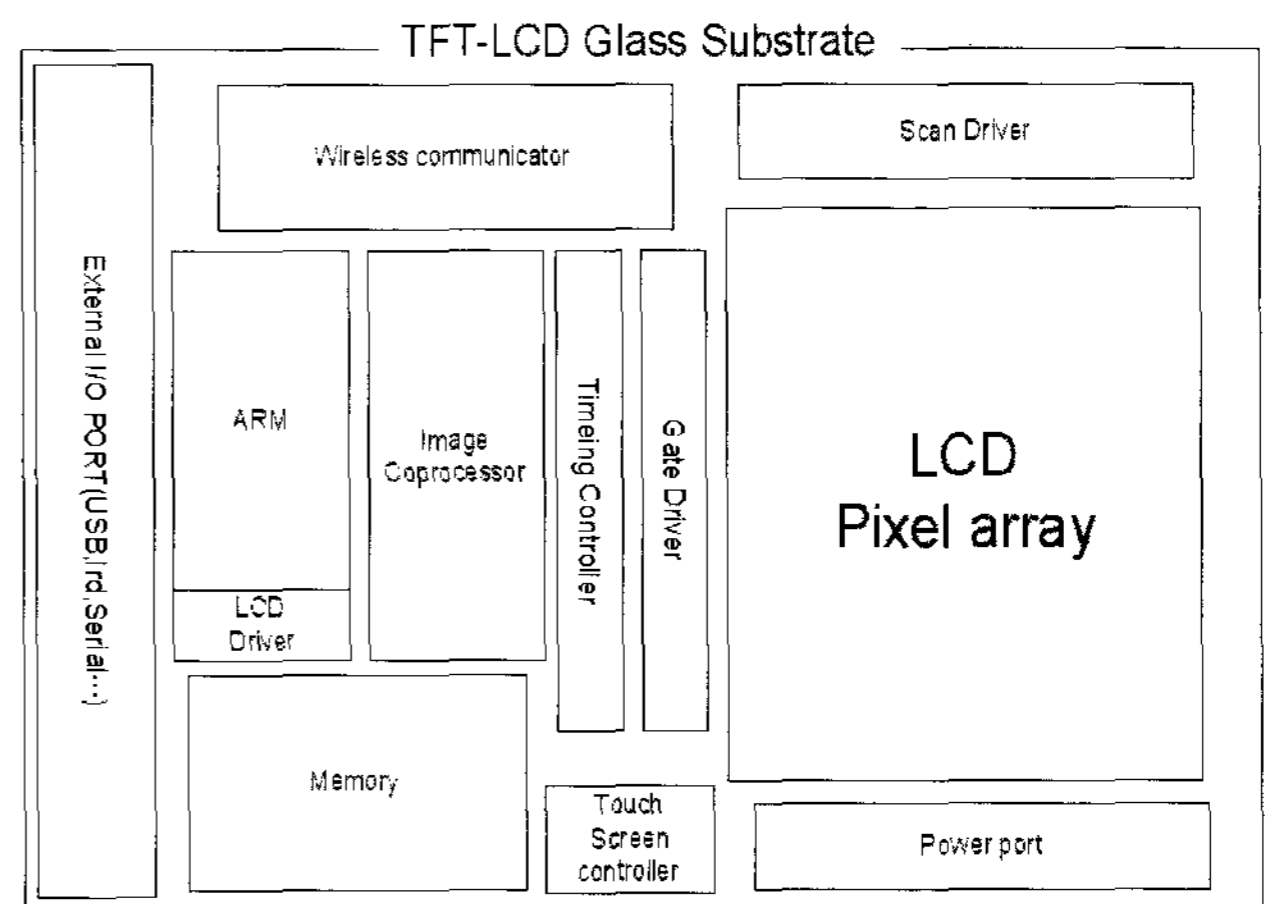
시킨 사례를 발표하였다. [그림 15]의 디스플레이 화면은 VGA급의 해상도를 가지며, 오디오 회로는 Shift Register, Latch, DAC, Analog input pre-amp, Volume 컨트롤러, Power Amp 등으로 구성되어 있고, 12-Bit DAC을 이용 48KHz의 PCM 디지털 오디오를 재생이 가능하다^[14]. 지금까지 살펴본 프로세서 및 오디오 회로가 적용된 SOP 적용된 실제 응용분야를 바탕으로 살펴 보면, 현재 SOP에서 상황은 미세한 디자인 룰 및 집적 가능한 하드웨어의 복잡성 문제 등 기존의 실리콘 공정에서 제작된 디스플레이 프로세서와 많은 차이가 있어 앞으로 공정 및 아키텍처 측면에서 많은 연구가 필요하다고 할 수 있다.

V. 종합 분석 및 향후 전망

디스플레이 시스템에서 사용되는 프로세서의 아키텍처는 크게 4가지 형태로 구분할 수 있다. 첫 번째는 마이크로 프로세서를 이용하여, 시스템 컨트롤 및 화상과 동화상 처리를 단일 프로세서로 수행하는 방법으로, 화상처리 알고리즘 및 프로파일이 소프트웨어를 바탕으로 처리되기 때문에, 쉽게 변경 가능하다는 장점을 가지고 있지만, 파워 소모는 크다. 두 번째는 중, 저 성능의 마이크로 프로세서와 적은 하드웨어 복잡성을 갖는 ASIC을 프로세서 내부나 외부에 장착, 특정 연산 시 ASIC을 통하여 연산성능을 높이는 방법으로, 적은 하드웨어 오버헤드로 효율을 높일 수 있는 장점을 가지고 있지만, 응용환경의 변화 시 ASIC의 성능을 효율적으로 사용할 수가 없다는 단점이 있다. 세 번째로는 중, 저 성능의 마이크로 프로세서와 화상처리용 코프로세서를 사용, 연산성능을 향상시키는 방법으로, 하드웨어 복잡성은 두 번째 방법에 비해서 높아 지지만, Programmable한 구조를 가지고 있어서, 응용환경 변화 시 쉽게 대처할 수 있고, 메인 프로세서의 개발환경도 그대로 사용할 수 있다. 네 번째로는 저성능의 마이크로 프로세서와 복잡한 ASIC을 통하여 연산 성능을 향상시키는 방법으로, 연산성능은 다른 구조에

비해서 제일 높고, 파워 소모는 제일 적으나 하드웨어의 복잡도는 제일 크다. 이미 현재의 기술로 메모리, 메모리 컨트롤러 및 저 성능 프로세서가 SOP로 적용이 되었고, Poly-Si TFT의 공정기술이나 재료의 안정화 기술도 빠르게 발전되고 있기 때문에, 추후에는 보다 복잡한 그래픽 컨트롤러, 터치 패널 용 마이크로 컨트롤러, 멀티미디어 데이터를 Decoding 가능한 DSP Core 및 고성능 프로세서 순으로 집적화가 추진될 것으로 보인다. 또한, 응용환경에 따라서 여러 가지 프로세서 아키텍처가 다양하게 적용될 것이다. 스마트 디스플레이와 같이 중형크기의 다용도 기능이 요구되는 환경이라면 저 성능 마이크로 프로세서에서 고성능 범용 마이크로 프로세서의 집적으로 기술이 발전되어 나갈 것으로 예측되며, 요즘의 PDA나 휴대전화기 같이 소형 모바일 환경에서 화상 데이터의 처리가 주로 요구되는 분야에서는 저 성능 마이크로 프로세서에서 중, 저 성능 마이크로 프로세서와 간단한 ASIC 또는 코프로세서가 같이 사용되는 구조로 발전될 것으로 보인다. 디지털 카메라와 같이 높은 해상도를 가지면서 화상데이터 처리가 중요한 분야는 저 성능 마이크로 프로세서에서 저 성능 마이크로 프로세서와 고성능 화상처리 ASIC이 혼합된 형태로 기술이 발전될 것으로 예측된다. 또한, 향후 유비쿼터스 환경에서는 원격 디스플레이 환경이 매우 중요하게 된다^[15]. 그렇기 때문에 저가, 저 소모전력, 경량성 등의 모바일 디스플레이 환경이 더욱 절실히 요구될 것으로 보인다. 따라서 이러한 환경 구축에 유리한 SOP가 널리 활용될 전망이다.

위와 같은 필요에 의해, 현재 본 연구팀에서는 [그림 16]에서 나타낸 바와 같이 활용도가 높은 ARM을 메인 프로세서로 하고 코프로세서 아키텍처를 바탕으로 하는 SOP용 디스플레이 프로세서 구현 방안에 대하여 연구가 추진 중이다. 보다 구체적으로는, TFT에 집적 가능하며, 디스플레이 연산에 우수하고, TFT 공정상의 단점을 보완하기 위해서 Fault Tolerance 기술이 적용된 화상 코프로세서 아키텍처를 차세대 정보 디스플레이 기술 개발단의 지원 하에 개발하고 있다.



[그림 16] 본 연구팀에서 개발중인 디스플레이용 ARM+코프로세서 구조

VI. 결 론

저가격, 고 신뢰성, 저전력 및 경량화 디스플레이 시스템을 구현하는데 적합한 System on Panel 기술에 대해서, 현재의 공정상 이슈 및 현재 진행중인 픽셀배열에 메모리 및 센서를 집적하는 연구 동향을 소개, 분석하였다. 또한, 디스플레이 프로세서의 향후 방향을 설정하기 위하여 기존의 화상 및 디스플레이 프로세서 아키텍처가 소개되었으며, 현재 System on Panel 상황과 비교분석을 통하여, 아키텍처 별 응용분야에 대한 전망 및 향후 발전경향을 예측하여 보았다. 향후 다양한 응용분야에 적합한 서로 다른 아키텍처를 바탕으로 하여, 메모리를 시작으로 보다 복잡한 화상 처리 프로세서로 디스플레이 시스템에 집적화될 것으로 예상된다.

참 고 문 헌

- [1] Masao Sugimoto, et al., "Multi Media and Displays in the 21st Century, " IDW'01, pp.3-6, October 2001.
- [2] Kimmel. J, et al., "Display technologies for portable communication devices," Proceedings of the IEEE, Vol. 90, pp.581-590, April 2002.
- [3] Yoneda. K, et al., "Development trends of LTPS TFT LCDs for Mobile applications," 2001 IEEE Symposium on VLSI Circuits, pp. 85-90, June 2001.
- [4] Yojiro Matsuda. et al., "Concept of a System on Panel," IDW'00, pp.171-174, December 2000.
- [5] H. Kimura, et al., "A 2.15 inch QCIF Reflective Color TFT-LCD with Digital Memory on Glass, " SID'01 Digest, pp.268-271, Jun 2001.
- [6] M. Inoue. et al., "Low Power Consumption TFT-LCD with 4-bit Dynamic Memories Embedded in Each Pixel," IDW'01, pp.1599-1602, December 2000.
- [7] Jeong Hyun Kim. et al., "Fingerprint Scanner Using a-Si: H TFT-Array," SID'00 Digest, pp. 353-355, May 2000.
- [8] <http://www.Intel.com>.
- [9] Ing-Jer Huang. et al., "A cost effective multimedia extension to ARM7 microprocessors," 2002 IEEE International Symposium on Circuit And System, Vol.2, pp.304-307, May 2002.
- [10] Ranganathan. P. et al., "Performace of image and video processing with general-purpose processors and media ISA extensions," 1999 Proceedings of the 26th International Symposium on Computer Architecture, pp.124-135, May 1999.
- [11] Ohashi, M. et al., "A 27 MHz 11.1 mW MPEG-4 video decoder LSI for mobile application," 2002 ISSCC, Vol.1, pp.366 - 474, Feb. 2002.
- [12] Berekovic. M, et al., "Architecture of an image rendering co-processor for MPEG-4 systems," 2000 IEEE International Conference on Application-Specific Systems, Architectures, and Processors, pp.15-24, July 2000.
- [13] Bu Yeal Lee, et al., "A CPU on a Glass Substrate Using CG-Silicon TFTs," 2003 ISSCC, Vol.4, pp. 164-165, Feb. 2003.
- [14] <http://www.sharp.com>
- [15] Uemukai. T, et al., "A remote display environment: an integration of mobile and ubiquitous computing environments," 2002 WCNC, Vol.2, pp. 618-624 March 2002.