

기술 특 집

System-on-Glass를 위한 poly-Si TFT 아날로그 회로

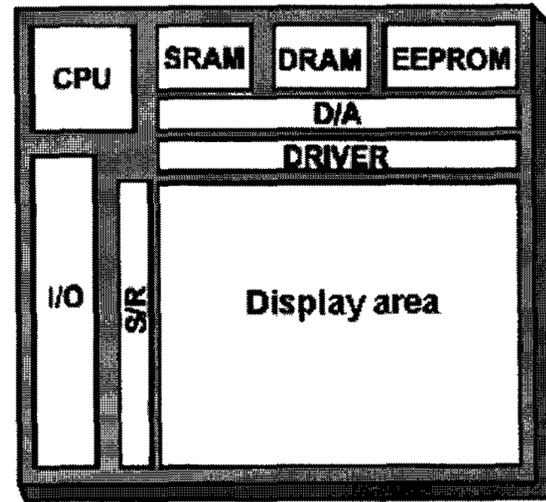
유창식, 김대준, 이균렬 (한양대학교 전자전기컴퓨터공학부 집적회로연구실)

I. 서 론

a-Si TFT의 경우 트랜지스터의 mobility가 너무 낮아 a-Si TFT는 화소 트랜지스터로만 사용되고 driver IC는 외부에 장착되어 디스플레이 시스템의 부피와 가격이 증가 되는 문제점이 있다. 최근 poly-Si TFT에 대한 연구가 활발히 진행되어 외부의 드라이버 IC를 완전히 없앤 system-on-glass(SoG)에 대한 관심이 증가하고 있다. 외부의 드라이버 IC를 모두 glass 즉 패널 위에 집적할 수 있다면 패널과 외부 드라이버 IC 사이의 연결선이 필요 없게 되어 TFT LCD의 불량률이 작아지고 신뢰성이 크게 향상될 수 있다^[1]. 궁극적으로는 데이터 및 게이트 드라이버 IC 뿐만 아니라 controller를 포함한 모든 디스플레이 시스템이 패널에 집적되는 [그림 1]과 같은 형태의 SoG가 연구자들의 최종 목표일 것이다.

지금까지 발표된 논문을 바탕으로 poly-Si TFT를 이용한 SoG의 기술적 수준을 [표 1]에 정리하였다. 게이트 드라이버의 경우에는 모든 회사에서 집적하는데 성공하였는데 비하여 digital-to-analog(D/A) 변환기, 아날로그 데이터 드라이버, DC-DC 변환기 등의 경우에는 몇 회사만이 집적하는데 성공한 것을 확인할 수 있다. 이는 poly-Si TFT가

a-Si TFT에 비해 트랜지스터의 성능이 크게 향상되었다고는 하나 여전히 single-crystal에 형성되는 트랜지스터의 수준에는 미치지 못하는 것이 사실이다. 특히 poly-Si의 grain boundary가 어디에 형성되는지에 따라 poly-Si TFT의 특성이 크게 변화할 수 있어 matching 특성이 매우 중요한 아날로그 회로의 구현에는 많은 어려움이 있다. 본 논문에서는 poly-Si TFT를 이용한 SoG용 아날로그 회로에 대하여 알아본다.



[그림 1] Poly-Si TFT를 이용한 SoG의 개념도

[표 1] Poly-Si TFT를 이용한 SoG의 기술적 수준

회사명	화면 크기	해상도	Gate driver	DAC	Analog driver	Timing controller	DC-DC converter	Pixel memory	출처
Sony	2.2"	176xRGBx220	O	X	X	X	CP	X	SID'02
NEC	2.4"	176xRGBx234	O	8-bit	O	O	X	X	SID'02
Sanyo	2.1"	176xRGBx208	O	X	O	X	CP	O	SID'02
Sharp	3.7"	480xRGBx640	O	X	O	O	X	X	SID'02
Philips	1.6"	128xRGBx160	O	4-bit	O	X	CP	O	IDMC'02
Samsung	2.04"	240xRGBx240	O	X	O	X	X	X	IDMC'02
Sony	3.82"	320xRGBx480	O	8-bit	O	O	CP	X	IDRC'02
Toshiba	2.15"	144xRGBx176	O	4-bit	O	X	X	O	SID'01

II. Poly-Si TFT를 이용한 SoG용 아날로그 회로

[그림 1]의 poly-Si TFT를 이용한 SoG에서 아날로그 회로 부분은 D/A 변환기, 아날로그 데이터 드라이버, 그리고 DRAM과 EEPROM 등의 일부분에 해당할 것이다. 이 중에서 D/A 변환기, operational amplifier(op-amp), 아날로그 데이터 드라이버에 대하여 살펴본다.

1. D/A 변환기

디지털 비디오 데이터를 아날로그 화소 전압으로 변환하는 D/A 변환기가 SoG 구현의 가장 큰 관건이라고 할 수 있다. [표 1]에 정리한 것과 같이 D/A 변환기를 내장한 SoG를 구현한 예는 그리 많지 않으며 특히 그 해상도는 6-bit 수준에 머물러 있다. 이는 해상도가 더 높아질 경우 요구되는 각 소자의 matching 특성을 poly-Si TFT로 만족시키기는 쉽지 않기 때문이다. 또한 요구되는 해상도가 6-bit이라고 하더라도 실제적으로 요구되는 matching 특성은 6-bit을 상회하여 8-bit 수준의 matching 특성이 요구된다. 이는 디스플레이 시스템의 특성상 [그림 2]와 같은 특성을 갖도록 비선형적인 gamma-correction을 해주어야 하기 때문이다.

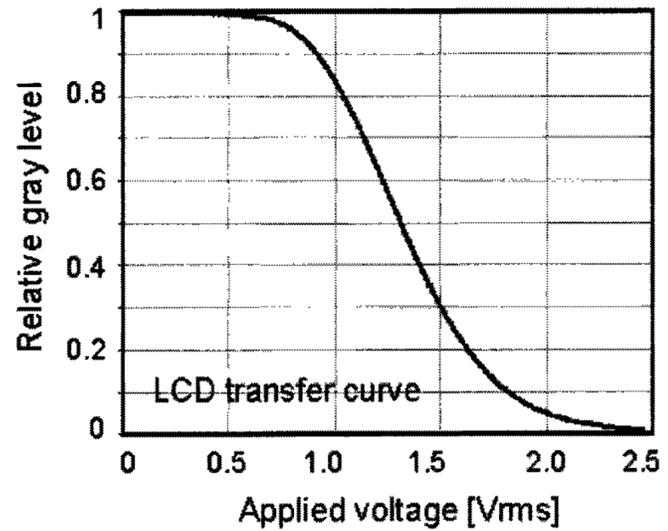
가장 일반적으로 사용되는 D/A 변환기의 구조는 [그림 3]과 같이 저항열을 이용하는 것이다. 물론 그림의 구조에서 gamma correction을 위하여 저항열의 중간에 gamma correction 전압을 인가하는 것이 필요하다. [그림 3]과 같은 구조는 매우 간단하기는 하나 해상도가 올라가면 저항열로부터 출력단까지 연결되는 스위치의 개수가 많아지는 문제가 있다. 만일 6-bit 해상도라고 하면 6개의 스위치가 직렬로 연결되어 변환 속도에 제한이 있을 수 있다. 이를 해결하는 가장 쉬운 방법은 [그림 4]와 같이 저항열을 접는 (folded) 방식을 취하는 것이다. 이렇게 하면 해상도와 무관하게 직렬로 연결되는 스위치의 개수는 2개로 일정하다.

저항열을 이용하지 않고 캐패시터를 이용한 D/A 변환기를 사용하는 예도 꾸준히 발표되고 있다. C-2C 캐패시터의 charge sharing을 이용하여 D/A 변환기를 구현한 예가 [그림 5]에 표시되어 있다^[2]. Gamma correction은 아날로그 multiplexer를 이용하여 기준 전압 Vr1과 Vr2를 MSB에 맞추어 선택함으로써 이루어진다.

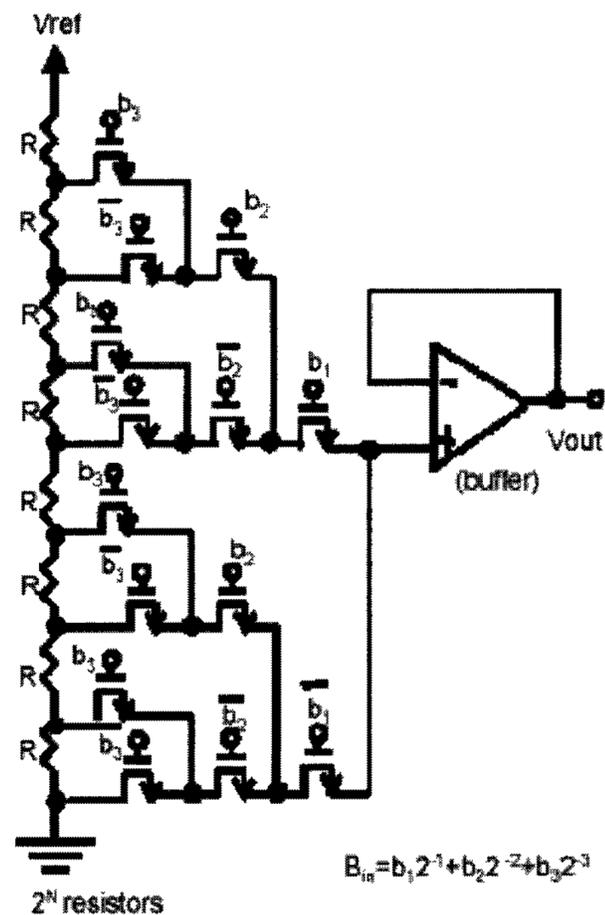
이와 같이 다양한 형태의 D/A 변환기를 사용할 수 있는데 현재 poly-Si TFT의 기술 수준으로 어느 정도의 해상도를 구현할 수 있는지 예측할 필요가 있다. 이를 위하여 본 연구실에서는 [그림 4]의 저항열을 이용한 D/A 변환기에서 각 해상도별로 요구되는 저항의 matching 특성을 예측하여 [그림 6]에 그 결과를 표시하였다. 6-bit의 해상도를 갖는 저항열 D/A 변환기를 위해서는 저항의 크기가 7%의 정확도를 갖고 matching 되어야 하며, 8-bit D/A 변환기를 구현하기 위해 요구되는 저항의 matching 정도는 3%이

다. 단순히 생각할 경우 8-bit D/A 변환기의 경우 요구되는 matching 정도는 8-bit의 해상도로부터 계산되는 $1/2^8$ 와 gamma correction을 위한 비선형 특성 때문에 요구되는 2-bit의 추가적인 정밀도를 고려할 경우 $1/2^{10}$ 로 poly-Si TFT로는 달성하기 어려운 숫자이다. 하지만, gamma correction을 위해 저항열의 중간에 보정 전압을 넣어주기 때문에 요구되는 저항값의 정밀도는 $1/2^{10} \sim 0.1\%$ 보다 훨씬 부담이 적은 3% 정도이다. 이 결과로부터 6-bit 해상도의 저항열 D/A 변환기는 충분히 구현 가능할 것으로 예상하며 8-bit의 경우에는 poly-Si TFT 공정에서 저항의 matching 정도에 대한 좀더 자세한 자료가 확보되어야 달성 가능 여부를 판단할 수 있을 것으로 보인다.

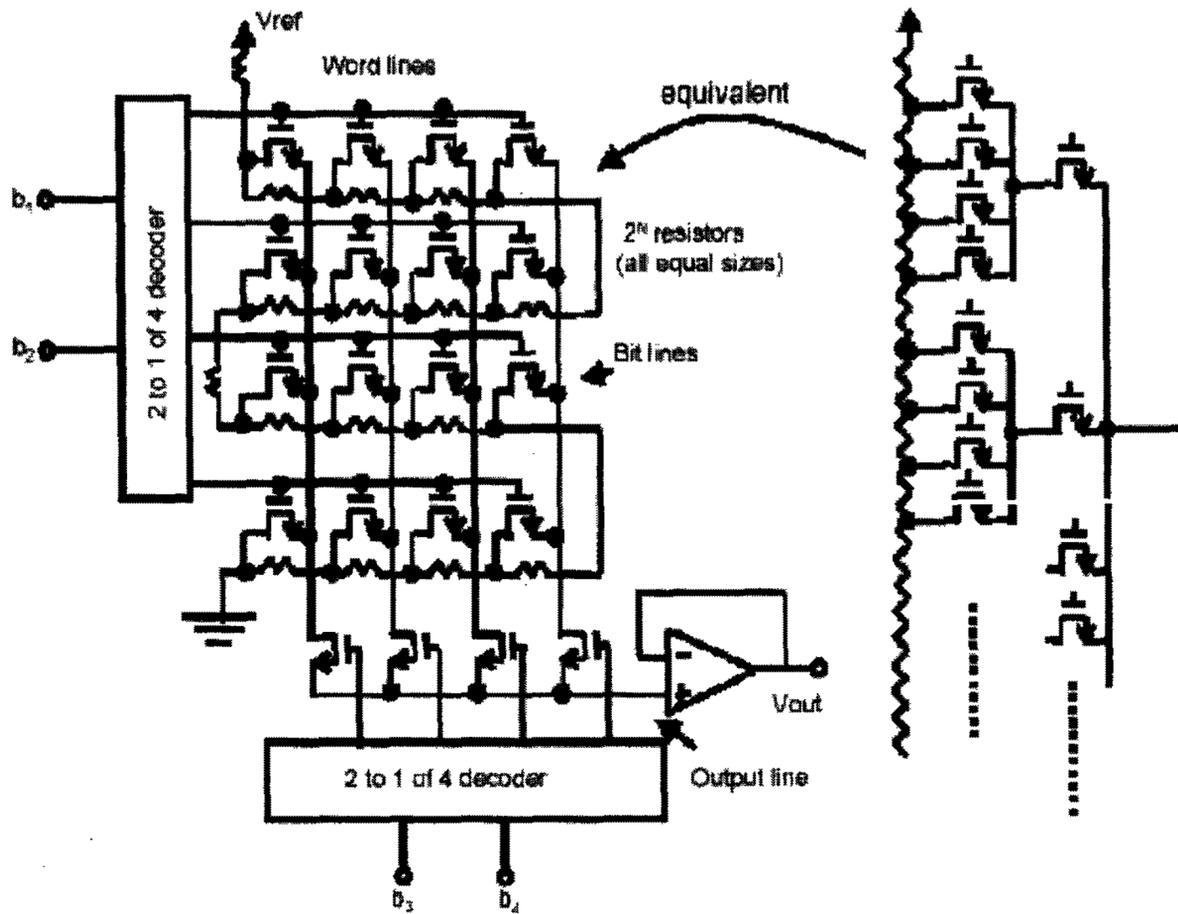
해상도가 높아질 경우에는 저항값의 matching 정도만으로 D/A 변환기 구현 가능성이 확인되지 않는다. 저항열 D/A 변환기의 경우 저항열 스위치를 on/off하는 신호를 생



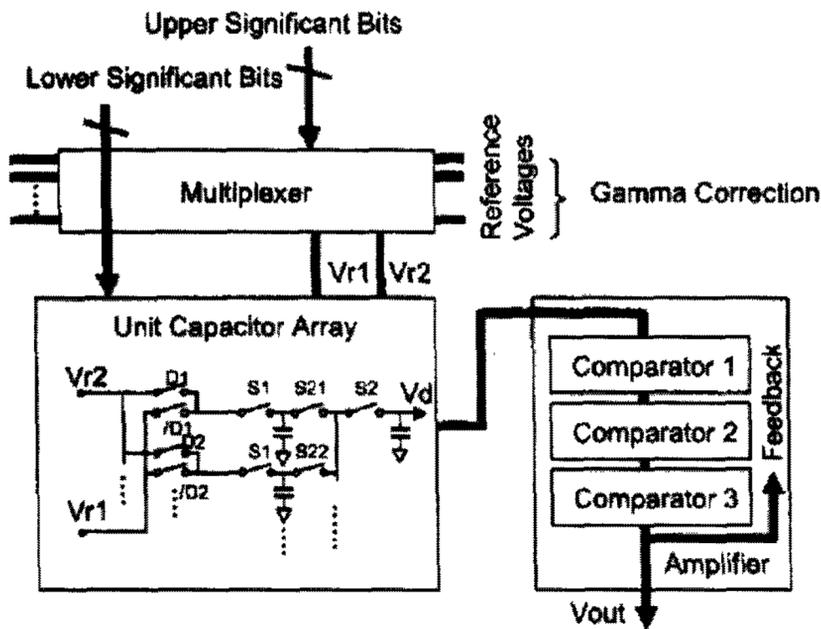
[그림 2] Gamma-correction 특성



[그림 3] 저항열을 이용한 3-bit D/A 변환기



[그림 4] Folded 저항열을 이용한 4-bit D/A 변환기



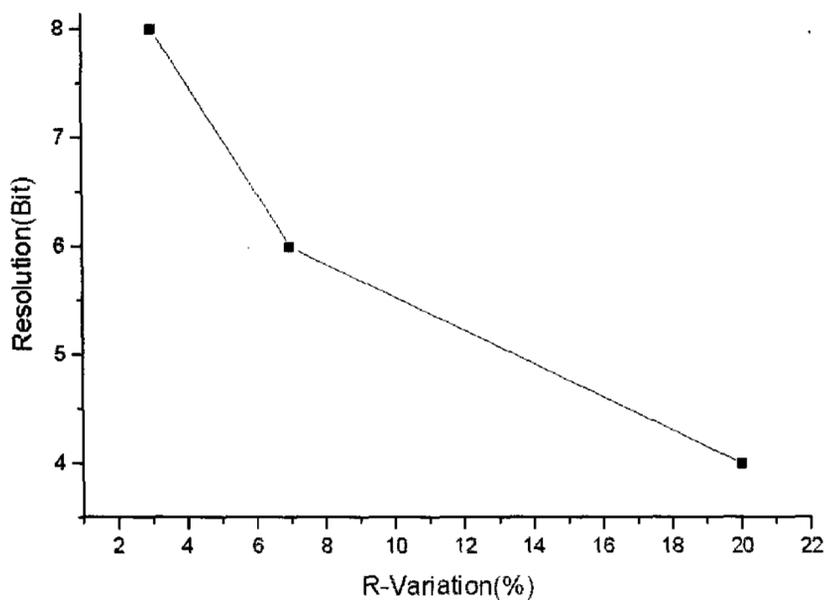
[그림 5] C-2C 캐패시터를 이용한 D/A 변환기

성하기 위한 디코더가 필요한데 그 크기가 해상도에 지수적으로 비례하므로 8-bit 이상이면 디코더의 크기가 실제 D/A 변환기의 저항열보다 훨씬 커질 수 있다. 특히 poly-Si TFT의 경우 mobility가 single-crystal 트랜지스터에 비해 훨씬 작으므로 면적이 훨씬 더 커질 것이다. 따라서, 지금까지는 저항열 D/A 변환기가 가장 널리 쓰이는 구조이지만 해상도를 더 높여야 할 필요성이 있을 경우에는 면적 문제를 해결할 수 있는 새로운 구조를 개발하여야 할 것이다.

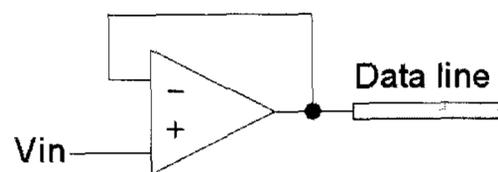
2. Operational amplifier(Op-amp)

Op-amp는 [그림 7]과 같이 unity-gain 버퍼 형태로 연결하여 데이터 드라이버로 사용할 수 있고, 전하 펌프를 이용한 DC-DC 변환기에 전압 비교기로 사용할 수도 있다. 그 외에도 op-amp는 아날로그 회로의 기본이 되는 블록이므로 SoG를 위해서는 필수적으로 개발되어야 한다. 가장 기본적인 형태인 [그림 8]과 같은 7개의 트랜지스터를 이용한 op-amp에 대해서 살펴보기로 한다. Unity-gain 버퍼 형태로 연결하여 데이터 드라이버로 사용하는 경우를 가정한다.

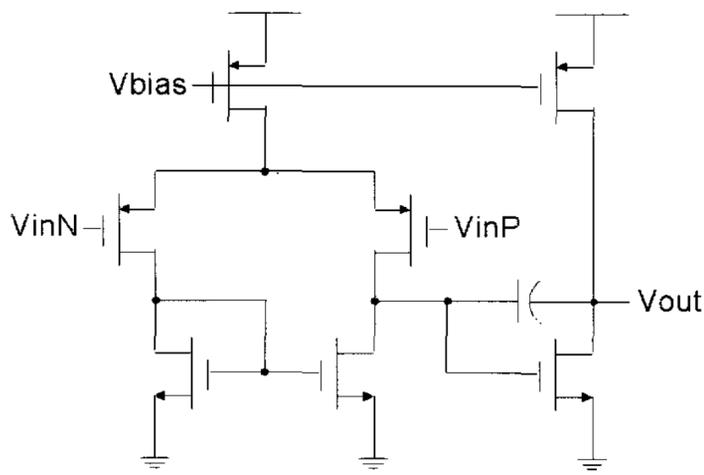
Op-amp에서 가장 중요한 특성은 DC 전압 이득이다. Op-amp의 DC 전압 이득을 A라고 가정하면 unity-gain



[그림 6] 저항의 mismatch에 따른 저항열 D/A 변환기의 해상도



[그림 7] Op-amp를 unity-gain 버퍼 형태로 연결하여 데이터 드라이버로 사용한 예



[그림 8] 7개의 트랜지스터를 이용하여 구현한 op-amp

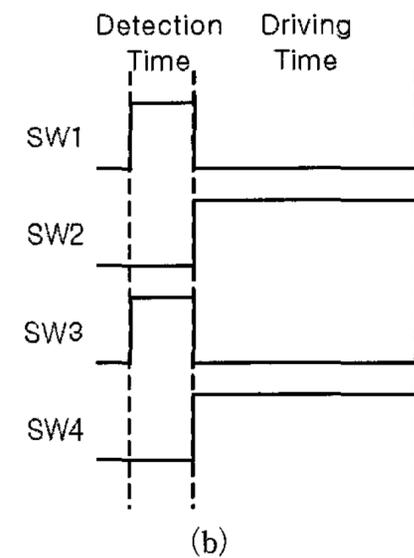
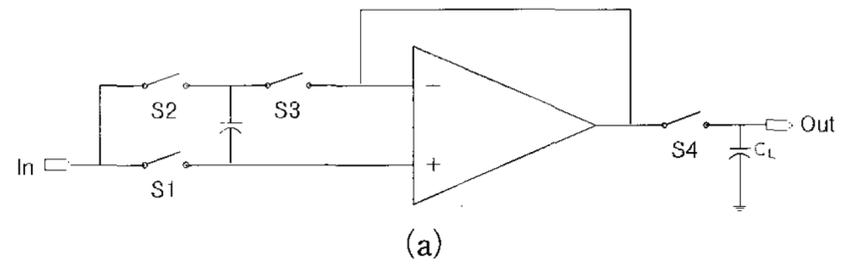
버퍼 형태로 연결되었을 때 입력 전압과 출력 전압 사이에는 다음과 같은 관계가 성립한다.

$$\frac{V_{out}}{V_{in}} = \frac{A}{1+A} \quad (1)$$

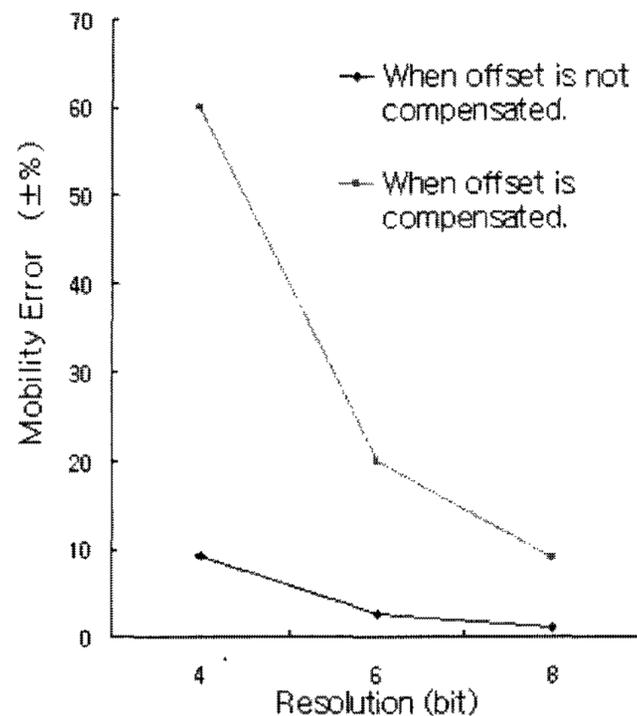
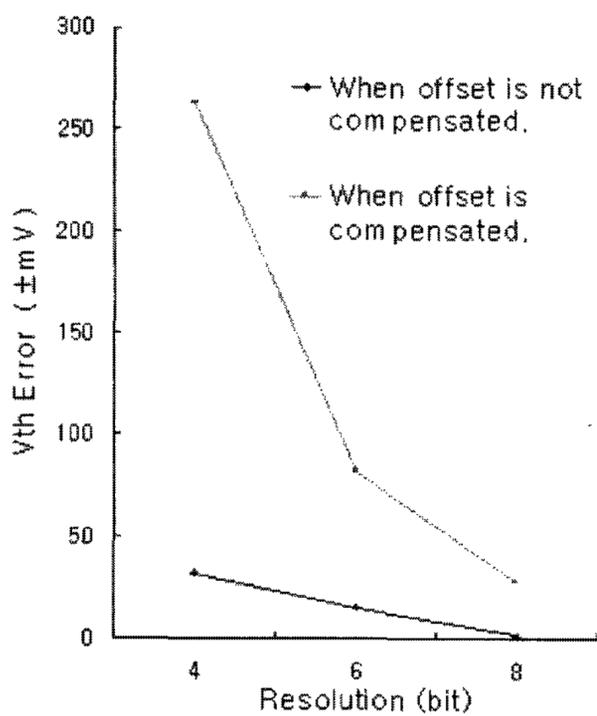
디스플레이 시스템의 해상도가 8-bit이라고 하면 입력 전압과 출력 전압 사이에 허용 가능한 오차는 $1/2^9$ 으로 주어진다. 이로부터 op-amp에 요구되는 DC 전압 이득을 구해보면 약 60dB 정도이다. 이와 같이 해상도에 따라 필요한 DC 전압 이득을 갖도록 op-amp를 설계하여야 하는데, poly-Si TFT의 경우에는 grain boundary에 따라 문턱 전압과 mobility와 같은 트랜지스터의 특성이 크게 변하고 그에 따라 DC 전압 이득도 의도한 값과 전혀 다른 크기를 갖게 될 수 있다. 따라서, poly-Si TFT의 특성이 크게 변하여 가장 좋지 않은 특성을 갖는 경우에도 해상도에 따라 요구되는 DC 전압 이득을 갖도록 충분한 여유를 두고 설계를 하여야 한다.

오프셋 전압은 single-crystal 트랜지스터로 op-amp를 구현할 경우에도 문제가 되는 것이지만 poly-Si TFT에서

는 그 문제가 더욱 심각하다. Grain boundary의 위치에 따라 바로 인접한 트랜지스터의 경우에도 문턱 전압이나 mobility가 50% 이상 차이가 날 수 있으므로 오프셋 전압의 크기는 single-crystal 트랜지스터의 경우에 비해 훨씬 크다. 이를 해결하기 위한 가장 쉬운 방법은 [그림 9]와 같은 오프셋 보상 회로를 사용하는 것이다. 이와 같은 오프셋 보상 회로를 사용하더라도 오프셋을 완전히 제거할 수는 없다. 디스플레이 시스템의 해상도에 따라 오프셋 보상 회로를 사용하기 전과 후에 허용되는 트랜지스터의 문턱 전압과 mobility의 mismatch 정도를 조사한 결과가 [그림 10]에



[그림 9] (a) Op-amp의 오프셋 보상 회로와 (b) 타이밍도



[그림 10] Op-amp를 이용하여 아날로그 데이터 드라이버를 구현할 경우 오프셋 보상 전후의 (a) 문턱 전압 및 (b) mobility의 mismatch에 따른 실현 가능한 디스플레이 해상도

표시되어 있다.

오프셋 보상 회로를 이용하여 poly-Si TFT의 문턱 전압과 mobility의 mismatch에 의한 오프셋 전압을 제거하여 필요한 해상도를 구현할 수 있다고 하더라도, 현재의 TFT 성능으로는 패널의 크기에 따라 아날로그 데이터 드라이버로 사용하지 못할 수도 있다. [그림 8]에 표시한 op-amp의 경우 다음과 같은 식으로 슬루율이 주어진다.

$$SR = \frac{I_{bias}}{C_c} \quad (2)$$

여기서 I_{bias} 는 차동 증폭단의 바이어스 전류의 크기이고 C_c 는 주파수 보상을 위한 보상 캐패시터의 크기이다. 패널의 크기가 커질수록 부하 캐패시터의 크기가 커지므로 그에 따라 필요한 보상 캐패시터 C_c 의 크기도 커진다. 또한 패널의 크기가 클수록 QVGA → VGA → XGA 등의 순서로 게이트 라인과 데이터 라인의 수가 많아지므로 하나의 데이터 라인을 구동할 수 있는 시간이 짧아진다. 즉, 패널의 크기가 커지면 더 짧은 시간 안에 더 큰 부하 캐패시터를 구동해야 하는 상황이 발생한다. 이를 해결하기 위한 방법은 I_{bias}/C_c 의 식에서 I_{bias} 를 증가시키는 것이 가장 확실하고 간단한 방법이다. 즉, 트랜지스터에 전류를 더 많이 흐르게 해야 하는데 그 방법에는 over-drive 전압을 증가시키는 방법과 트랜지스터의 크기를 증가시키는 방법이 있다. 하지만, over-drive 전압을 증가시키는 것은 트랜지스터를 포화 영역에서 빠져 나오게 할 가능성이 있고 트랜지스터의 크기를 증가시키는 것은 하나의 화소 영역에 아날로그 데이터 드라이버를 집적하지 못하게 할 수 있다. 아날로그 데이터 드라이버를 구현할 경우 고려할 이러한 제약 조건을 정리하면 다음과 같다.

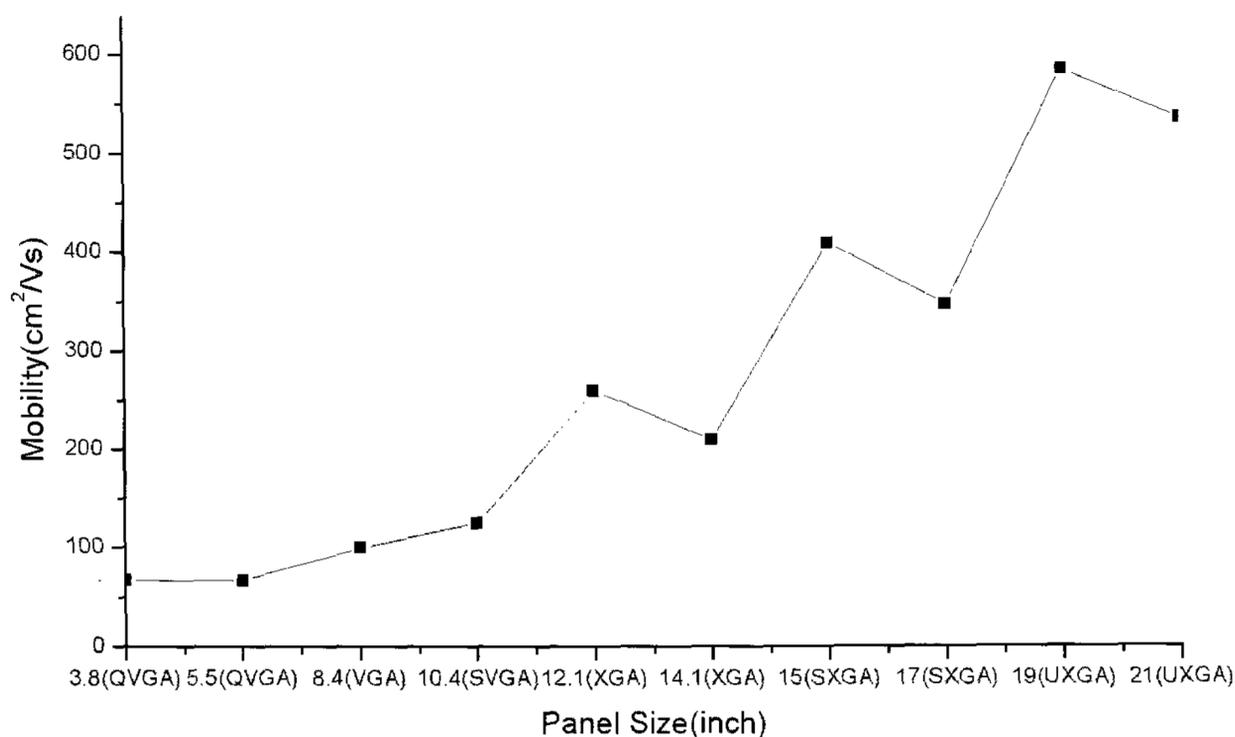
- ① 해상도에 따른 DC 전압 이득
- ② 해상도에 따른 오프셋 전압
- ③ 패널의 크기와 해상도에 따른 데이터 구동 시간
- ④ 데이터 드라이버를 집적할 수 있도록 허용되는 면적

이중에서 첫 번째와 두 번째 제약 조건은 회로 설계 기술을 이용하여 해결할 수 있다. 하지만, 세 번째와 네 번째 제약 조건은 면밀한 검토가 필요하다.

패널의 크기에 따라 op-amp를 이용한 아날로그 데이터 드라이버 구현시 요구되는 트랜지스터의 성능을 조사하기 위해 다음과 같은 접근 방식을 선택하였다.

- ① 현재의 poly-Si TFT 성능 수준을 이용하여 op-amp와 오프셋 보상 회로를 설계
- ② 패널의 크기와 해상도에 따른 화소의 크기를 계산하여 아날로그 데이터 드라이버가 들어갈 수 있는 면적을 구함
- ③ ②에서 구한 면적과 ①에서 설계한 op-amp의 면적의 비율을 계산하여 그 비율대로 모든 트랜지스터의 크기를 조절함(화소 면적이 작을 경우 트랜지스터의 크기는 줄어들 것임)
- ④ 패널의 크기와 해상도에 따라 허용되는 데이터 구동 시간 계산
- ⑤ ④에서 계산한 데이터 구동 시간과 ③에서 조절한 트랜지스터의 크기를 갖는 op-amp의 슬루율을 비교
- ⑥ ⑤의 비교 결과 슬루율이 더 작을 경우 그 비율만큼 트랜지스터의 mobility를 증가시켜야 함

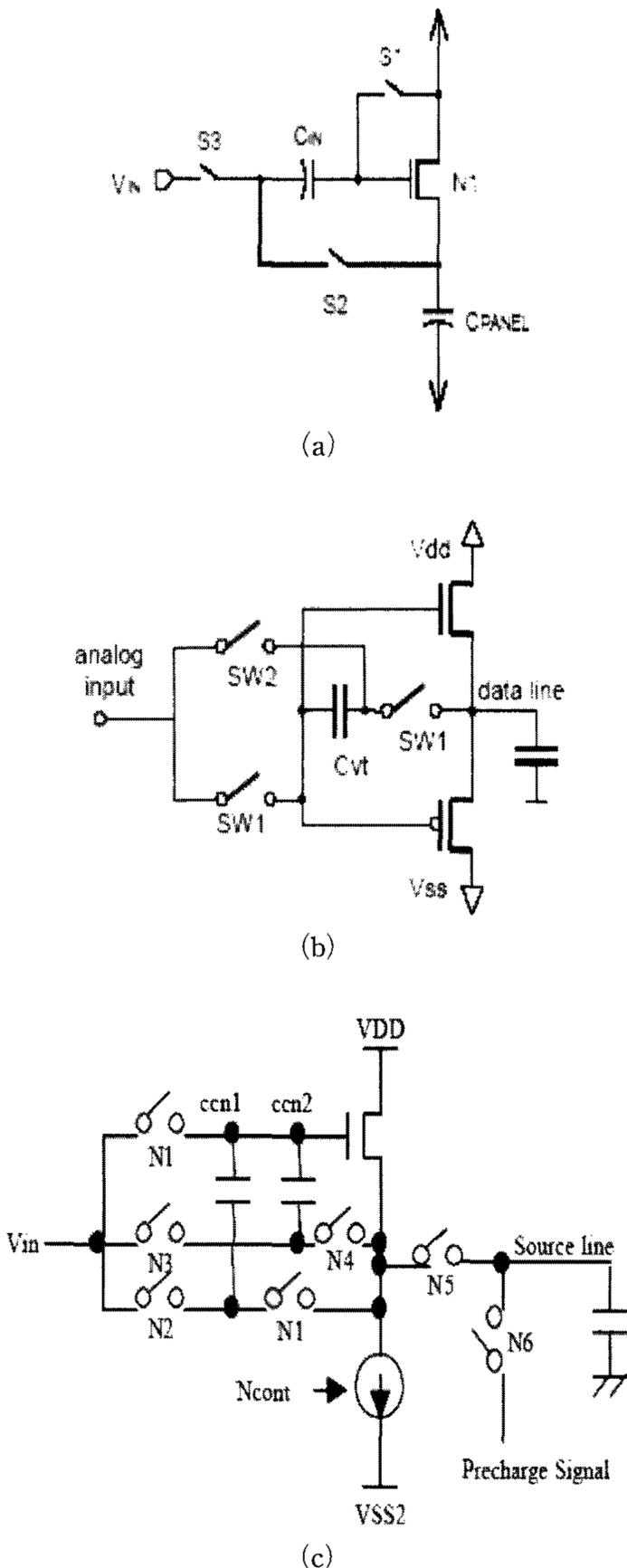
이러한 방식으로 패널의 크기에 따라 요구되는 트랜지스터의 mobility를 구하여 [그림 11]에 표시하였다. [그림 11]에서 보면 15인치보다 17인치에서 요구되는 mobility가 더 작다. 이는 15인치와 17인치의 해상도가 SXGA로 동일하여 데이터 구동 시간은 동일한 반면 화소 면적은 17인치가 더 크기 때문에 mobility가 더 작더라도 필요한 슬루율을 얻을 수 있기 때문이다. 현 수준의 poly-Si TFT를 이용할 경우 5.5인치까지는 구현이 가능하여 PDA 또는 E-book 응용에 poly-Si TFT SoG를 적용할 수 있을 것으로 보인다. 이는 [표 1]의 현 기술 동향과도 일치하는 결과이다.



[그림 11] Op-amp를 아날로그 데이터 드라이버로 사용할 경우 패널의 크기에 따라 요구되는 mobility

3. 아날로그 드라이버

Single-crystal 트랜지스터를 이용하여 데이터 드라이버를 구현할 경우에는 op-amp를 unity-gain 버퍼 형태로 연결하여 사용하는 것이 일반적이다. 하지만, poly-Si TFT로 아날로그 데이터 드라이버를 구현할 경우에는 트랜지스터 사이의 mismatch와 회로의 면적 등 여러 가지 문제로 인해 간단한 형태의 아날로그 드라이버를 사용하기도 한다. 물론 트랜지스터 사이의 mismatch 문제를 해결할 수 있는 기술



[그림 12] 문턱 전압의 mismatch를 보상하기 위한 아날로그 드라이버의 여러 종류들 (a) 한양대학교 디스플레이 공학연구소 (b) KAIST (c) 일본 SONY 에서 제안한 구조

이 필요하고, 연구자들의 주된 관심도 그에 맞추어져 있다.

아날로그 드라이버의 기본 구조는 poly-Si TFT를 이용한 source follower이다. 통상적인 source follower의 경우 입력 전압 (V_{in})과 출력 전압(V_{out})의 관계는 $V_{out} = V_{in} - V_{th}$ 의 형태로 주어진다. Grain boundary의 위치에 따라 poly-Si TFT의 문턱 전압(V_{th})이 크게 변할 수 있어 이를 해결하기 위한 방법이 필요하다. 다행히 mobility의 mismatch에는 그 특성이 무관하기 때문에 문턱 전압의 mismatch에 대한 대책만 있으면 된다. [그림 12]에 각각 한양대학교 디스플레이공학연구소^[3], KAIST^[2], 그리고 일본의 SONY^[4]에서 개발한 문턱 전압의 mismatch 문제를 해결한 아날로그 드라이버를 표시하였다. 이러한 형태의 아날로그 드라이버를 이용하여 6-bit 정도의 디스플레이 해상도는 구현할 수 있다.

III. 결 론

Poly-Si TFT를 이용하여 SoG를 구현하고자 할 때 요구되는 다양한 아날로그 회로의 연구 동향과 설계시 고려해야 할 사항 그리고 트랜지스터에 요구되는 성능에 대하여 살펴보았다. 현재의 poly-Si TFT 기술 수준으로는 6-bit의 해상도와 5인치 정도의 패널 크기는 구현이 가능하지만, 더 높은 해상도와 더 큰 패널 크기가 요구될 때에는 트랜지스터의 mismatch와 mobility 특성을 더 향상시킬 필요가 있다.

감사의 글

본 연구는 과학기술부 21세기 프론티어연구개발사업인 "차세대정보디스플레이기술개발사업단"의 연구비(M1-02-KR-01-0001-02-K18-01-014-0-0)에 의하여 지원되었다.

참 고 문 헌

- [1] H. Oshima, "Overview of polysilicon technology", *Proc. Int. Active Matrix Workshop*, pp.17-20, Sep. 1996.
- [2] S.-W. Lee et al., "High performance low power integrated 8-bit digital data drivers for poly-Si TFT LCDs", *SID*, 1999.
- [3] J. Jeon et al., "A new digital driving scheme for poly-Si TFT LCD panels", *Asia Display*, pp.164-167, 1998.
- [4] Y. Kida et al., "A 3.8-inch half-VGA transfective color TFT-LCD with completely integrated 6-bit RGB parallel interface drivers", *EURO Display*, pp. 831-834, 2002.