



정희범 | 부장 |, 유현규 | 팀장 |, 전인산 | 책임 |, 양일석 | 선임 |
 배영환 | 책임 |, 박성모 | 책임 |, 엄낙웅 | 팀장 |
 한국전자통신연구원 기반기술연구소 고집적 SoC연구부
 E-Mail : hbjung,hkyu,jsjeon,ysyang,ysbae,smpark,nweum@etri.re.kr

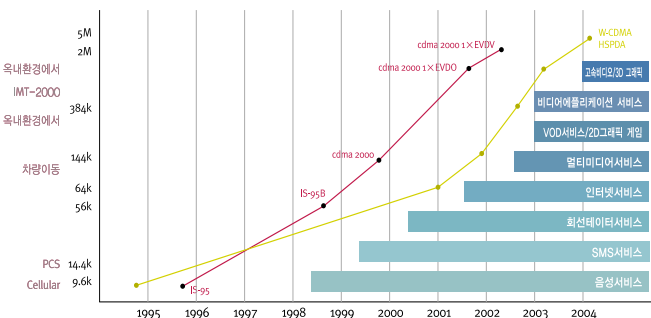
IT SoC 기술개발현황

서론

21세기 IT 산업을 주도할 패러다임(paradigm)은 디지털 융합(digital convergence)이다. 디지털 융합을 통해 사용자가 원하는 다양한 기능, 즉 기존의 전자기기와 무선 통신, 인터넷, 방송 등의 기술을 포함하는 시스템을 하나의 칩으로 구현함으로써 새로운 수요와 시장의 창출을 가능하게 한다. 디지털 융합을 가능하게 하는 시스템온칩 기술은 국가 차세대 성장 동력의 기반기술로 선정되어 연구개발이 추진되고 있으며 ETRI에서는 IP구축 및 SoC 플랫폼기술개발을 2010년에는 2대 IT기반기술강국으로 통합 SoC 플랫폼 구축으로서 중점적으로는 멀티미디어 SoC 플랫폼 구축 및 SDR 단말 SoC를 중점 개발할 것이다.

본론

IT SoC 응용분야 중 휴대용 정보 단말 분야 핵심 부품으로 SoC에 대한 중요성이 더욱더 증대되고 있다. 휴대용 정보 단말 분야는 급속하게 성장하고 있는 IT 기기 관련 시장의 중심으로 자리잡고 있다. 휴대폰의 경우 2002년말 기준으로 한국은 1,600만대 시장이 형성되었고, 세계적으로 3억 7천만대의 시장이 형성되어 있으며, 2004년에는 4억대 이상의 시장이 형성될 것으로 전망된다. PDA의 경우는 2002년에 11억 달러의 시장이 형성되었고, 2005년에는 40억 달러를 넘어서는 규모의 시장이 예상된다. 휴대폰을 위한 이동통신 서비스는 [그림 1]에서와 같이 CDMA의 경우, IS-95A/B에서 CDMA 2000 1x로 진화하면서 음성 위주의 통신에서 음성과 데이터를 혼용할 수 있는 통신 기능을 갖게 되었다.



[그림 1] 이동통신 서비스의 발전 방향

자료 : 김충남, 차세대 무선인터넷서비스, 2002

1. 나노소자기반 회로설계 기술 개발

미래 정보통신 사회는 언제, 어디서나, 어느 도구를 사용해도 자유로운 통신이 가능하고 현재보다 100배의 성능을 갖는 차세대 지능형 휴대 단말기의 출현으로 실시간 대화형 멀티미디어 통신 및 유·무선 통합 서비스가 가능한 유비쿼터스 네트워킹이 구축될 것이다. 이를 위하여 국내외적으로 정보통신 관련 IT SoC 기술 고도화 및 독점화가 전략적으로 추진되고 있으며, 특히 초고속 및 대용량의 유무선 통신사회의 구현을 위한 고성능 차세대 나노급 반도체 소자 및 회로설계기술 개발이 경쟁적으로 추진되고 있다. 특히, 차세대 핵심 국가 전략산업인 이동통신, 디지털 TV, Post PC, 지능형 로봇, 텔레메틱스 등 정보통신분야에서 통신기기의 다기능화, 휴대화, 지능화, 다중표준화와 함께 서비스 정보의 대용량화가 급속히 진행되면서 초고집적(기존 시스템의 1/100), 초저전력(기존의 1/1000), 초고

속(Tera Hz)의 특성을 갖는 정보처리용 고성능 재구성형 SoC가 요구되며, 이를 구현하기 위한 핵심기술로서 나노급 반도체 설계 및 공정기술, 재구성형 연산모듈 기술, 저전압 신호변환 기술 등의 개발이 필요하다. 그 중에서 이동통신 단말기나 D-TV 분야의 핵심기술인 고에너지효율의 재구성형 연산모듈 기술과 저전압·고성능 신호변환모듈 기술 및 재사용이 가능한 IP(Intelligent Property)는 매우 중요한 기술이다. 연산모듈 기술은 정보통신 프로세서에서 데이터패스를 구성하는 핵심 기술로 고에너지 효율 데이터패스 기술, 누설전류 억제 기술, 다중 문턱전압 및 다중 전원전압 기술, 재구성형 논리회로 기술 및 관련 소프트웨어 기술이며 이는 주로 나노급 디지털 회로설계 기술로 구현된다. 미래 정보통신 기기의 초소형화, 고성능화, 다양한 서비스(동영상 및 정치 화상, 문자, 음성 등) 및 이동성의 극대화를 만족하기 위해서 신호변환기 구조 정립과 함께 고속의 변환속도, 고해상도, 고정밀도, 저전압 동작에 의한 저소비전력(수 mA이하의 소비 전류) 등의 특성을 구현하는 나노소자 기반의 아날로그 회로 설계기술 개발은 필수적이다. 또한 다양한 서비스 만족, 짧은 제품 수명, 급변하는 시장 변화를 고려하는 SoC 설계에서 설계기간은 매우 중요한 요인으로 작용하며 한번 설계로 다시 사용할 수 있는 다양한 종류의 나노소자기반 IP 확보가 매우 중요하며, 확보한 IP를 디지털 TV, DMB, 이동통신 단말기 등에 응용할 수 있다. 따라서 나노소자 기반의 아날로그 및 디지털 회로설계 기술을 개발하고, 이를 이용하여 수 Gbps로 동작하는 디지털 및 아날로그 집적회로기술 개발을 가능하게 함으로써 2010년경에 도래할 것으로 예상되는 대용량 유무선 융합 통신인프라의 구축과 유비쿼터스 정보화 사회 구현에 크게 기여할 것이다.

2. 재구성형 통신프로세서 기술 개발

재구성형 CP의 궁극적인 목표는 어떠한 표준과 방식에도 적응을 할 수 있는 것이지만, 본 사업의 목표는 HPI/WLAN에 적합한 HW형이어서 제약이 있을 수 있다. 그러나, 특정 용도용 부품보다는 성능이 부족하나 유연성이 있고 포괄적 부품보다는 유연성이 모자라나 성능이 우수하므로 현실적으로 보면 적절한 솔루션이라 판단되며, 중장기적으로 재구성형 기술의 진전에 따라 유연성과 성능을 동시에 증대시켜 SDR과 같은 차세대 기술에 소요되는 포괄적 부품의 기반이 될 수 있다.

세계 기술현황은 미국의 Chameleon사는 MAC(Multiply-Accumulate)과 같은 fine grain 수준의 function array 구조로 실시간 재구성 가능한 프로세서를 상용화하였으나 통신 알고리즘들의 다양한 특성 중 일반적인 것에 초점을 맞추고 있기 때문에 특별한 통신 알고리즘의 계산에 한계를 가질 수밖에 없다. 또, 이 제품은 본질적으로 하드웨어 지향적인 접근이 아니라 컴파일러의 능력에 기반한 소프트웨어 지향적인 접근 방법을 취하므로 당분간 경쟁력이 없을 것으로 보이나 궁극적으로는 취해야 할 방식으로 보인다. 미국의 QuickSilver Technology는 새로운 개념의 ACM(Adaptive Computing Machine) 기술을 개발하여 저전력/고속 재구성 기술을 확보하여 상용화 추진을 하고 있으나 Chameleon사와 유사한 단점이 있다. Berkeley대학 및 Washington대학에서 다양한 방법으로 설계된 reconfigurable logic에 대한 연구를 진행하고 있다. 국내는 재구성형 CP연구는 그동안 삼성전기, LG전자, 대학 등에서 SDR와 관련된 연구로서, DSP 기반의 S/W적인 구현 타당성 연구를 수행하고 있으나, 단기적 시장성의 미흡 및 과중한 위험 부담으로 실질적인 추진이 미진한 상태이다. 그러나 최근에 삼성 등이 4세대용 부품의 중요성을 재인식하여 SDR 부품 연구를 다시 시작하였다. ETRI를 중심으로 4세대 이동통신기술 개발로 고속이동 중에 100Mbps 급 데이터 통신을 제공하는 HMI(High speed Mobile Internet) 기술이 개발 중이며, 60km/h 이하의 속도에서 30Mbps 급의(MIMO 기술을 적용하여 60Mbps까지

가능) HPI(High speed Personal Internet) 기술을 개발하고 있으며 국내 표준 안을 마련이다. 한양대를 중심으로, 통신이론에 바탕을 두고 SDR Forum의 진행 사항을 따르면서, DSP를 사용한 구현 방안에 관한 연구를 진행하고 있으며, 아주 대는 DSP에 기반한 "Application Specific Signal Processor"를 연구하고 있다. ICU의 경우는 PC 기반으로 하는 통신 알고리즘을 SW로 효율적으로 구현하는 방식에 대하여 연구를 진행하고 있으며, 연세대는 Reconfigurable 모델 플랫폼에 관한 연구를 수행하면서 기존에 제시되고 있는 Reconfigurable SoC에 관한 연구를 수행하고 있다. 중소기업의 경우는 시스템2010사업을 통하여 시제품 형태의 ASIC이나 프로세서 등의 개발을 진행하고 있으나 재구성형 프로세서에 관한 사항은 없다.

국내외 표준화 현황(또는 향후 기술 발전 추세)은 ETRI 이동통신연구소가 주축이 되어 국내 기업과 함께 2006년 상용화를 위한 HPI 표준화 작업을 진행하고 있으며 2004년 초에 국내 표준안을 확정시키고자 나아가 4세대 요소기술로서 국제 표준화를 추진하기 위한 노력 중에 있다. SoC의 설계에 있어서 중요한 것 중의 하나가 IP인데, 이것은 VSI(Virtual Socket Interface Alliance)에서 여러개의 DWG(Development Working Group)으로 나누어 표준화가 진행되고 있다.

동일, 유사내용에 대한 국내·외 관련자들의 수행내용은 ETRI 이동통신연구소에서 4세대 이동통신 기술과 관련하여 HPI 표준화 작업 및 시스템 개발을 기획 중에 있으며 1년 정도의 기반연구가 수행되었다. 배터리 복호기와 터보 복호기의 공통부분을 하나로 사용하는 FEC(Forward Error Correction) 등 다중 모드의 설계는 발표되고 있으나 알고리즘부터 시작하여 재구성 기능을 고려한 것은 아니다. 알고리즘의 특성의 분석을 통하여 Function Array를 추출하고 알고리즘간의 특성을 고려하여 최적의 Router를 얻어 전력과 성능 면에서 최적화된 재구성이 가능한 통신 프로세서를 설계하고 있다. 기존의 방법의 통신 알고리즘은 gate array 보다는 크지만 fine grain 수준에서 컴파일러에 의존한 재구성형 통신 프로세서이므로 성능 저하가 문제 될 수 있다. 알고리즘의 유사성을 분석하여 fine grain 뿐만 아니라 coarse grain 수준의 function array를 추출하여 적용하므로 성능 저하가 미비하며, 본 연구에서는 시뮬레이션을 통하여 function array와 router를 최적화하므로 통신 프로세서의 성능이 극대화 된다. 기존의 것에 비교하여 하드웨어 복잡도가 현저히 줄어들어 저전력 효과가 매우 크다.

3. 양방향 지상파 DMB 저전력 SoC 기술 개발

ETRI 고속통신 IC설계팀은 2003년 12월부터 "복합 정보통신용 양방향 지상파 DMB 저전력 SoC개발" 과제를 추진하고 있다. 본 과제는 정보통신부의 지원에 의해 3년간 110억원의 정부출연금에 투입될 계획이며, 관련 기술을 보유한 6개 기업의 30여명의 연구원들이 공동으로 참여하고 있다. DMB(Digital Multimedia Broadcasting)는 "이동 및 휴대 단말기를 통해 고품질의 오디오, 동영상, 데이터 서비스 등을 제공하는 차세대 디지털 방송"으로서, 활용하는 전파의 주파수 대역에 따라 '위성 DMB'와 '지상파 DMB'로 구분된다. 위성 DMB는 SKT, KT 등 통신사가 유료 서비스로서 추진하고 있으며, 지상파 DMB는 정부에 의해 무상의 공영방송 서비스로 추진되고 있다. 우리나라는 지난 2002년 1월부터 지상파 DMB 기술의 표준화를 본격 추진하여 왔다. 그 결과 지상파 DMB 표준안은 유럽형 디지털 오디오 방송(Eureka-147)의 지상파 전송 규격을 골격으로 고성능 오디오/비디오 압축 규격, 부가 정보 전달 규격 등을 포함하는 내용으로 정의되었으며, 그에 대한 기술 검토는 2003년 11월에 TTA를 통해 완료되었다.

"지상파 DMB 단말용 SoC 개발" 과제는 ETRI가 이미 시스템 차원에서 검증한 바 있는 지상파 DMB 수신 기술을 반도체 칩(SoC)으로 구현하는 것을 주요 내용으로 하고 있다. 본 개발에 포함되는 시스템 관련 기술은 VHF 대역 RF 전파수신 기술, OFDM(Orthogonal Frequency Division Multiplexing) 기반의 방송신호 처리 기술, 고압축 멀티미디어(H.264/BSAC) 처리 기술, 양방향 통신연동 기술 등이며, 반도체 관련 기술은 CMOS 기반의 RF 회로 기술, 저전력 SoC 아키텍처 설계 기술, 저전압 회로 설계 기술, 내장형 소프트웨어 기술, 반도체 IP(지적재산) 재사용 기술 등이라고 한다. 지상파 DMB 단말기에 있어서 중요한 과제 중의 하나는 소비전력을 낮추는 것이다. 현재 스트리밍 서비스가 지원되는 휴대폰의 경우 192Kbps의 동영상 정보를 초당 10여회 정도 디스플레이하는 정도이지만, 지상파 DMB 단말기는 최대 768Kbps의 데이터를 초당 30회 정도까지 디스플레이 할 수 있어야 한다. 따라서 배터리로 동작되는 휴대형 지상파 DMB 단말기로

디지털 동영상을 서비스받기 위해서는 관련 부품의 대폭적인 소비전력 절감이 필요하다. 소비전력 최소화를 위해 본 연구팀은 현재 휴대폰, PDA 등에서 소프트웨어적인 방법으로 처리하고 있는 고속 수치 연산, 멀티미디어 정보처리 등을 고에너지 효율의 전용 회로로 대체할 계획이다. 그리고 전파 수신, 방송신호 처리, 멀티미디어 정보 처리 등 지상파 DMB 수신에 관련된 모든 기능을 단일 칩에 집적하면서 현행 휴대폰의 소비전력을 1/3~1/4 수준으로 낮추는 저전력 회로 기술을 적용할 계획이다.

이러한 노력에 의해 본 연구팀에서 개발하는 SoC는 휴대 가능한 지상파 DMB 단말기를 실현하는데 있어 중요한 의미를 갖는다. 현재 국내 일부 기업에서는 고성능 DSP나 다수의 상용 칩을 기반으로 소비전력에 대한 부담이 적은 차량용 지상파 DMB 단말기를 개발하고 있다. 이러한 단말기는 2004년말 정도로 예상되는 지상파 DMB 도입 초기에 시장으로 공급될 수 있을 것으로 전망되지만, 소비전력 측면에서 휴대 단말기로는 부적합할 것으로 예상된다. 휴대형 지상파 DMB 단말기를 조속히 실현하기 위해 본 연구팀은 과제를 진행하면서 개발된 중간 결과물을 단계적으로 산업체로 기술 이전할 계획이라고 한다. 그에 따라 우선 PDA 형태의 휴대 단말기가 내년 초에는 개발될 수 있을 것으로 예상되며 이어서 휴대폰, 스마트폰 등과 결합된 단말기가 실현될 수 있을 것으로 전망된다.

현재 추가로 논의되고 있는 지상파 DMB의 양방향 서비스 규격이 조만간 표준화되면 지상파 DMB 단말을 통해 통신·방송 융합 서비스가 가능하게 될 전망이다. 그렇게 되면 지상파 DMB 단말기는 우수한 이동 및 휴대 수신 성능을 바탕으로 음악·문자·동영상 등의 다양한 멀티미디어 콘텐츠를 전용 단말, PDA 등을 통해 서비스 받게 할 뿐만 아니라, 양방향의 이동통신, 무선랜 등과 결합함으로써 방송·통신 융합형 멀티미디어 플랫폼으로 발전될 것으로 예상된다.

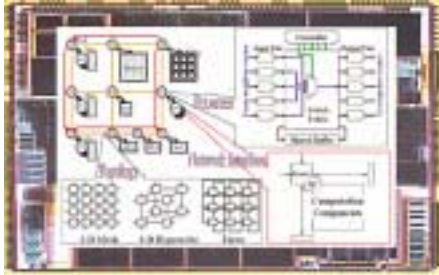
4. 저전력 그래픽 처리 SoC 플랫폼 개발

개발될 멀티미디어 SoC 플랫폼은 휴대폰, PDA, DMB 등 다양한 분야에 응용될 수 있다. 멀티미디어 단말 시장은 2003년 세계 시장 규모가 540억달러로 시장 형성단계에 들어섰고, 2007년에는 그 규모가 1,000억달러로 예상되고 있으며, 이들 중 가장 큰 규모를 차지할 것으로 예측되는 휴대단말용 멀티미디어 SoC 및 Platform 개발로 국산 휴대폰의 생산성 및 가격 경쟁력을 확보할 수 있다. 현재의 휴대폰은 대부분 켈컴사의 칩셋을 사용하고 있으며, 이 칩셋을 사용하는 휴대폰의 경우 그에 따른 로열티는 제품 가격의 약 5.25~5.75%로 카메라를 내장한 고급형 휴대폰의 경우 고가의 로열티를 지불하게 되며, 국내 기술로 개발된 멀티미디어 SoC플랫폼을 사용하는 경우 이러한 부분의 로열티 비용을 절감할 수 있을 뿐만 아니라 반대로 로열티 수입을 기대할 수 있다. 현재의 휴대단말기에서 VOD 서비스를 384kbps 전송선라인으로 서비스를 받으려면 분당 5,625원의 비용을 지불해야 한다. 이를 MPEG-4 스트림이 아닌 H.264 스트림 서비스를 이용하는 경우 압축률이 MPEG-4 보다 2배 정도 개선됨에 따라 절반 비용인 분당 2,815원으로 감소되어, 영상통신, VOD 서비스 등이 휴대폰 단말기에서 폭발적으로 증가할 수 있을 것으로 예상된다. 또한 3D 그래픽 가속 기능의 내장으로, 3D 그래픽을 포함하는 모바일 3D 게임 시장이 활성화될 수 있을 것으로 예상된다. 모바일 게임은 2002년도에 885억원의 시장을 형성하였으며, 모바일 3D 게임의 활성화로 2007년에는 4,000억 시장을 형성할 것으로 예상된다.

5. 온칩 네트워크 SoC 플랫폼 개발

현재 SoC 설계 통신 구조로 널리 쓰이고 있는 ARM사의 Multi-layer AMBA, Sonic사의 Silicon Backplane 등의 온칩 버스 구조는 데이터 대역폭의 제약으로 인하여 대량 데이터 통신이 요구되는 멀티미디어 등의 응용에 제약 요인이 되며, 다양한 인터페이스 요구로 인한 빈약한 Reusability, 코어 컴포넌트의 증가로 따른 데이터 대역폭 Scalability의 제약, 연결된 코어 컴포넌트의 수가 증가함에 따라 Loading Capacitance가 증가하여 많은 전력이 소모되는 등 많은 문제점이 대두되고 있다. 한 예로 향후 5년 후의 멀티미디어 휴대 단말의 경우 고수준의 오디오 디코딩, MPEG-2 영상 디코딩과 비디오 픽셀 처리모듈, 3D 그래픽 처리 등의 기능을 한 칩에 구현하기 위해서는 초당 약 60Gbits의 데이터 대역폭(Bandwidth)이 요구된다. 이를 위해서는 여러 component들 간에 동시에 통신이 가능하여야 하는데, 컴퓨터 네트워크를 SoC 설계에 응용한 온칩 네트워크가

필요하다. 온칩 네트워크는 데이터 전송의 스위치들이 어떤 토폴로지로 구성되어 있는가에 따라 Star, Mesh, Hypercube, Tree, Torus 등으로 구성될 수 있으며, 응용분야의 데이터 트래픽에 따라서 적절한 네트워크 구조를 선택할 수 있다. 스위치로 연결된 컴포넌트들 각각은 정해진 통신 프로토콜에 의해서 데이터를 송수신한다. 이러한 차세대 SoC 칩 설계의 통신 구조인 온칩 네트워크 기술은 [그림 2]와 같으며 다음과 같은 특징을 갖는다.



[그림 2] 온칩 네트워크

▪ High Performance

여러 모듈들이 동시에 통신이 가능하며, 통신 매체의 동작 주파수 또한 기존의 온칩 버스에 비해 매우 높기 때문에 대용량 데이터 트래픽을 처리할 수 있다.

▪ Scalability

기존의 온칩 버스의 경우 코어 컴포넌트들의 수가 증가에 따라 시스템의 Scalability가 심각하게 저하되는 현상을 보이지만, 온칩 네트워크의 경우에는 코어 컴포넌트들이 증가에 따르는 Scalability가 높다.

▪ Low Power

기존의 온칩 버스에 비하여 적은 전력을 소모한다. SoC 시스템의 전력소모는 중요한 요소이다.

아직까지는 SoC설계를 위하여 멀티레이어 온칩 버스 및 시분할 버스를 세계적으로 많이 사용하고 있고, 온칩 네트워크에 대한 연구는 주로 대학 및 연구소를 중심으로 진행되고 있다. 선진국의 경우 미국의 MIT, 스탠포드, 카네기멜론 대학 및 유럽의 IMEC에서 연구가 활발히 이루어지고 있고, 필립스사에서 소규모 시험 시제품을 만들어 발표하였으며, 국내에서는 KAIST에서 온칩 네트워크에 대한 연구 및 기술 시제품을 만들어 발표하였다. 현재 온칩 버스 기술은 데이터 대역폭의 제한으로 차세대 멀티미디어 대용량 데이터 송수신을 요구하는 차세대 플랫폼의 성능에 제약을 가할 것으로 기대된다. 온칩 네트워크기술은 차세대 SoC 플랫폼의 핵심구성요소로서, 기존 SoC 설계의 온칩 버스 관련 매출을 포함한 SLI(System Level Integration) 시장은 1999년 14억불에서 2005년 65억불을 예상하고 있으며, 이 시장의 상당 부분을 온칩 네트워크 기술로 대체할 것으로 예상된다. 또한 향후 HDTV, DMB등의 실시간 대용량 멀티미디어 응용에 관련된 시장을 신규 창출하는 효과를 거둘 수 있다. 이는 과제 종료 시점인 2007년의 관련 응용 분야 매출의 10%인 1.3억불의 경제적 효과를 거둘 것으로 예상된다. 향후 시장의 주요한 어플리케이션인 고수준의 영상처리 및 3D 그래픽 관련 등의 멀티미디어 대용량 응용분야의 SoC 설계는 대용량 데이터의 최대 전송 및 QoS를 보장하는 것이 핵심 기술로 부상하고 있으며, 이에 대한 핵심 기술과 주도권을 갖는 것이 향후 SoC 설계 기술의 선진국으로 도약하는 관건이 될 것이다.

6. RF/Analog/Digital 혼성모드 SoC 기술

CMOS기술은 소자의 Scaling에 따라 Digital Clock이 이미 Giga급을 상회하고 있으며 RF/아날로그 분야도 5GHz대역의 RF Transceiver 상용 시제품이 출현하는 등 급속한 고속/고주파화가 이루어지고 있다. 이러한 추세에 힘입어 2006년경에는 약 73%의 SoC 제품이 고속/고주파를 포함한 Mixedmode SoC가 시장의 주류를 형성할 것으로 예상하고 있다. 이같은 시장 성장 잠재력에도 불구하고 SoC 설계의 생산성은 소자/공정기술의 절반에도 미치지 못하여 Design Gap은 해마다 그 격차가 더욱 커지고 있는 것이 현실이다. 특히 혼성모

드 SoC 개발은 기존의 설계 Block인 HW에 SW가 embedded 될 뿐 아니라 HW인 RF/Analog와 Digital 각각의 기능블럭에 대한 설계지식과 Interface 기술을 동시에 분석할 수 있는 종합적인 지식이 요구되고 있어 Design gap은 더욱 커질 수밖에 없다.

SoC 개발에 있어 기본적인 전제는 검증된 IP의 확보와 System Platform 구축이다. 그러나 Mixedmode의 경우 개별 IP는 규격화 및 표준화가 어려울 뿐 아니라, signal integrity 측면에서 제각기 다른 signal 형태, 동작환경 등으로 인해 주변 기능블럭 간의 interface의 난이도가 매우 높다. 이러한 점은 Mixedmode SoC의 성능뿐 아니라 설계 신뢰성까지 저하시키는 요인으로 작용한다. 또한 RF/Analog의 특성상, 각각의 IP는 target 공정에 따라 주요 특성이 달라지기 때문에 재사용 측면에서 세심한 조정이 추가로 필요하다. 이러한 문제점은 결국 TAT을 증가시키게 되는데, Mixedmode SoC의 설계 생산성을 향상하고 신뢰도를 높이기 위해 최근에는 HW 및 SW가 결합된 형태의 Platform을 통해 개별 IP는 물론 Signal Integrity를 검증하는 접근 방법을 시도하고 있다.

소자 공정 측면에서 Mixedmode SoC의 기본적인 문제로 들 수 있는 것은 Digital 신호에 의한 기판 잡음이다. 기판잡음은 특히 Vdd가 scaling되면서 Digital 회로 자체의 문턱전압, 접합 커패시턴스, 바이어스 전류원의 변화를 가져올 뿐 아니라, 아날로그 회로의 이득, 밴드폭을 가변시키며 Jitter, NF등을 열화시킨다. 공정상으로는 우선 0.18μm 부터 채택되고 있는 Deep n-Well (Triple Well)에 Analog 블럭을 배치함으로써 기판잡음을 일부 억제할 수 있으나, 불가피하게 침투하는 기판 잡음에 대해서는 회로 설계 기법 상 Layout Symmetry, Fully Differential 구조, CMRR 및 PSRR를 강화한 아날로그 회로 구조로 Immunity 향상시키는 방법을 사용하고 있다.

혼성모드 SoC 설계 TAT를 단축하기 위해 Cadence의 AMS, Mentor의 ADMS, 및 Agilent의 RFDE 등 대표적인 CAD Tool 들이 개발되어 전통적인 Cell-base의 Bottom-up 방법에서 Top-down 방식으로 변화되고 있다. 그러나 문제 해결의 핵심인 완벽한 Synthesis 및 Analog/Digital Interface에서의 Signal Integrity 부분이 여전히 큰 숙제로 남아 있다. Mixedmode SoC TAT에 결정적인 영향을 미치는 또 다른 요인은 칩의 test 기술이다. 현재 약 90% 이상이 Analog 기능의 Test 부분에 집중되어 있는데 이는 대부분 칩 노이즈에 대한 설계마진이 충분치 못하거나 디지털 부분과는 달리 fault에 대한 일정한 Pattern을 분석해내기 힘들기 때문이다. 설혹 fault pattern을 찾는다 하더라도 구체적으로 그 요인을 찾아내기 위해서는 관련 개별 소자들의 기본 소자의 설계변수가 종합적으로 연관되어 있어 Fault의 요인을 정확히 도출해내기란 쉽지 않다. 현실적인 대안으로 DFT(Design For Testability) 혹은 BIST(Built In Self Test) 블럭을 일부 추가함으로써 Test의 효율성을 높이고 Failure Analysis를 체계적으로 진행할 수 있도록 하고 있다.

★ 결론

현재 ETRI에서는 SoC 관련 기술개발로서 IP기반의 나노소자개발 설계기술 개발, 재구성을 위한 재구성형 통신프로세서기술 개발, IT SoC 분야에 올 중점과제인 저전력 그래픽 처리 SoC플랫폼, 플랫폼기반 설계인 온칩네트워크 SoC 플랫폼 개발, RF 분야인 RF/Analog /Digital 혼성모드 SoC 기술 등을 개발하고 있다. 개발된 결과물은 정부의 IT SoC 추진방향과 연계하며 2004년에는 IT-SoC 기반구축 원년으로서 IP구축 및 SoC 플랫폼기술개발을 2007년까지는 IT-SoC 3대 선진국 실현을 위한 신성장동력 SoC 플랫폼 구축, 2010년에는 2대 IT기반 기술강국으로 통합 SoC 플랫폼 구축으로서 중점적으로는 멀티미디어 SoC 플랫폼 구축 및 SDR 단말 SoC를 중점 개발할 것이다.