

Low Power CMOS SoC Design

Tadahiro Kuroda | Electrical Engineering, Keio University, Japan |

Abstract

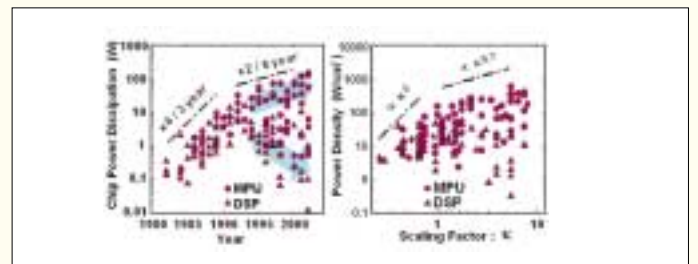
전력이라는 장벽 때문에 공정 스케일링은 점점 어려워지고 있다. 반면, 미래의 컴퓨터와 통신은 더욱더 낮은 전력 소모를 필요로 한다. 아직은 에너지 효율적인 공정이 널리 보급되고 있지 않으므로, 저전력 CMOS SoC 설계는 여전히 큰 어려움이 있다. 본문에서는 CMOS의 전력 감소를 위해 무엇을 어떻게 해야 하는지 알아보도록 한다.

Introduction

집적회로(IC)의 기본 원리는 고성능과 낮은 가격을 유도하는 소자 스케일링(Device Scaling)이다. DRAM의 용량은 매 3년마다 4배씩 증가되어 왔으며 마이크로프로세서의 총 트랜지스터 수는 매 2년마다 두 배씩 증가되어 왔다. - 바로 무어 (Moore)의 법칙이며 지난 이십여년 동안은 이 법칙에 충실해 왔다.

만약 무어의 법칙이 계속된다면, 미래에는 어떠한 일이 일어날까? 2013년에는 한 칩에 집적되는 트랜지스터의 수가 전세계 인구수와 같을 것이다. 2015년에는 사람 두뇌의 총 뉴런의 수보다 많아질 것이며, 21세기 중반이 지나가면 전세계인의 두뇌에 있는 뉴런의 총합을 넘어서는 등, 우리의 상상을 초월할 것이다. 이것은 집적회로가 발명된 지 불과 백 년 안에 일어나는 것이며, 공정의 빠른 스케일링에 의한 결과이다.

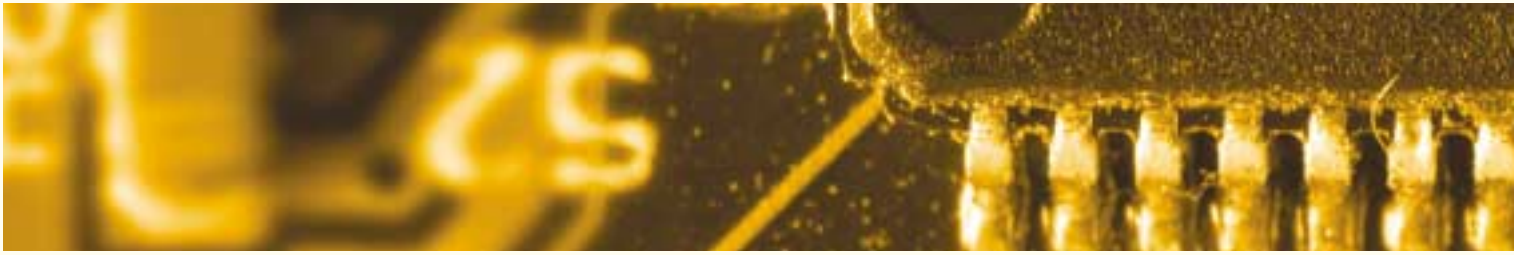
모든 기술에는 한계가 있다. CMOS의 스케일링 또한 궁극적으로 한계에 도달한다는 점에는 이의가 없다. 예를 들어 Gate Tunneling Current를 더 이상 무시할 수 없다. 만약 SiO_2 가 1.0V, 1.5nm의 gate insulator에 사용된다면, gate의 current density는 $10\text{A}/\text{cm}^2$ 가 될 것이다 [1]. Gate의 면적도 함께 스케일 되므로, 트랜지스터당 gate leakage는 $0.1\mu\text{m}^2$ gate 면적에 10nA 정도로 너무 작아서 회로의 동작에 영향을 줄 수 없다. 하지만, 칩 전체의 leakage current는 전체 gate 면적이 0.1cm^2 일 경우 1A 정도로 너무 커서 저전력 어플리케이션에 사용할 수 없을 정도가 된다. 높은 유전율(high-k)를 갖는 gate insulator 물질을 찾기 위한 노력이 수년간 계속되고 있으나, 언제 그 연구가 성공할 지는 미지수다.



[그림 1] Power increase due to device scaling

한편, 요리용 철판의 세 배 정도인 $30\text{W}/\text{cm}^2$ 만큼 높은 전력 밀도(power density)도 문제이다. 발열 문제는 감당하기 어려울 정도가 되었다. 전력 밀도는 [그림 1]에 나타낸 바와 같이 소자 스케일링에 따라 자연스럽게 증가한다. Constant Voltage Scaling에서는 전력 밀도가 K^3 (K 는 1보다 큰 스케일링 팩터에 비례하여 증가한다. 이와함께, 칩의 전력 소모는 1990년 초반까지 매 3년마다 4배씩 증가하여 왔다. Constant Electric Field Scaling인 최근의 전압 스케일링의 경우에서도 전력 밀도는 $K^{0.7}$ 에 비례하여 증가한다. 앞으로의 sub-micron 소자에서는 carrier velocity saturation 때문에, 전통적인 스케일링 이론처럼 일정하게 유지되지 않을 것이며, 이에 따라 칩은 매 6년마다 두 배의 전력을 더 소모할 것이다. 이러한 전력 소모의 문제는 분명 집적회로의 큰 문제가 되고 있다.

반도체 업계가 1980년대 초에 전력 소모 문제를 겪었을 때는, bipolar 또는 NMOS 기술로부터 CMOS로 옮김으로써 해결했다. 이러한 변화는 당시 CMOS 기술이 제안되었기 때문에 쉽게 가능했다. CMOS gate는 bipolar나 NMOS gate보다 스위칭 속도나 레이아웃 면에서 단점을 안고 있었지만, CMOS는 에너지 효율이 더 좋고 집적도를 높일 수 있었기 때문에, CMOS는 더 높은 가격대 성능비를 나타냈다. CMOS회로의 훨씬 적은 전력 소모는 한동



안 저전력 설계에 있어서 손쉬운 해결 방법이였다.

하지만, 지금의 공정 변화는 그때만큼 쉽지 않다. 좀 더 에너지 효율적인 소자와 시스템 기술을 개발하는데 많은 연구 노력이 있음에도 불구하고, 현재 생산에 들어갈 만큼 성숙된 기술은 아직 없다. 연구 노력은, 1) partially deplete된 SOI MOSFET [3], fully deplete된 SOI MOSFET [4], DTMOS [5], double gate SOI [6], FinFET [7], vertical MOSFET [8] 등과 같은 non-bulk CMOS 소자 [3], 2) MEMS 또는 3차원 stack 구조 [9], 유기물 transistor [10], 탄소 나노 튜브 [11]와 같은 새로운 나노 소자의 개발, 3) 그리고 FeRAM [13], MRAM [14], Quantum Dot Memory [15]와 같은 새로운 기억 소자의 개발, 4) cryoelectronics [16], molecular electronics [17], DNA 및 생물학 컴퓨팅 [18], quantum 컴퓨팅 등과 같은 새로운 시스템의 개발을 예로 들 수 있다.

반도체 산업은 새로운 전환기를 맞고 있다. CMOS 스케일링의 끝을 향해 경쟁적으로 가속해 나가는 것 같다. 적지 않은 엔지니어들은 CMOS 스케일링의 끝이 2010년 이전에 올 것이라 생각한다 [1]. 역사적으로 스케일링의 한계는 수 차례 지적되어 왔지만, 모두 연구 노력에 의해 해결되어 왔다. 지금은 정말로 어렵다고들 얘기하지만, 이에 따른 많은 기술혁신 역시 예상할 수 있다.

집적회로는 21세기의 높은 정보 사회를 여는데 가장 중요한 역할을 할 것으로 생각된다. 이러한 시대적 요구는 무어의 법칙보다 강하다. 예를 들어, 인터넷 트래픽은 매년 네 배로 증가한다 (Gilder의 법칙). 유전자 합성을 분석하는데 필요한 정보량은 2000년에 1-Tera-Byte에서 2004년에는 100-Tera-Byte로 증가할 것으로 예상된다. 기술이 영원히 기하급수적으로 발전하지는 않을 것이다. 다른 한편에서 생각해 보면, 우리 사회가 해결을 바라고, 전 세계의 역량이 그것을 위해 하나로 집중된다면, 해결하기 힘든 문제들을 풀 수 있다. 따라서, 이러한 가정하에, 집적회로의 모든 문제가 풀려 계속 성장한다고 했을 때 우리 사회에 일어난 변화를 다음 장부터 알아보도록 한다.

System Perspective

"다운사이징을 통한 패러다임의 전환"은 컴퓨터 업계에서 반복적으로 일어났다. 포탄의 궤적을 계산하기 위해 18,000개의 진공관을 갖고 30ton의 무게를 갖는, 세계 최초의 범용 전자 컴퓨터인 ENIAC이 개발된 이래, 컴퓨터는 크기, 가격, 계산시간을 줄여 왔으며, 당연한 결과로, 범국가적 용도로부터 개인적 사용으로 변화되어 왔다. 컴퓨터의 세대적인 변화는 반도체 회로 기술의 진화에 따라 진행되어 왔다. 1960년대의 2백만 달러 가격의 메인프레임 컴퓨터인 IBM System/360은 트랜지스터를 사용해 제작되었으며, 국가 프로젝트의 과학기술 계산을 위해 사용되었다. 1970대의 20만 달러 정도의 DEC PDP-11과 같은 미니 컴퓨터들은 bipolar 집적회로로 설계되었으며, 여러 연구소들에 의해 사용되었다. SUN Microsystems 또는 HP와 같은 1980년대의 2만달러 가격의 엔지니어링 워크스테이션은 NMOS LSI 기술을 사용하여 제작되어 제조업의 CAD에 널리 사용되었다. 2천달러 이하의 1990년대 PC는 사무 자동화에 널리 사용되었으며, 이는 인텔의 CMOS VLSI 기술을 사용하여 제작된 것이다.

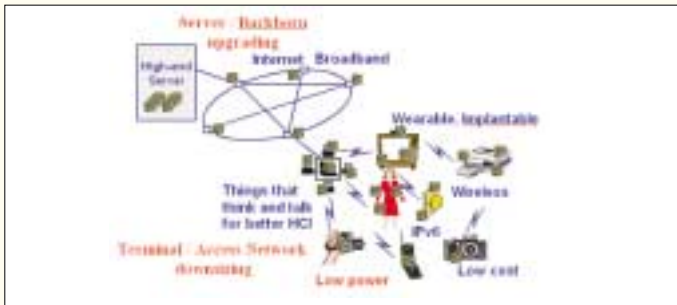
이러한 다운사이징 경향에서 살펴보면, 200달러의 휴대용 컴퓨터, 20달러의 웨어러블 컴퓨터 [20], 심지어 2달러 정도의 신체 이식형 컴퓨터 (implantable computer [21])도 개인의 삶을 이롭게 하는데 널리 사용될 전망이다. 이것들은 핸드폰, email 터미널, 팩스, 웹브라우

저, 컴퓨터, 달력, 주소록, 공책, 보청기, 의료기기 등과 결합하여 어떠한 곳에 있던지 실시간 음성 인식과 비디오 인코딩, 디코딩 기술과 같은 멀티미디어 기술을 사용해 연결될 것이다. 또 다른 예로, Jones Hopkins대학과 North Carolina 주립대학이 함께 망막색소변성 및 황반변성(AMD)을 겪고 있는 환자의 불완전한 망막을 대체하기 위한 재활장치를 개발한다고 하자 [21]. 이를 위해 무선 인터페이스를 갖추고 배터리로 동작하거나 (심지어는 배터리 없이 동작하는) 제품이 나와서, 전자산업의 새로운 면을 구성하게 될 것이고, 저전력 및 무선 전자공학이 새로운 주류가 될 것이다.

컴퓨터가 어플리케이션에 특화된 터미널로서 다운사이징 됨에 따라, 그들을 네트워크로 연결하는 통신 기술의 중요성이 증가한다. 첫째로, LAN (Local Area Network)은 사무실에서 시작하였으나, 집으로 확산될 것이다. 둘째로, PAN (Personal Area Network)은 개인 주위 환경과 적합하게 변화하며, 개인과 함께 이동할 것이다.

휴대전화 덕분에 사람들은 언제 어디서나 서로 통신할 수 있게 되었다. 블루투스 [22]는 PC와 휴대전화 사이의 통신을 가능하게 한다. 어떠한 사물이 다른 것들과 통신을 할 때, 집적회로는 자질한 것부터 의류까지, 심지어는 사람 몸 속과 같은 모든 곳에 사용될 것이다. 예를 들어, 방에 들어가는 사람을 자동으로 감지하여, 그 사람의 취향에 맞게 에어컨을 조절하는 것도 가능하다. RF-ID (Radio Frequency Identification [23]) 및 RF-TAG은 바코드와 마그네틱 카드를 대체할 것이다. 이것들은 전화 카드, 크레딧 카드, 신분증, 교통 카드, 보안 출입증, 공연 티켓, 공장 자동화, 재고 관리, 택배의 배송 및 추적 등과 같이, 일상 생활에 많은 응용이 있을 것이다. 광범위하게 분산된 정보 처리의 시대가 오고 있다. UC Berkeley의 연구원들은 마이크로 센서, 옵티컬 리시버, 수동/능동 옵티컬 트랜스미터, 신호처리 및 제어 회로, 전력을 포함하며 1mm³정도의 부피와 10 μ W를 소모하는, 먼지 티끌 (dust mote)을 개발하는 Smart Dust 프로젝트 [24]를 진행하고 있다.

RF 무선 통신을 위해 필요로 하는 전송 파워는, 파워가 구형으로 퍼져 파워 밀도가 이론적으로는 거리의 제곱에 반비례하여 줄어들지만 실제로는 반사와 흡수에 의해 더 줄어들게 되어, 거리의 2~4 제곱에 비례한다. 따라서, 멀리 떨어져 있는 노드와 통신하려면 인접한 노드들과의 연결을 통해 전송되어 나가는 것이 보다 효율적이다. 예를 들어, 50m거리와 직접 통신할 때 1.25nanojoule/bit이 소모된다면, 10m거리와 통신하기 위해서는 단지 2picojoule/bit만이 필요하게 되어, 이러한 중계를 통하면 50m거리를 10picojoule/bit만으로 연결할 수 있게 된다. 이와 같은 단순한 계산법에는 트래픽 변경, 중계, 네트워크 유지와 같은 것들은 고려되어 있지 않다. 효율적인 트래픽 변경을 위한 연구 중 하나로, 최근 "군중지능 (Swarm Intelligence)" [25]이 주목받고 있다. 군중이란, 개미나 벌과 같이 군체(群體)를 이루며 살고 있는 곤충의 집단을 말한다. 각각의 곤충은 자신만의 생활을 갖는 것처럼 보이지만, 전체 집단으로 보면 매우 체계화 되어 있다. 예를 들어, 자연에서 종종 보이는, 줄줄이 기어가는 개미의 "highway"는 각각의 개미가 발산하는, 다른 개미를 유인하는 화학물질인 페로몬에 의한 것이다. 다른 개미를 따르게 하는 이러한 페로몬에 의한 "highway"는 먹이로부터 개미집으로 가는 최단거리를 찾는데 매우 좋은 방법 중 하나이다. 이 과정은 분산된 self-organizing protocol에 적용되어, 네트워크의 혼잡함, 로봇의 합동 운동과 같은 복잡한 문제들을 해결하는데 도움을 줄 수 있다.



[그림 2] Ubiquitous computing requires low power chips.

[그림 2]의 유비쿼터스 컴퓨팅은, 컴퓨터와 통신이 좀더 스케일링 되고, 서로 합쳐져서 consumer 기기로 구체화 될 때의 정보 기술이다. 컴퓨터는 서버와 같은 광대역 네트워크 뒤에 숨겨져 보이지 않게 되고, 터미널은 입을 수 있거나, 신체에 이식할 수 있는 형태로, 보다 정밀한 HCI (human - computer - interactions)와 함께 친숙한 형태로 사람들에게 다가 올 것이다. IC 칩은 어디에든지 이식되어 사물은 분산 정보 처리를 하며 생각하고 표현하게 될 것이다. 이때의 주요 기술로는, 저전력, 저가격과 함께, 특히 무선 데이터 통신을 위한 좋은 인터페이스가 될 것이다.

이러한 방식으로, 집적회로의 진화는 컴퓨터와 통신을 다운사이징 하게 하고, 이는 다시 집적회로에서의 전력 소모를 줄이도록 하고 있다. 소자 스케일링과 시스템 다운사이징에서 볼 때, 집적회로에서의 저전력 소모는 기본적으로, 다음 장에서는, 저전력 설계를 위한 최근의 연구 업적을 살펴봄, 얼마나 많은 전력 소모가 회로 설계를 통해 줄여지는 지 알아보기로 한다.

Low Power Design Techniques

전력소모를 줄이기 위한 일반적인 가이드라인은 기본적으로 다음과 같은 3가지로 나눌 수 있다: 1) 낮은 공급 전압, 2) 낮은 스위칭 동작, 3) 낮은 커패시턴스.

A. Lowering Supply Voltage

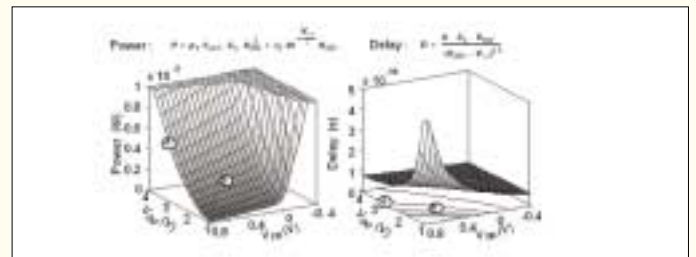
낮은 공급 전압(VDD)에서도 칩의 성능을 유지하려면 다음과 같은 세 가지 방법을 사용해야 한다: (a) 낮은 동작 주파수를 보상하는 병렬 또는 파이프라이닝 구조 (b) 동작 속도를 회복하기 위한 낮은 threshold 전압 [그림 3], (c) 그리고 중요하지 않은 회로에는 낮은 VDD의 사용. 두 번째 방식에서 VDD와 VTH는 필요로 하는 속도를 맞추기 위해 가변적으로 최적화되어야 하며, 세 번째에서는 여러 개의 회로에 맞게 각각 최적화되어야 한다.

가변 threshold-voltage CMOS 기술(VTCMOS [26])은 VTH를 조절하며, 가변 공급 전압(VS: Supply Voltage [26]) 기술은 VDD를 조절한다. 이 두 기술은 IC 설계자들에게 전력 소모와 속도를 변화시키며 trade-off할 수 있는 보다 많은 기회를 제공한다. VTCMOS 공정으로 제작되어 VS 방식을 적용한 RISC 프로세서 코어는, 기존 설계 방식으로 제작된 것보다 두 배 이상의 MIPS/W를 나타내는 것으로 측정되었다. 칩의 leakage current는 VTH와 무관하게, 동작 또는 대기 모드를 위해 최적화되어 조절된다.

두 개의 MPEG-4 비디오 코덱 칩을 살펴보자. VDD와 VTH를 최적화 함으로써, VDD

를 3.3V로부터 2.5V로 낮출 수 있게 되어 43%의 전력소모를 줄일 수 있었다. 중요하지 않은 회로에는 1.75V의 포다른 VDD를 하나 더 사용함으로써, 전력소모를 25% 더 줄여서 전체적으로는 3.3V를 사용할 때 보다 55%를 줄일 수 있다.

여러 개의 VDD와 VTH를 사용한 설계는 [28, 29]에 상세히 나와있다. 여러 개의 VDD에 의한 전력 이득은 약 50%이다. 많은 VDD를 사용할수록 전력소모를 더 많이 줄일 수 있지만, 이 효과는 곧 한계에 다다른다. VTH의 수를 증가시키며 얻을 수 있는 leakage current에 대한 이득 역시 한계가 있다.



[그림 3] Power, delay dependence on VDD and VTH.

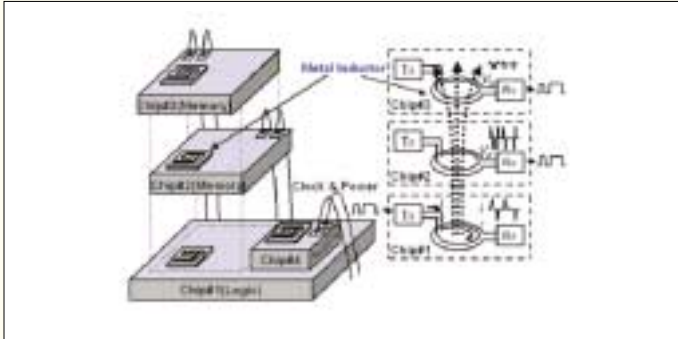
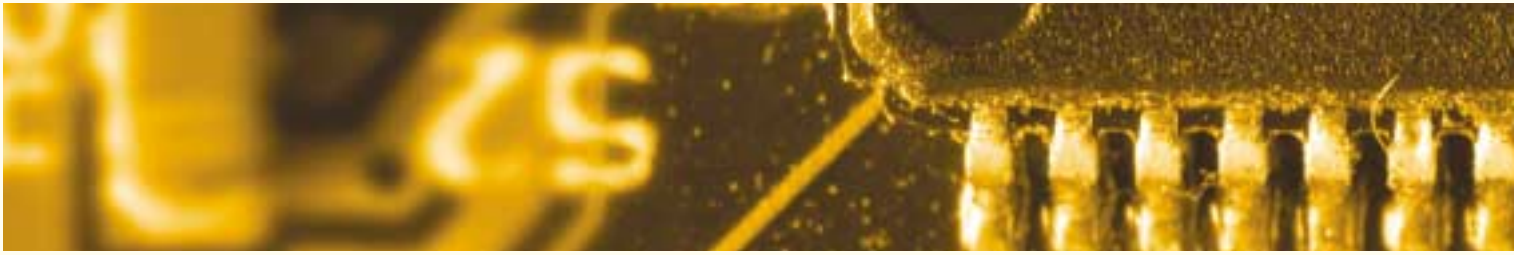
최근, 아주 낮은 VTH 때문에 동작 모드에서의 leakage current가 가장 중요한 문제가 되고 있다. Short-channel 트랜지스터에 있어서는, drain 전압을 낮출수록 DIBL (Drain Induced Barrier Lowering) 현상에 의해 VTH가 더 높아져, 결국 더 낮은 leakage current가 흐르게 된다. 만약 매우 빠른 동작 속도가 필요치 않으면, VDD를 낮추어 leakage current를 효과적으로 줄일 수 있다.

B. Lowering Switching Activity

동기 회로 설계에 가장 중요한 플립플롭은, 전체 칩의 면적 중 많은 부분을 차지하며, 그 비율 또한 증가하고 있다. 기존의 플립플롭 구조에서는, 전체 트랜지스터의 절반 정도가, 데이터의 변화가 없는 경우에도 AC 전력을 소모한다. 반면, conditional 플립플롭 회로 새로운 입력의 변화가 있을 때에만 내부 클럭이 활성화 된다 [30]. 이러한 conditional 플립플롭으로 설계되고 제작된 MPEG-4 비디오 코덱의 DCT (Discrete Cosine Transform) 처리 블록은 기존 설계에 비해 같은 속도에서 24% ~ 51% 정도의 낮은 전력을 소모한다.

C. Lowering Capacitance

외부 메모리 액세스는, 외부 시그널 라인의 높은 기생 (parasitic) 커패시턴스 성분 때문에 상당한 양의 전력을 소모한다. 16Mbit 임베디드 DRAM을 함께 내장한 MPEG-4 비디오 폰 LSI를 살펴보자 [31]. 전력 소모는, 두 개의 칩을 사용했을 때보다 1/3로 줄어든다. 하지만 SoC 기술은 매우 비싸며, 제조까지 긴 TAT (turn-around-time)을 필요로 하여, 많은 수량의 판매가 예상되는 시장의 큰 프로젝트에만 적용된다. 이러한 이유 때문에 SiP (System-in-a-Package) 기술이 최근 각광을 받고 있는 것이다.



[그림 4] Inductive-coupling wireless super-connect for SIP.

적층되어 있는 칩들 사이의 비접촉 인터페이스에 대한 연구 개발이 최근 시작되고 있다. Capacitive coupling 또는 inductive coupling을 기본으로 하여 Wireless Super-Connect를 하는 방식이 제안되었다. [32, 33].

저전력 CMOS 설계를 위한 최근의 연구 성과들을 정리하면 다음과 같은 10가지로 분류된다.

Tip 1: VDD 와 VTH 를 최적화하여 조절한다.

(전력소모와 회로 딜레이의 trade-off는 VDD와 VTH에 의해서 결정된다.)

Tip 2: Subthreshold leakage가 전체 전력 소모의 30%가 될 때 전체 전력 소모가 최소가 된다.

(이 조건에 의해서 최적의 VDD와 VTH가 결정된다.)

Tip 3: 속도를 빨리 할 필요가 없을 때에는, 전력을 줄인다.

(마지막 10%의 성능을 향상시키기 위해 동작 및 대기 전압 소모가 기하급수적으로 증가한다.)

Tip 4: 다중 VDD 와 VTH 를 사용하여 남은 시간을 최대한 활용한다.

(중요하지 않은 회로에 있어서는 낮은 VDD와 높은 VTH를 적용하여 칩의 성능 저하 없이 전력소모, leakage current를 줄인다.)

Tip 5: VDDL/ VDDH = 0.7이 될 때 전체 전력 소모가 최소가 된다.

(이 법칙은 임의의 공정에서 제조된 임의의 회로에 일반적으로 적용된다.)

Tip 6: 두 종류면 충분하다.

(다중 전압 사용에서 두 개의 VDD, 두 개의 VTH면 충분하다.)

Tip 7: VDD 와 VTH 를 최적화 시켜 변화시킨다.

(VDD와 VTH는 회로에 의해 최적화되어 조절된다.)

Tip 8: 두 개의 레벨이면 충분하다.

(VDD와 VTH의 Hopping에 있어서 동작 주파수는 f 및 $f/2$ 정도면 충분하다.)

Tip 9: 적합한 일에 맞는 적합한 회로를 사용한다.

(서로 다른 일을 하는데 있어서는 서로 다른 회로를 설계하고, 하나의 좋은 회로보다는, 여러 개의 회로를 최적으로 섞어서 사용하는 것이 중요하다.)

Tip 10: 통신 채널의 거리를 최소로 한다.

(inductive coupling에 의한 Wireless Super-Connect가 매우 흥미롭다.)

Conclusion

전력 소모는 반도체 업계에 있어서 현존하는 분명한 정벽이다. 현재로서는 새로운 에너지 효율적인 기술이 막 태동하고 있는 단계이므로, 설계자들은 저전력 CMOS 설계를 하는데 많은 어려움을 겪고 있다. 저전력 소모를 위한 일반적인 가이드라인은 낮은 동작 전압, 낮은 스위칭 확률, 낮은 커패시턴스를 갖게 하는 것이다. 각각에 대해 약 50% 정도의 전력 소모를 기대할 수 있으며, 전체적으로는 약 1/10 정도로 전력을 줄일 수 있다. 새로운 설계에 대한 연구가 앞으로도 더 진행된다 할지라도, 저전력 문제를 근본적이고 장기적으로 해결하기 위해서는 새로운 기술들이 제안되어야 한다. 기술 혁신은 과거에 그랬듯이 앞으로도 일어날 것이다. 결국, 집적회로의 발전은 우리 사회에 미치는 영향을 미치며, 세계의 연구 발전을 증진시키는 역할을 한다.

References

- [2] T. Kuroda and T. Sakurai, "Overview of low-power ULSI circuit techniques," *IEICE Trans. Electron.*, vol. E78-C, no. 4, pp. 334-344, Apr. 1995.
- [3] G. Shahidi, et al., "Partially-depleted SOI technology for digital logic," in *ISSCC Dig. Tech. Papers*, Feb. 1999, pp. 426-427.
- [4] K. Diefendorff, "SOI to rescue Moore's Law," in *Microprocessor Report*, vol. 12 no. 11, pp. 8-12, Aug. 24, 1998.
- [5] F. Assaderaghi, et al., "A dynamic threshold voltage MOSFET (DTMOS) for very low voltage operation," *IEEE Electron Device Letter*, vol. 15, no. 12, pp. 510-512, Dec. 1994.
- [6] H. -S. P. Wong, et al., "Self-aligned (top and bottom) double-gate MOSFET with a 25nm thick silicon channel," in *IEDM Technical Digest*, Dec. 1997, pp. 427-430.
- [7] S. H. Tang, et al., "FinFET - A quasi-planar double-gate MOSFET," in *ISSCC Dig. Tech. Papers*, Feb. 2001, pp. 118-119.
- [8] J. M. Hergenrother, et al., "The vertical replacement-gate (VRG) MOSFET: a 50-nm vertical MOSFET with lithography-independent gate length," in *IEDM Technical Digest*, Dec. 1999, pp. 75-78.
- [9] Y. Akasaka, "Three-dimensional IC trends," *Proceedings of the IEEE*, vol. 74, no.12, Dec. 1986.
- [10] H. Klauk et al., "Pentacene organic thin-film transistors for circuit and display applications", *IEEE Trans. Electron Devices*, June 1999, pp. 1258 -1263.
- [11] T. Johnson, "Electronics of single-wall carbon nanotubes," in *ISSCC Dig. Tech. Papers*, Feb. 1999, pp. 210-211.
- [12] K. K. Likharev, "Single-electron devices and their applications," *Proceedings of the IEEE*, vol. 87, pp. 606-632, 1999.
- [13] R. Womack, et al., "A 16kb ferroelectric nonvolatile memory with a bit parallel architecture," in *ISSCC Dig. Tech. Papers*, Feb. 1989, pp. 242-243.
- [14] M. Durlam, et al., "Nonvolatile RAM based on magnetic tunnel junction elements," in *ISSCC Dig. Tech. Papers*, Feb. 2000, pp. 130-131.
- [15] K. Yano, et al., "128Mb early prototype for gigascale single-electron memories," in *ISSCC Dig. Tech. Papers*, Feb. 1998, pp. 344-345.
- [16] I. Aller, et al., "CMOS circuit technology for sub-ambient temperature operation," in *ISSCC Dig. Tech. Papers*, Feb. 2000, pp. 214-215.
- [17] M. A. Reed, et al., "The design and measurement of molecular electronic switches and memories," in *ISSCC Dig. Tech. Papers*, Feb. 2001, pp. 114-115.
- [18] T. S. Gardner, "Genetic applets: biological integrated circuits for cellular control," in *ISSCC Dig. Tech. Papers*, Feb. 2001, pp. 112-113.
- [19] I. L. Chuang, L. M.K. Vandersypen and J. S. Harris, "Bulk spin quantum computation: toward large-scale quantum computation," in *ISSCC Dig. Tech. Papers*, Feb. 1998, pp. 96-97.
- [20] <http://cs.www.media.mit.edu/projects/wearables/>
- [21] M. Clements, et al., "An implantable neuro-stimulator device for a retinal prosthesis," in *ISSCC Dig. Tech. Papers*, Feb. 1999, pp. 216-217.
- [22] Bluetooth specification V1.0b,
<http://www.bluetooth.com/developer/specification/specification.asp>
- [23] K. Finkenzeller, "FRID-hundbuch," Carl Hanser Verlag, Nov. 1999.
- [24] V. S. Hsu, J. M. Kahn, and K. S. J. Pister, "Wireless communications for smart dust," *Electronics Research Laboratory Memorandum*, no. M98/2, 1998.
- [25] E. Bonabeau and G. Theraulaz, "Swarm smarts," *Scientific American*, Mar. 2000, pp. 72-79.
- [26] T. Kuroda, T. Fujita, F. Hatori, and T. Sakurai, "Variable threshold-voltage CMOS technology," in *IEICE Trans. Electron.*, vol. E83-C, no. 11, Nov. 2000, pp. 1705-1715.
- [27] T. Kuroda, et al., "Variable supply-voltage scheme for low-power high-speed CMOS digital design," *JSSC*, vol. 33, no. 3, pp. 454-462, Mar. 1998.
- [28] M. Hamada, et al., "A top-down low power design technique using clustered voltage scaling with variable supply-voltage scheme," in *Proc. of CICC'98*, pp. 495-498, May 1998.
- [29] M. Hamada, Y. Otaguro, and T. Kuroda, "Utilizing surplus timing for power reduction," in *Proc. of CICC'2001*, May 2001.
- [30] M. Hamada, et al., "Flip-flop selection technique for power-delay trade-off," in *ISSCC Dig. Tech. Papers*, pp. 270-271, Feb. 1999.
- [31] T. Nishikawa, et al., "A 60MHz 240mW MPEG-4 video-phone LSI with 16Mb embedded DRAM," in *ISSCC Dig. Tech. Papers*, pp. 230-231, Feb. 2000.
- [32] K. Kanda, et al., "1.27-Gbps/pin, 3mW/pin Wireless Superconnect (WSC) Interface Scheme," in *ISSCC Dig. Tech. Papers*, Feb. 2003, pp. 186-187.
- [33] D. Mizoguchi, et al., "A 1.2Gb/s/pin Wireless Superconnect based on Inductive Inter-chip Signaling (IIS)," in *ISSCC Dig. Tech. Papers*, pp. 142-143, Feb. 2004.