

MPSoC '04 Workshop을 다녀와서

채수익 교수 | 서울대 전기·컴퓨터공학부 | E-mail : chae@sdggroup.snu.ac.kr

올해로 네번째를 맞는 MPSoC(International Seminar on Application-specific Multi-processor SoC) 워크샵은 주로 여러 개의 processor를 내장하고 있는 SoC 설계에 관련된 최근 연구 현황과 경험 등을 세계적인 전문가들이 발표하고 토론하는 세미나 형식으로 구성된다. 올해는 프랑스 남부 프로방스 지방에 있는 조그만 도시인 Saint-Maximin에 있는 호텔에서 7월 5일에서 9일까지 개최되었으며, 50여명(대학 27명, 산업체/연구소 23명)의 전문가들이 발표자로 참석했고, 전체 참석인원은 80여명 정도였다. 재미있는 사실은 이 호텔이 3년 전까지는 수도원이었다는 것이다.

반도체 제조기술의 지속적인 발달과 더불어, 소비자 만족을 위하여 전자제품이 제공해야 할 기능들이 점차 복잡해지고 많아짐에 따라, 이를 위한 SoC 설계의 복잡도도 증가하고 있다. 요구되는 집적도를 만족시키기 위하여 최근에 개발되는 복잡한 SoC 설계들은 130nm CMOS 공정을 사용하고 있고 곧 90nm CMOS 공정을 사용하게 될 것이다. 복잡한 SoC 설계의 경우에는 평균적으로 5개 정도의 embedded processor가 내장되고 있으며, 이미 10개 이상의 processor를 사용하여 SoC를 개발하고 있는 예도 적지 않다고 한다.

그러나 SoC가 Multi-processor 구조로 복잡해짐에 따라 풀어야 할 문제들이 여러 가지로 나눌 수 있는데, 첫 번째로 주어진 specification을 만족시키기 위하여 필요한 일을 여러 가지 function 또는 task로 분할하는 문제, 두 번째로 분할된 task를 효율적으로 처리 할 수 있는 적합한 processor나 hardware를 설계하는 문제와 세 번째로 여러 개의 processor들 간의 communication을 지원할 수 있는 network를 설계하는 문제들로 나누어 생각할 수 있다. 이 참석후기에서는 2004년도 MPSoC workshop에서 발표된 것 중에서 세 번째에 해당하는 NoC (network-on-chip)에 관련된 발표와 두 번째에 해당하는 configurable processor에 관한 발표 중 대표적인 것을 요약하려고 한다.

1. NoCs

최근 SoC 설계에서 NoC가 중요한 문제가 되는 것은 지금까지의 반도체설계가 주로 단일 processor 기반의 집적형 구조이면서 computation 중심이었다면, 이제는 다중 processor 기반의 분산형 구조로 나아가고 있기 때문에 computation과 communication이 동시에 고려되어야만 하는 시점이 되었기 때문이다. 또한 여러 processor들이 최대 성능을 낼 수 있도록 연결하는 network on-chip 설계가 processor 설계보다 연구가 미진한 영역이었기 때문이기도 하다. 이번 workshop에서 NoC관련된 발표들을 요약하면 다음 네 가지 발표가 있었다.

(1) Networks on chip (발표자: Luca Benini, University of Bologna, Italy)

이 발표는 tutorial 성격이 강한 형태로 발표되었는데, 앞으로 만들어질 silicon platform에서 on-chip 통신의 문제를 풀기 위하여 혁명적인(revolutionary) 해결책으로 등장한 NoC를 진화론적인(evolutionary) 관점에서 접근하여 설명하였다. 발표자는 전통적인 on-chip bus 표준인 AMBA AHB에서 진보된 split transaction bus인 AMBA AXI bus, 그리고 Multiplexer대신 좀 더 복잡한 cross bar switch 이용하는 AMBA multi-layer bus나 STBUS 등으로 bus의 변화과정을 설명한 다음 기본적인 NOC 설계 방법론을 설명하였다.

HW 수준에서는 NoC의 두 가지 기본 요소인 network interface와 router를 modular하게 설계를 해야 하며, 각각은 명확한 계층 구조 (physical layer, link layer, network layer와 transport



layer)를 가지도록 설계해야 한다고 주장하였다. 또한 QoS 요구 사항을 정의하고, end-to-end transaction을 정의하는 것이 필요하다고 하였다. 결론에서 SoC의 communication 구조는 현재의 bus 기반 연결에서 NoC 기반 연결로 진화되어가고 있으며, 방법론과 tool 개발이 가장 중요한 문제이며, 계층 간의 HW/SW tradeoff가 어려운 문제라고 지적했다.

(2) The next level of platforms: Network-on-silicon

(발표자: Albert van der Werf, Philips Research, The Netherlands)

이 발표에서는 실리콘의 계산 능력이 증가하는 것을 이용하고 미래 설계에서의 병렬화를 다루기 위하여 지금의 플랫폼 이용 단계에서 통신이 중심이 되는 Networks-on-silicon (NoS)를 이용하는 단계로 넘어가야 한다고 주장하고, 현재 Philips Research에서 하고 있는 NoS 연구에 대하여 설명했다. 여기에서의 통신은 scalable platform의 기초 기술로 전자 회로 수준에서의 통신부터 분산 시스템간의 통신까지 포함한다. 다시 말하면 system 구현은 여러 chip들의 조합의 연결로 구현되기 때문에 intra-chip communication 과 inter-chip communication 모두를 포함한다. 발표자는 특히 processors, memories 와 buses로 구성된, 요즘 embedded system이라고 불리는, autonomous subsystem들을 OSI model과 비슷한 계층 구조를 가지고 있는 통신 infrastructure를 이용하여 structured approach를 이용해야 한다고 강조했다. 결론적으로 architecture가 computation 중심에서 communication 중심으로 바뀌어야 하고 미래 platform은 subsystem을 연결하는 NoS가 핵심이 될 것이라고 했다. 그리고 1) communication layer 간의 interface, 2) lower layer에서 제공되는 service, 3) entity간의 통신을 정의하는 protocol을 표준화할 필요가 있고, SDK를 포함한 design environment의 표준화도 중요하다고 했다. 빠른 performance evaluation을 자동화한 design flow가 필수적이며, 이 모든 것의 실현을 위하여 open platform을 지향할 필요가 있다고 했다.

(3) Synthesis of reliable NoCs

(발표자: Giovanni De Micheli, Stanford University, USA)

이 발표에서는 high-level structured model에서 NoC를 합성하는 것과 encoding과 redundancy를 이용하여 communication reliability를 개선하는 것 두 가지에 대하여 발표했다. 요약하면 점차 복잡한 설계를 DSM (Deep Sub-micron) 공정으로 제조하기 때문에, 제조 시 결함, 설계 불완전성, 환경요인 고장 문제 등이 있게 된다. 따라서 높은 reliability가 요구



되는 dependable system 설계에서는 component redundancy, reliable connection, robust 설계 등을 이용하여야 한다는 것이다. 특히 packet-based on-chip network를 설명하고 이를 micro-network이라 하여 기존 computer network을 의미하는 macro-network와 구별하였다. 대표적인 차이점으로 micro-network이 communication latency가 적으며, communication energy 소모가 적고, 표준이 아직 정립되어 있지 않고, 특정 응용에 적합하게 할 수 있는 것이 특징이라고 설명했다. 결론으로 multi-processor system을 integration하기 위하여 micro-network이 적합하다고 했다. micro-network에서 높은 reliability를 제공하기 위하여 redundant stand-by component 지원하고, alternative path을 허용하여 fault-tolerant communication을 제공할 수 있다고 했다.

(4) Predictable System: Reality or Just an Illusion?

(발표자: Kees Goossens, Philips Research Laboratories, The Netherlands)

발표자는 우선 대부분의 전자제품이 embedded system이 실시간동작이 요구되고 어느 정도는 safety critical하다고 전제하고 이러한 기능이 요구되는 SoC 설계는 predictable한 구조를 이용하는 것이 타당하다고 했다. 복잡한 SoC 설계에서는 다수의 processor들이 여러 resource들을 공유하는데, 지금까지는 각 resource마다 arbiter를 두어 contention을 해결해 왔다. 그러나 arbiter간의 interference로 인해 시스템 전체가 어떤 동작을 할지 예측하는 것이 쉽지 않기 때문에 과잉 설계를 통해 문제를 방지해왔다. QoS(Quality of Service) 개념을 SoC 설계에 도입함으로써 시스템의 predictability를 높일 수 있는데, guaranteed service가 reasoning, verification, analysis 등을 쉽게 하고 subsystem이 나머지 시스템과 독립적이 되게 하므로 compositional design style 사용 가능하게 하기 때문이다. 결론적으로 짧은 time-to-market을 만족시키기 위해서 Compositional design style을 이용하여 쉽고 빠르게 설계하고 검증하는 것이 기본 취지였다. 발표자는 이 주장을 뒷받침하기 위하여 integration 관점에서 interconnection이 핵심이고 두 가지 parameterized building block인 router와 network interface을 이용하여 쉽게 연결하여 검증하도록 하는 시스템을 Philips 연구소에서 개발한 시스템(Athereal)의 예를 들어 설명했다.

2. Configurable Processors

100nm 이하의 공정 기술을 사용하기 위해서는, 한 mask set 가격만 백만 불이 넘게 되고 전체 design cost는 천만 불이 넘어 갈 것이라고 한다. 그러한 상황을 반영하면 SoC 설계를 한 응용을 염두에 두고 설계하는 것 보다는 큰 NRE 비용에 정당성을 부여할 정도의 volume을 보장하도록 여러 응용을 수용할 수 있도록 설계해야 한다. 이를 위해서는 SoC의 기능과 성능을 software를 이용하여 차별화할 수 있는 programmable processor를 이용하여 설계해야 한다. 그러나 general-purpose processor로는 성능을 최대화할 수 없고, application-specific processor를 이용하기 위해서는 개발 및 유지비용이 적지 않다. 더욱이 특정 목적의 processor를 개발하여 이용하기 위해서는, compiler, debugger, assembler, simulator 등을 개발해야 하는데 그러한 전문 인력을 보유하고 있는 집단이 많지 않은 것이 현실이다. 결국 한 개의 base processor를 필요에 따라서 configure하고 이에 상응하는 tool chain을 자동으로 생성하여 제공할 수 있다면 이것이 생산성이 높은 SoC 설계 방법론이 되기도 한다. 이러한 의미에서 configurable processor의 중요성이 매우 높다고 할 수 있다. 이번 MPSOC '04에서 configurable processor에 관련된 발표 중 다음 세 가지를 요약하려고 한다.

(1) XRES: fully automated processor generation from C

(발표자: Chris Rowen, Tensilica Inc., USA)

발표자는 먼저 SoC 설계가 RTL 중심 설계에서 processor 중심 설계로 바뀌어 가야 한다고 주장했다. 그 이유로는 높은 비용과 짧은 time-to-market 때문에 설계 시간은 단축하더라도 실패할 가능성을 줄일 필요가 있는데, 이를 위하여 이미 검증된 programmability를 제공하는 processor가 기본 설계 block이 되어야 한다고 주장했다. Tensilica 회사의 최신 제품인 XRES는 C로 구현된 응용 코드를 자동 분석하여, 이에 적합한 ASIP을 자동으로 생성하고, 포팅된 OS를 포함하여 프로그램 개발에 필요한 tool chain을 모두 자동 생성시키는 환경이다. 발표자는 XRES를 이용함으로써 Custom logic을 설계할 때 수반되는 위험성을 제거하고 엔지니어가 C 코드 수준에서 쉽고 빠르게 설계하면서도 제조 후에도 programmability를 가질 수 있는 장점이 있다는 것을 주장했다.

(2) The programmer's view of a dynamically reconfigurable architecture (발표자: Luciano Lavagno, Politecnico di Torino, Italy)

발표자는 계속 증가하는 ASIP의 mask 비용과 설계 비용 때문에 reconfigurable computing (RC)이 미래에 유망한 수단으로 등장하고 있다고 주장하면서 현재 개발 중인 XIRISC Architecture를 설명했다. 이 reconfigurable processor는 동적으로 확장 가능한 2-channel VLIW ISA로 shared functional unit들과 embedded FPGA가 구성되어 있다. Embedded FPGA는 한 clock cycle에 재구성될 수 있는 4개의 configuration plane으로 구성되어 있는데, 각 plane의 여러 가지 function map을 저장할 수 있다고 한다. XIRISC는 응용코드 중에서 reconfigurable FPGA에 mapping할 부분을 tag함으로써 dynamically reconfigurable machine을 program하는 software-oriented approach를 도입했는데, compiler와 simulator를 이용하여 DSE를 할 수 있기 때문에 hardware 설계 지식이 없이도 program할 수 있도록 만들어졌다고 주장했다.

(3) Application specific processors in industrial SoC designs

(발표자: Steffen Buch, INFINEON Technologies AG, Germany)

발표자는 먼저 SOC 설계에서 flexibility가 필요한 이유로 다중 표준의 지원, 표준의 불확실성, 성능 개선과 사양 변경, 버그 수정 등을 예로 들고, volume이 큰 consumer 시장에서의 엄청난 가격 압박과 flexibility 간의 균형을 잡는 문제를 ASIP을 통해 해결할 수 있음을 설명하였다. 일반적으로 ASIP은 범용 microprocessor보다는 성능이 좋고 저전력이며 RTL hardware 설계보다는 유연하다. ASIP 기술의 driver로, 1) throughput, power efficiency, code 및 data density 등 성능 개선, 2) platform approach에 적합하도록 configuration이 가능도록 하여 설계 효율, 3) late/in-field change, product derivatives과 bug fixing 등을 위한 product programmability, 그리고 4) royalty 지불을 최소화해야 할 필요성 등 4 가지를 들어 설명했다. 결론적으로 앞으로 ASIP이 SoC 설계에서 매우 중요하고 ASIP 설계 방법론이 더 개선 될 필요가 있다고 주장했다.

이 MPSOC 참석 후기의 결론으로 필자의 전문분야가 아닌 내용을 피상적인 이해를 바탕으로 요약하다 보니 필자의 개인적인 의견이 반영되어 왜곡된 내용이 있을 가능성이 있다는 것을 밝히고 싶다.