

고속 디지털 주파수합성기 설계기술

| 서론 |

DDFS (Direct Digital Frequency Synthesizer)는 기존의 PLL (Phase-Locked Loops)에 의한 아날로그방식의 주파수합성기 보다 월등한 수 Hz 이하의 주파수해상도, 수십 nS 정도의 고속 스위칭, 이론적으로 Nyquist ($1/2$ the clock rate) 범위의 안정되고 넓은 tuning range, 및 디지털합성으로 인해 기존 합성기에 비해 근본적으로 낮은 위상잡음등을 주요 특징으로 하고 있다.

따라서 DDFS는 주파수간섭에 의한 multi-path fading에 강하고 보안성이 뛰어난 주파수 호핑 (Frequency Hopping)방식에 의한 전술 무선 휴대통신 단말기 및 이동 레이다 개발에 필수적인 군 통신 핵심 부품으로 대두되고 있다. 또한 DDFS는 TDMA 방식의 개인휴대통신 단말기는 물론, 정밀 계측기 및 디지털 오디오 디스크 플레이어 등 민수분야에 있어서도 미래의 다양한 멀티미디어 매체의 고정밀도, 고속 스위칭이 필요한 수요에 가장 강력한 주파수합성방식으로 그 중요성이 높아지고 있다.

본 고에서는 먼저 고속 디지털 주파수합성기에 대한 일반적인 기술동향에 대해 소개하고, 본 연구원이 민군사업의 일환으로 개발 한 바 있는 저전력 고속 주파수합성기 과제에서 민수부분의 일부 결과를 기술하고자 한다.

| 디지털 주파수 합성기 개요 |

현대의 통신시스템에서 필요로 하는 주파수합성기는 성능면에서 주파수 해상도, 대역폭과 천이속도들의 대폭적인 개선이 필요한 시점이다. 종전에는 아날로그 방식의 PLL을 사용하여 대부분의 통신시스템용 주파수합성부를 구현하였으나, 시스템의 디지털화 추세로 인해 최근 디지털방식의 주파수합성기에 대한 관심과 연구개발이 급증하는 추세이다.

주파수합성기란 한 개 혹은 여러개의 주파수원으로부터 단일 출력주파수 혹은 서로 다른 여러개의 출력주파수를 발생시키는 장치로서 합성방법에 따라 직접방식, 간접방식과 디지털방식이 있다. 직접방식은 하나 혹은 그이상의 기준주파수에 분주와 체배를 가함으로써 다수의 출력주파수를 얻는 방식으로서 천이시간이 거의 발생하지 않지만 호핑주파수의 갯 수가 증가할수록 시스템 구성이 복잡하여지고 부피가 커진다는 단점이 있어 실용성이 떨어진다. 간접방식인 PLL은 높은 주파수대역에 대한 노이즈 제거 기능이 있어 비교적 우수한 SNR을 가지고 있어 현재 주파수합성기의 주종을 이루지만 궤환루프의 특성상 동기시간의 지연으로 빠른 주파수 hopping시스템에는 적합하지 않다. 이에 비하여 디지털 방식은 표본화이

론과 디지털-아날로그 신호 변환기술로 출력파형을 합성하는 방식으로, 광대역에 사용 가능하며 발생 주파수의 해상도 및 안정도가 뛰어나고, 변화가 연속위상을 이루므로 코히런트 통신이 가능하며 천이시간이 짧아 빠른 주파수호핑 시스템에 적합하다.

DDFS는 1970년도 초 개념이 도입되었으나 기존 PLL과는 달리 높은 집적도 (1~5만 transistors 수준)를 요구하며 이에 따른 저속화 및 협소한 주파수대역폭 등의 단점으로 인해 개발이 지연되었으나 반도체 기술의 발전과 더불어 최근 주파수합성기 분야 중 가장 급속히 발전되고 있는 방식이다.

DDFS의 독특한 장점으로는 정현파의 크기는 시간에 대해 비선형인데 비해 선형적인 위상정보를 디지털 data화 하여 합성에 이용하므로 시스템의 기본 구조 자체가 단순할 뿐 아니라, 제어하기(Programmable)가 용이하며, 이론적으로는 Clock frequency (Fclk)를 Phase Accumulator (PA) bit 수 (N)로 나눈 값 만큼의 정밀도를 유지하는 할 수 있다. (DDFS의 예: N=32bit, Fckt=20MHz인 경우 Frequency Resolution = 0.00465Hz). PLL의 경우 궤환회로의 settling 및 VCO response 시간 등으로 인해 수백 us~ 수ms의 시간이 요구되고 있으나 DDFS는 별도의 궤환 loop가 없으며 VCO 등 발진기가 별도로 필요없기 때문에 digital processing에 의한 지연제한이 switching 시간이 되며 수십 nS 정도의 성능이 현재 보고되고 있고 향후 반도체 소자기술의 개발 추세에 맞추어 더욱 우수한 성능이 예상된다. 또한 기존 PLL의 bandwidth는 loop의 stability에 민감한 반면, DDFS의 bandwidth는 입력 신호 (Fckt)에 대한 Nyquist criteria에 의해 제한 받을 뿐, 기본적으로 system의 stability가 PLL 방식에 비해 월등히 우수하고 디지털화된 data로 정현파를 재현하게 됨으로써 외부의 입력 clock (예: Fckt)에 의한 discrete한 spur가 noise의 대부분을 차지함으로써 우수한 위상잡음 특성을 나타내는 점 등이 있다.

반면 DDFS가 해결해야 하는 주요 부분으로는 고속 회로 설계 기법과, ROM 및 DAC의 소요 bit를 compression 할 수 있는 최적 구조의 개발, 대부분의 전력을 소모하는 DAC의 저전력화, wide bandwidth와 high spectral purity를 동시에 얻을수 있는 새로운 구조 개발 등이 필요로 한다.

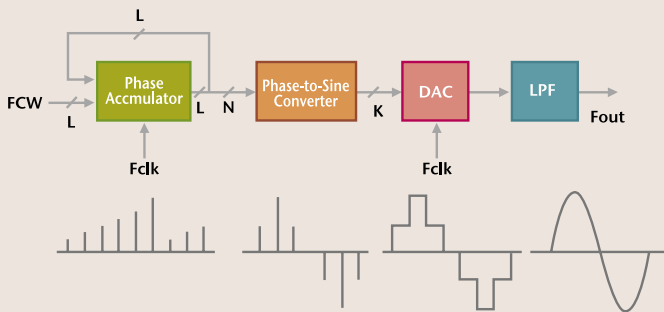
가격을 우선하는 민수용의 경우 CMOS 기술에 의한 DDFS System의 one-chip 화가 주된 기술개발 방향이 될 것이며 군수용의 경우, wideband를 수용하면서 상대적으로 저전력을 유지해야 하므로 CMOS와 고속/저전력을 동시에 만족하는 소자 (GaAs, Bipolar, 등)의 혼합 기술 채택이 유력시 되고 있다. 다만, CMOS기술의 급격한 발전으로 Vdd <1.2V, Fmax> 100GHz의 성능이 현재 보고 되고 있는 만큼, 군수용 DDFS system도 CMOS에 의한 single chip

solution이 실현될 수 있도록 지속적인 연구 노력이 수행되어야 할 것이다.

미국 Qualcomm, Analog Device, Stanford Telecom, Harris, Osicom 등에서 CMOS를 이용한 DDFS를 개발, 그 동안 문제가 되어왔던 저소비전력 및 low cost가 어느정도 해결되어 부분적으로 상용화가 진행되고 있다. 한편 DDFS system구성에 문제가 되어 온 고속, 저전력 DAC 개발은 기존의 ECL에 Silicon bipolar 기술이 활용되어 왔으나 TRW사의 GaAs 기술 혹은 SiGe HBT 소자도 특수용으로 사용되고 있다. 최근 CMOS 기술의 급격한 발전으로 DDFS용 DAC도 CMOS로 구현하고자 하는 노력이 진행되고 있으며, 그 노력의 일환으로 미국 Broadcom사의 DAC는 0.35um CMOS기술로 500Msamples 시 125mW의 소비전력을 보여주었으며, 벨기에 캐톨릭 대학의 Steyaert 그룹은 14bit resolution, INL<0.3LSB, uprate 150MS/s에서 300mW(@15MHz)의 성능을 발표하고 있다. 이와 함께 CMOS에 의한 single chip 구현을 목표로 지속적인 연구가 수행되고 있으며 부분적으로는 Analog Device사 혹은 NTT, Siemens, Philips, 및 대학 등 여러 연구기관에서 연구개발 단계로 DDFS system 전체의 집적화 시도가 활발히 전개되어 상용화단계에 접어들었다.

디지탈 주파수 합성기 동작원리

DDFS의 기본 구조와 각각의 구성요소에서의 출력 파형은 그림 1과 같다.



[그림 1] DDFS의 기본 블록 다이어그램

매 clock마다 L비트의 FCW(frequency control word)가 PA(Phase Accumulator)에 저장되어 있는 값에 더해진다. PA에서는 계속 FCW가 더해지므로 overflow가 발생하게 되고, PA에 저장되어 있는 L비트의 값 중에서 MSB 쪽에 있는 상위 N비트가 PSC (phase-to-sine converter)로 입력된다(phase truncation). PSC에서는 N비트의 phase에 해당하는 sine값을 출력한다. PSC를 구현하는 방법은 ROM을 이용하는 방법, Taylor series를 이용하는 방법, CORDIC(Coordinated Rotation Digital Computer)을 이용하는 방법 등이 있다. PSC의 디지털 출력 값이 DAC를 통과하고 나면 아날로그 값으로 변환되고, 끝으로 Low Pass Filter (LPF)에 통과시켜서 최종적으로 고조파 성분이 제거된(부드러운) 파형을 얻는다. DDFS의 출력 주파수는 식 (1)과 같다.

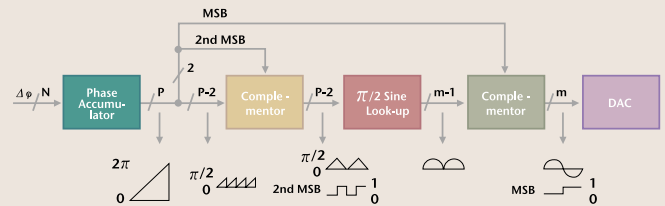
$$F_{out} = \frac{FCW \cdot F_{clk}}{2^L} \quad (1)$$

FCW가 1만큼 변할 때 출력 주파수의 변화량이 주파수 해상도이므로, 주파수 해상도는 식 (2)와 같다.

$$\Delta F = \frac{F_{clk}}{2^L} \quad (2)$$

PA의 비트 수(L)가 크고 클럭 주파수가 작을수록 주파수 해상도가 향상된다. DDFS의 대역폭은 출력주파수의 최대값과 최소값의 차이로 정의된다.

민수용 디지탈 주파수 합성기



[그림 2] DDFS의 기본구조의 블록도

그림 2는 개발한 민수용 DDFS 기본 구조이다. 그림 2에서처럼 설계된 DDFS는 크게 PA, Complementor, Sine-lookup-table, DAC로 구성된다. 매 클럭마다 N비트 입력 주파수 가 N비트 위상 누적기에 더해진다. 위상 누적기에 p비트 위상 출력은 위상 값에 따른 m비트 사인 값을 저장하고 있는 롬의 어드레스로 사용된다. 이때 주파수 해상도는 $\Delta f = \frac{f_{clk}}{2^N}$ 이고 DDFS의 출력 주파수는 $f_{clk} = \Delta f \times \Delta \varphi$ 이다. n번째 클럭에서 p비트 PA의 출력이 $\Phi(n)$ 일 때, DDFS의 출력은 $\sin\left(2\pi \frac{\Phi(n)}{2^N}\right)$ 이 된다.

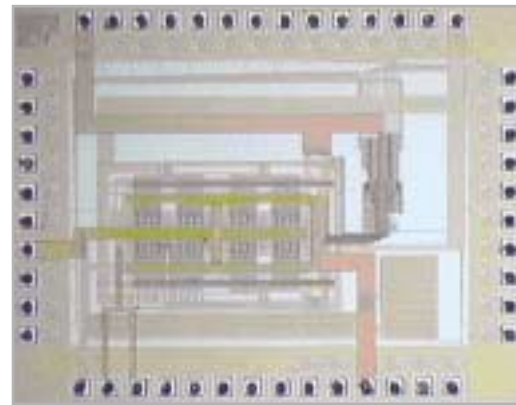
그림 2의 DDFS는 사인함수의 대칭성을 사용하여 rad 대신 rad의 사인 값을 저장하는 방식을 사용하였다. 최상위비트는 DDFS 출력 값의 사인비트를 결정하고 두 번째 상위비트는 사인파의 증감을 결정한다. PA 출력의 나머지 p-2비트는 사인 롬의 어드레스로 사용된다. 사인함수를 저장하기 위한 롬의 크기는 매우 크다. 그 롬의 크기는 가 된다. 32비트 입력 주파수와 12비트 출력 값을 가지는 DDFS의 경우, 45K비트 롬이 필요하다. 새롭게 제안한 롬 압축방식은 Sunderland 알고리즘과 사인위상차 알고리즘에 의하여 만들어진 두 개 롬들의 크기를 줄여주는 구조이다.

<표 1> 롬 크기 비교

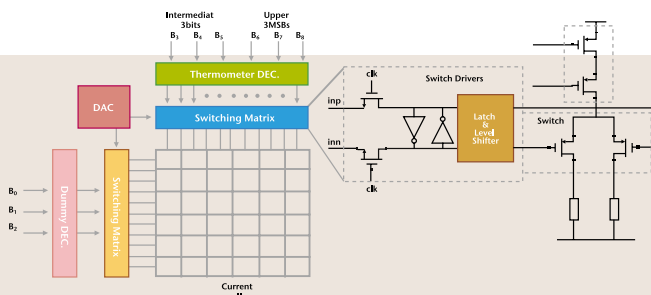
Compression Technique	ROM size in normalized bits	
	12bit output	10bit output
Uncompressed memory	78.77	44.9
Sunderland architecture	1.54	1.68
Nicholas architecture	1.23	1.40
Proposed architecture	1	1

표 1은 기존 DDFS 롬들의 상대적인 크기들은 보여준다. 각 롬의 크기는 제안된 DDFS의 롬의 크기를 기준으로 한다. 결과적으로, 제안된 DDFS는 12비트의 경우 최고 78.77%의 개선 효과를 보여 주고 있으며 Nicholas 알고리즘에 비하여 23% 정도 롬 크기를 감소 하였다.

DAC는 디지털 sinwave 파형을 아날로그 신호로 변환 해주는 역할을 한다. DAC는 디지털 주파수 합성기의 전체 성능을 결정하는 중요한 요소로, 특히 DAC의 선형성은 DDFS 칩의 SFDR을 좌우한다. 이는 DAC의 출력 주파수가 증가할수록 SFDR이 급격히 감소하기 때문이다. 설계된 DAC는 동작속도가 빠른 segmented current steering 구조를 사용하였다.



[그림 4] 제작용 DDFS 칩 사진



[그림 3] 9bit DAC 구조 블록도

DAC의 전체 블록도는 그림 3과 같다. LSB 3bit 은 binary weight 로, MSB 6bit은 thermometer -code로 구성된다. 그러나 MSB 6bits 전체를 thermometer decoder로 구성할 경우 63개의 로직회로를 구성 해야 하며 면적이 증가하고 또한 배선이 복잡해지기 때문에 MSB 6bits을 상위 MSB 3bits 과 하위 MSB 3bits으로 나누었다. 최종단의 load는 필터와의 임피던스 정합을 위해 50옴으로 설계하였다.

제안된 DDFS는 0.35um 공정을 사용하여 제작되었다. 32비트 입력 주파수와 9bit DAC 출력의 DDFS의 성능이 표 2에 요약되어 있다. 칩 테스트 결과, 최고 동작 클럭 주파수는 330MHz였으며 주파수해상도는 0.0745Hz, BW는 약 100MHz (최대 165MHz), 그리고 SFDR은 50~75dBc의 성능을 보여 주었다. 그림 4는 제작된 민수용 칩 사진이다.

<표 2> 민수용 DDFS 성능 요약

Technology	0.35um CMOS
Frequency Input Word	32 bits
DAC	9 bits
Max Clock Frequency	330MHz
Tuning Latency	11 clock cycles
Tuning Bandwidth	165MHz (at 330MHz Fclk) 100MHz (available)
Worst-Case Spurious	75dBc(Narrow Band) , 50 dBc (Wide Band)
Frequency Resolution	< 0.0745Hz
Power Dissipation	200mW (at 125MHz Fclk, 3.3V)
Transistor Count	7,168(digital block)

요약

본 연구팀이 Hynix 0.35um CMOS 4M 2P 공정을 사용하여 제작한 민수용 DDFS (DAC를 포함한 single chip)는 DC부터 100MHz 까지 사용할 수 있으며 (BW=100MHz) frequency 변환속도 약 30nS, 주파수해상도 0.0745Hz, 그리고 소비 전력은 120MHz 클럭에서 약 200mW이다. 본고에서는 언급하지 않았지만, 본 연구팀이 별도의 설계로 진행된 군수용 DDFS의 경우, 출력주파수는 DC부터 320MHz 까지 가능하고 소비 전력은 800MHz 클럭에서 약 400mW이다.

이처럼 DDFS는 특성 자체의 우수성 뿐 아니라, 각종 멀티미디어 기기 및 통신 시스템의 급격한 디지털화 추세로 인해 주파수합성기도 디지털화 함으로써 VLSI 화가 용이하고, 이에 따라 S/W에 의한 다기능화 (programmability), 응용성의 극대화, 및 저가격화를 추구할 수 있다는 점에서 주목해야 할 분야이다. 특히 반도체기술의 발전으로 지금까지 DDFS 구현의 가장 큰 장애로 대두되던 DAC의 고속화가 부분적으로 가능해지면서 (TTL-to-ECL interface 부가회로가 별도로 필요없이 직접적인 연결), DDFS의 시장 전망을 더욱 밝게 하고 있다.