



정승민, 남진문, 양동훈, 이문기

연세대학교 전기전자공학과 VLSI&CAD Lab,
E-Mail : jjasmin@yonsei.ac.kr

CMOS로 구현된

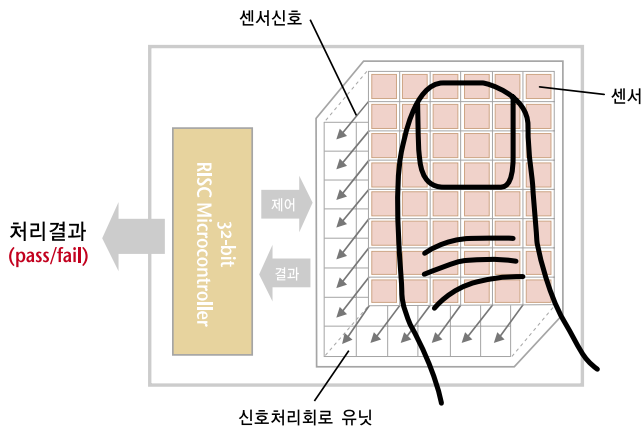
32b 마이크로컨트롤러 내장 용량형 지문인식 센서

1. 개요

지문은 개인의 인증을 위한 가장 대표적인 생체 인식 기법으로 알려져 있다. 최근 반도체 방식의 단일 칩 지문센서의 연구가 활발히 진행되고 있다. 몇 개의 연구결과들은 작고, 얇으며, 저가의 직접터치 방식의 반도체 지문인식 칩의 가능성을 보여주고 있다[1]~[5]. 하지만 기존 시스템은 이미지처리를 위한 별도의 마이크로컨트롤러를 필요로 하므로 지금까지의 지문인식 시스템은 부피와 경제적인 측면에서 휴대용기기에 적용하기에 적합하지 않았다.

본 논문에서는 위와 같은 문제의 해결방안으로 센서와 마이크로컨트롤러가 하나의 칩으로 구현되는 새로운 구조의 지능형 지문인식 칩을 제안하고 있다. 설계된 칩은 몇가지 특징을 갖고 있다. 첫째로, 지문인식 알고리즘을 처리하기 위한 내장형의 고성능 32비트 명령어축약형(RISC) 마이크로컨트롤러를 탑재하고 있다. 설계된 마이크로컨트롤러는 FPGA로 구현되어 검증되었다. 둘째로, 반도체방식의 용량형 지문인식센서의 문제점인 기생용량의 영향을 효과적으로 제거하면서 지문의 ridge와 valley간의 전압차를 획기적으로 향상시킨 센서신호 검출회로를 설계하였다. 제안된 검출회로는 전하분할(charge-sharing)방식을 적용하고 있다. 용량형(capacitive) 지문센서의 원리는 센서부분인 최상위 금속판(metal plate)과 지문의 골곡인 ridge와 valley가 절연층(passivation)을 사이에 두고 존재하는 용량(capacitance) 값의 차이를 전압 혹은 전류로 변환하여 기준신호와의 크기를 비교하여 이진화된 신호로 만들어 이미지화 한 다음 적절한 지문이미지처리 알고리즘을 거쳐 본인여부를 판별하도록 일련의 처리가 반도체회로로 구현된다. 셋째로, 직접터치방식의 반도체 센서의 문제점인 정전기(ESD)에 의한 칩 고장을 해결하기위한 새로운 센서레이어 구조를 제안하고 있다. 각각의 센서 픽셀은 수평과 수직방향의 접지우물(grounded wall)을 통하여 완벽한 차폐구조를 형성하고 있다. 따라서 형성된 정전기는 접지를 통하여 효과적으로 방전되어 높은 ESD tolerance 전압을 유지하게 된다. [그림 1]은 본 논문에서 제안된 32비트 마이크로컨트롤러 탑재 용량형 지문인식 센서 동작원리 및 구조를 나타내고 있다.

테스트 칩은 160×192 픽셀레이아웃과 32비트 RISC 마이크로컨트롤러로 구성되었다. 칩은 0.35μm 표준 CMOS 공정으로 제작되었다.



[그림 1] 32비트 마이크로컨트롤러 탑재 용량형 지문인식 센서 동작원리 및 구조

2. 지문인식 신호 검출회로 설계

센서신호를 처리하기 위한 방식에 있어서, charge-sharing 방식[1], charge-transfer 방식[3], sample and hold 방식[4], feedback-capacitive sensing 방식[5], 등이 구현된 바있다. 이중 charge-sharing 방식은 회로가 간단하여 센서플레이트 면적을 줄이면서 고화질의 이미지를 얻는데 유리하다. 반면, charge-sharing 방식을 이용한 지문인식 센서의 신호처리에 있어서 최 상위 센서 금속판에 존재하는 기생용량은 지문의 ridge와 valley간의 감지되는 전압차이를 감소시켜 기준전압의 동작범위에 제한을 주고 전체적으로 지문인식 센서의 이미지 질 저하에 결정적 요인이 된다. 따라서 charge-sharing 방식의 회로는 지문의 ridge와 valley간의 전압차이를 최대한 크게 해줄 수 있도록 설계되어야 한다. [그림 2]은 기존의 charge-sharing 방식의 회로를 나타낸다. 최상위에 센서플레이트가 있고 감지회로는 하부에 놓이게 된다. [그림 2]에서 최상위 금속판에 존재하는 기생용량 C_{p3} 는 식 1에서와 같이 ridge와 valley간의 전압차이를 감소시켜 기준전압의 동작범위에 제한을 주게 된다. 이러한 측면에서 그림 1에서처럼 단위이득 버퍼(U-BUF)를 이용하여 C_{p3} 의 양단의 전압차를 0에 근접하게 유지함으로써 센서 금속판 하부의 기생용량 값의 영향을 줄인 점은 효과적이라 할 수 있다[1]

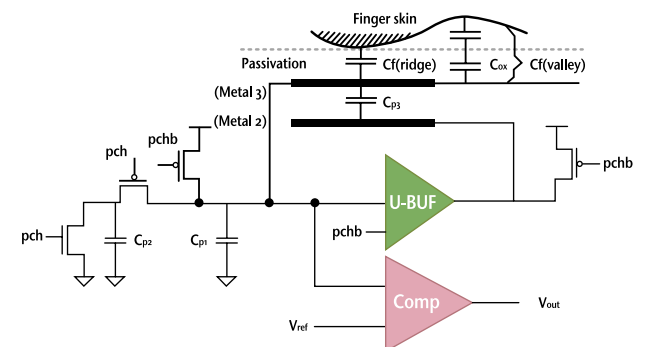
$$V_{\text{ridge}} - V_{\text{valley}} = \frac{(C_{p2} \times C_{\text{ox}}) \times V_{\text{dd}}}{(C_{p1} + C_{p2} + C_{p3})^2 + (C_{p1} + C_{p2} + C_{p3}) \times C_{\text{ox}}}$$

여기서,

C_{ox} : 절연층 용량(passivation layer capacitance)

V_{ridge} : 지문의 융선 검출 전압(detected voltage of ridge)

V_{valley} : 지문의 계곡 검출 전압(detected voltage of valley)



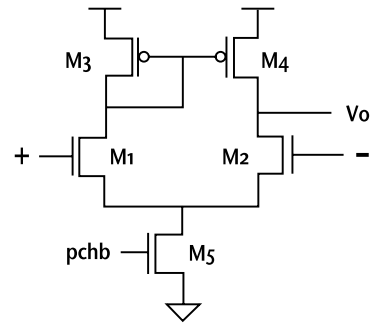
[그림 2] 기존의 charge-sharing 방식 센서검출회로

하지만 실제 반도체 구조상 C_{p3} 가 이상적으로 제거된다고 할 수 없고 조건에 따른 공정파라미터의 변화를 감안 한다면 실제 얻을 수 있는 ridge와 valley 간의 전압 차는 훨씬 작아질 것으로 예상된다. 따라서 전압 차를 더욱 향상시키기 위한 새로운 회로의 개발이 필요하다.

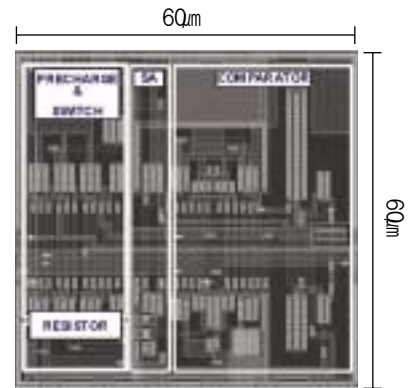
[그림 3](a)는 제안된 센서 검출회로이다. 제안된 회로는 precharge 제어 신호 pch와 스위치 신호 SW1의 조작에 의하여 [그림 3](b)와 같이 크게 3가지 동작 모드를 갖게 된다. 첫 번째 모드는 precharge mode이며 회로의 각 노드는 접지와 vdd로 precharge된다. 두 번째는 unit-gain mode



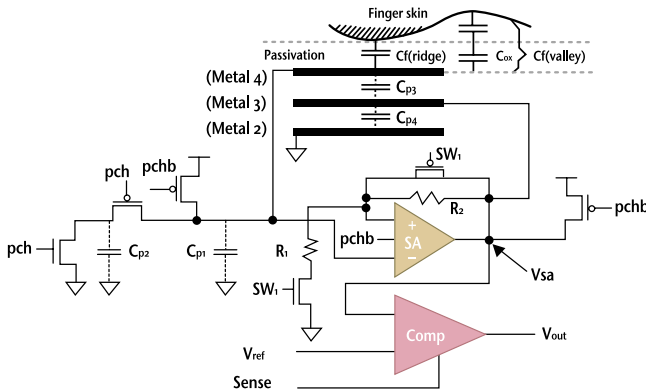
로서 pch와 스위치 신호 SW1이 low인 구간으로 SA(simple current mirrored amplifier)의 출력단과 negative 입력 단을 연결하여 단위이득 버퍼로 동작한다. 이 구간에서 기생용량 C_{p3} 의 양단의 전압차를 0에 근접하게 유지함으로써 센서 금속판 하부의 기생용량 값의 영향을 제거하게 된다. 기생용량이 제거된 ridge와 valley 간의 전압 차는 마지막으로 amplification mode에서 크게 증폭된다. 스위치 신호 SW1이 high 인 구간으로 이때, 이상적이지는 못하지만 SA는 저항 R2와 R1의 비율에 비례하여 non-inverting amplifier로서 동작한다. 따라서 제안된 회로에서 SA는 단위이득 버퍼는 물론 증폭기로서 재사용됨으로써 기생 용량을 제거하고 감지된 ridge와 valley 간의 전압 차를 더욱 크게 한다. SA는 센서플레이트 면적의 제약에 따라 [그림 4]와 같은 간단한 회로를 적용하였다. 본 논문에서는 이러한 효과를 확인하기 위하여 우선, $0.35\mu\text{m}$ 표준 CMOS공정 디자인 규칙을 이용하여 [그림 5]와 같이 최적화된 레이아웃을 실시하여 기생성분을 추출한 결과 C_{p1} 과 C_{p2} 가 4.3fF을, C_{p3} 가 86fF, 그리고 C_{p4} 는 80fF을 얻을 수 있었다. ridge에서의 센서 플레이트와 지문간의 용량은 43fF를, valley에서는 0.1fF를 얻었다.



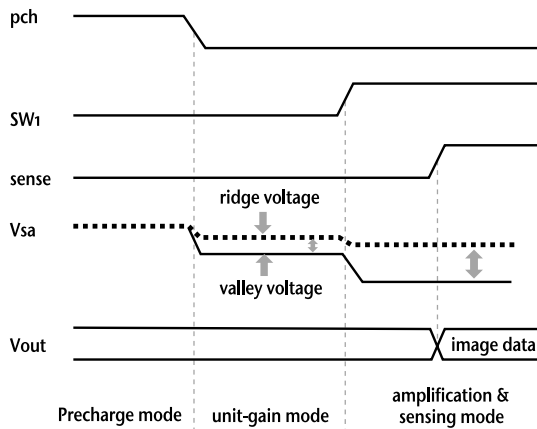
[그림 4] SA (Simple current mirrored Amplifier)



[그림 5] 센서 단위픽셀 레이아웃



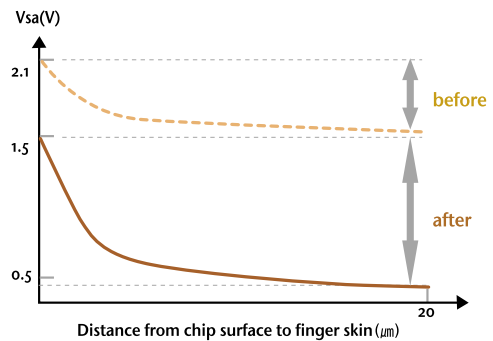
(a) 제안된 센서감지회로



(b) 회로의 동작 모드

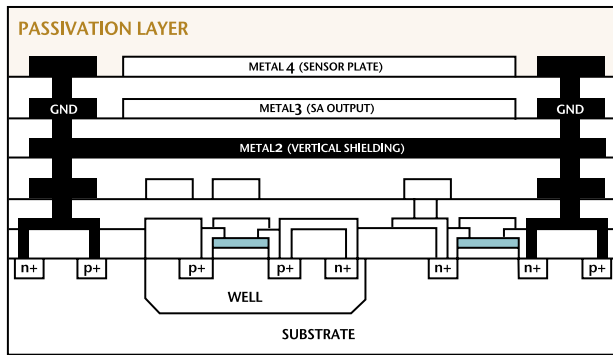
[그림 3] 제안된 전하분할 방식 센서감지회로

감지회로의 최종 모의실험 결과는 [그림 6]에서와 같다. [그림 6]의 상단의 곡선은 기존의 회로에서 기생용량을 0으로 계산한 이상적인 ridge와 valley 간의 최대 전압 차를 나타내며 0.6V였다[1]. [그림 6]의 하단의 곡선과 같이 동일 조건에서 본 논문에서 제안된 회로의 최종 전압 차는 대략 1.1V로서 80%의 증가를 보였다. 제안된 회로를 이용하면, 넓어진 기준전압의 범위로 인하여 비교기가 쉽게 ridge와 valley를 구분할 수 있게 되고 이는 고화질의 이미지를 얻을 수 있음을 의미한다. 추출된 기생 용량을 적용하여 HSPICE 모의실험을 한 결과 센서플레이트 면적의 증가를 최소화 하면서도 ridge와 valley 간의 최대 전압 차를 얻기 위한 저항 R1의 값은 4Kohm, R2는 1.4Kohm을 얻을 수 있었다. 최종 레이아웃에서 저항은 $0.4\mu\text{m}$ 두께의 poly layer를 적용하였으며 $110\text{ ohm}/\square$ 으로서 저항 및 SW1의 신호를 위한 두 개의 MOS 트랜지스터의 면적은 센서플레이트 면적의 2%에 불과하다.



[그림 6] 기존회로(before) 및 제안된 회로(after) 결과비교 (모의실험조건 : $V_{dd}=3.0V$, $0.35\mu\text{m}$ CMOS typical process)

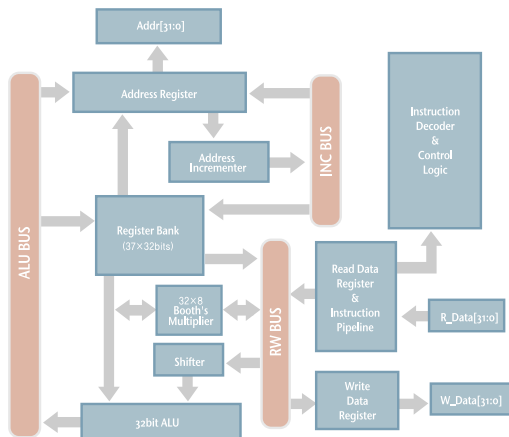
지문센서의 ESD를 방지하기 위한 기법[6]들이 소개된 바 있으나 대부분 표준 CMOS 공정에 특화된 센서공정이 추가되어야 한다. 본 논문에서는 [그림 7]과 같이 표준 CMOS 공정만을 적용하여 높은 ESD 극복 전압을 얻을 수 있는 새로운 구조를 제안하고 있다. 메탈 2 레이어는 센서플레이트와 하부에 존재하는 감지회로를 차폐(shielding)할 수 있도록 접지와 연결하여 센서 전체 면적을 덮었으며, 센서와 센서 측면간의 차폐를 위하여 contact에서부터 VIA3까지 적층(stack)시킴으로써 마치 입구가 막힌 우물(wall)과 같은 구조를 적용하였다. 따라서 각 센서 픽셀은 수평과 수직방향 모두 차폐된 구조를 형성하게 되었다.



[그림 7] ESD 제거를 위한 제안된 수직 수평의 차폐구조

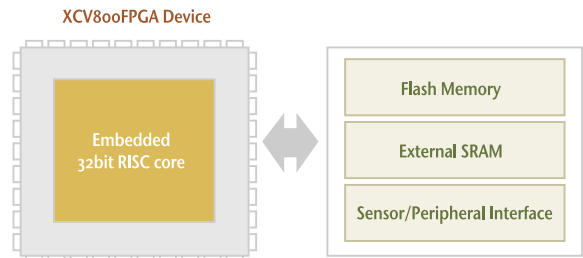
3. 32b RISC 마이크로컨트롤러의 FPGA 구현

[그림 8]은 본 논문에서 구현한 RISC 마이크로컨트롤러의 블록도이다. 3-stage 파이프라인, 6개의 레지스터 뱅크, 32b ALU를 탑재하고 있으며 4 사이클 MAC 구조를 가지고 있다. 구현된 마이크로컨트롤러는 저전력의 복잡하지 않은 구조를 위하여 래치회로를 기본으로 설계되었다. 각 명령어와 그들의 모든 조합에 대하여 검증을 실시하였다. 아키텍처는 FPGA를 이용하여 하드웨어로 구현하고 지문인식 알고리즘을 통하여 최종 동작검증을 실시하였다. 80만 게이트급 FPGA 디바이스 합성 결과 회로는 3,336 슬라이스(25%), 2,469 레지스터(9%), 4,613 LUT(18%)로 구성되었다. 전체 게이트카운트는 49,500 이었으며 최대 동작 주파수는 40MHz이다. [그림 9]는 FPGA 구현 블록도 및 에뮬레이션 보드를 나타낸다.



[그림 8] 내장형 32b RISC 마이크로컨트롤러의 구조

내장형 32b RISC 마이크로컨트롤러의 동작검증을 위하여 지문인식 알고리즘을 보드상의 ROM에 다운로드 하였다. 보드 상에는 [그림 9]와 같이 8개의 동작 검증용 LED를 설치하였으며 [그림 10]과 같이 알고리즘 내에 각 단계별로 체크포인트 루틴을 삽입하여 8개의 LED를 연속적으로 구동시키도록 적용하였다. 최종 수행결과 구현된 마이크로컨트롤러는 입력된 샘플 지문 이미지 데이터의 등록 및 인증에 이르는 알고리즘의 전체 스텝을 완벽하게 수행하고 있음을 확인할 수 있었다.



[그림 9] FPGA검증용 에뮬레이션 보드의 구조 및 사진

```
//C .source code of the fingerprint algorithm GABOR
Filtering
BOOL FeatureExtraction(UNIT8 * img,nodeHeadTail
* minsetheadtail, UNIT8 * minNum, UNIT8 * Neighbor
{
    UNIT8 * Oblocks; INT8 * Fblocks;
minblock * minblocks; BOOL qc * UNIT8 * temimg;
Checkpoint 4();
qc=QualityCheck(img, MODE);
Checkpoint 5();
If(qc==1){
Oblocks=BlockOrientation(img);
Checkpoint 6();
SmoothBlockOrientation(Oblocks);
Checkpoint 7();
Fblocks=RidgeFrequency(img,
Oblocks);
```

[그림 10] 32-bit RISC 코어 검증을 위한 지문알고리즘의 구조

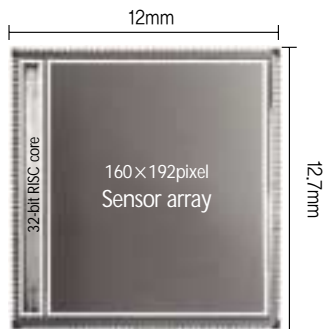


4. 지문센서 칩의 ASIC 구현

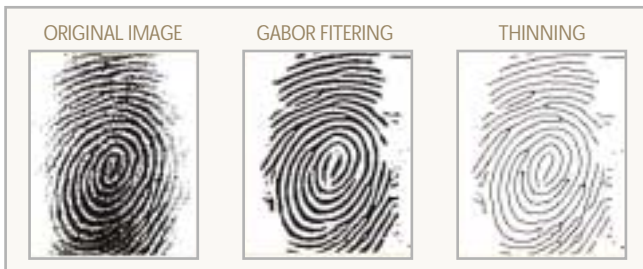
제안된 지문센서의 아키텍처는 0.35 μ m 4M 1P 표준 CMOS 공정으로 제작되었다. [그림 11]은 칩사진을 나타내고 있다. 전체 다이 크기는 12 \times 12.7mm², 센서 영역의 면적은 10 \times 11.7mm²이다. 160 \times 192 어레이에 30,720개의 센서 픽셀이 형성되었으며 각 픽셀은 24개의 모스트랜지스터로 구성되어 있다. 센서플레이트는 58 \times 58mm²이며, 센서 신호처리회로는 센서플레이트 하부에 구현되었다. 이미지 해상도는 423dpi이고, 마이크로컨트롤러 포함 전체 회로는 115만 개의 트랜지스터를 갖고있다. [그림 12]는 제작된 칩으로부터 얻은 이진화 지문이미지 및 인증 처리 결과를 나타내고 있다. 측정결과 지문이미지를 검출하는데 1.5ms가 소요되며, 알고리즘 처리에 의해 지문의 등록, 인증을 위해 2.1sec가 소요되었다. 전력소모는 3.0V, 40MHz 동작에서 평균 35mW를 나타내었다. 지문센서의 인증률을 테스트하기 위하여 [그림 13]과 같은 특수한 센서 패키지를 제작하고 총 500개의 서로 다른 지문샘플에 대하여 등록 및 인증을 수행한 결과 SRR(strange-rejection rate)는 99%이상, URR(user-rejection ratio)는 1% 이하로 나타났다.

[그림 14]은 ESD를 위해 제안된 센서구조의 SEM 사진을 나타낸다. 메탈 2레이어와 적층형 VIA의 구조가 정상적으로 형성되어 있다. ESD 테스트는 50개의 센서 패키지 샘플에 대하여 센서 표면에 프로브 전극을 직접 접촉시키면서 같은 전압을 5번씩 가하였다. [그림 15]는 ESD 테스트 전과 후의 지문이미지의 패턴 변화가 없음을 나타내고 있다. 측정결과 최대 4.5KV를 나타냈다. 통상적인 센서의 ESD 2.0KV와 비교하여 제안된 센서구조는 높은 ESD 극복전압을 나타내고 있음을 확인할 수 있었다.

이상의 칩 테스트결과 제안된 새로운 아키텍처는 경박단소의 지문센서시스템을 가능하게 하여 휴대용기기에 적용이 가능함을 보여주었고 있다. [표 1]은 칩의 제원을 나타내고 있다.

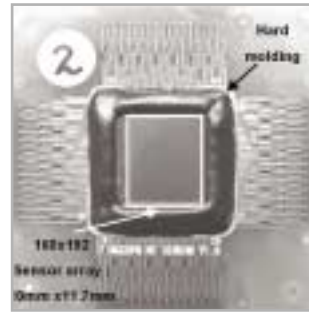


[그림 11] 칩 사진

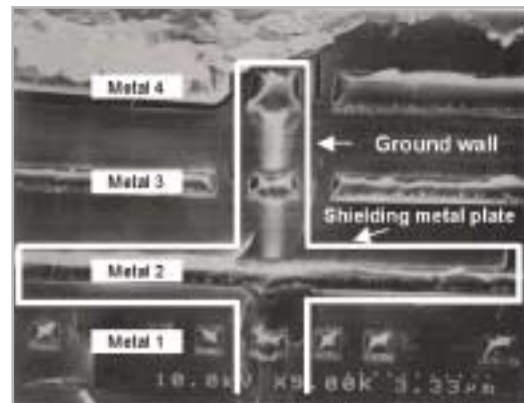


(a) 획득된 이진화이미지 (b) 필터링 후 이미지 (c) 세선화 후 이미지

[그림 12] 칩 사진 지문이미지 획득 및 인증 결과



[그림 13] 칩 사진 센서 패키지

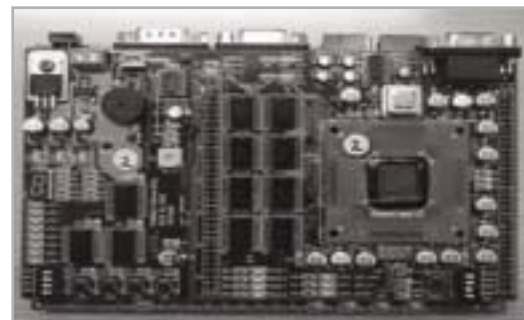


[그림 14] 칩 사진 ESD 방지를 위한 센서구조 SEM 사진



(a) before ESD test (b) after ESD test

[그림 15] 칩 사진 ESD 테스트 결과



[그림 16] 칩 사진 지문센서 칩 테스트 보드

[표 1] Characteristics of test chip with 32-bit RISC core

Die size	12 mm x 12.7 mm
Sensor array area	10 mm x 11.7 mm
No. of pixels	30,720(160×192)
Image resolution	423 dpi
Tr. count	1,155,000
Pixel size	58 x 58 μm ²
Pixel pitch	60 μm
Time of image capture	1.5 msec
Time of identification	2.1 sec
Power dissipation (sensor + core)	35 mW @3.0V
ESD tolerance	4.5 KV
Operating frequency	40MHz
Pin number / Package	231 pins / open top

5. 결론

본 논문에서는 센서와 센서와 마이크로컨트롤러가 하나의 칩으로 구현되는 새로운 구조의 지능형 지문센서 칩을 제안하고 있다. 설계된 마이크로컨트롤러는 FPGA로 구현되어 검증되었다. 센서회로 측면에서, 반도체방식의 용량형 지문인식센서의 문제점인 기생용량의 영향을 효과적으로 제거하면서 지문의 ridge와 valley간의 전압차를 획기적으로 향상시킨 센서신호 검출회로를 설계하였다. 제안된 검출회로는 전하분할(charge-sharing)방식을 적용하고 있다. 직접터치방식의 반도체 센서의 문제점인 정전기(ESD)에 의한 칩 고장을 해결하기위한 새로운 센서어레이 구조를 제안하고 있다. 각각의 센서 픽셀은 수평과 수직방향의 접지우물(grounded wall)을 통하여 완벽한 차폐구조를 형성하고 있다.

제안된 지문센서의 아키텍처는 0.35μm 4M 1P 표준 CMOS 공정으로 제작되었다. 다이 크기는 12×12.7 mm² 이며 센서 영역은 160×192 어레이로 총 30,720개의 픽셀 규모로 10×11.7 mm² 면적을 나타내었다. 각 픽셀은 24개의 MOS 트랜지스터로 구성되어있다. 센서감지회로는 58×58μm² 센서 플레이트 하부에 구성되어 있으며 센서 피치는 60μm 로서 이미지 해상도는 423dpi 이고, 마이크로컨트롤러 포함 전체 회로는 115만 개의 트랜지스터를 갖고있다. 측정결과 지문이미지를 검출하는데 1.5ms가 소요되며, 알고리즘 처리에 의해 지문의 등록, 인증을 위해 2.1sec가 소요되었다. 전력소모는 3.0V, 40MHz 동작에서 평균 35mW를 나타내었다. 지문센서의 인증률을 테스트한 결과 SRR(strange-rejection rate)는 99%이상, URR(user-rejection ratio)는 1% 이하로 나타났다. ESD에 있어서는 테스트 전과 후의 지문이미지의 패턴 변화가 없었으며, 최대 4.5KV를 나타냈다. 통상적인 센서의 ESD 2.0KV와 비교하여 제안된 센서구조는 높은 ESD 극복전압을 나타내고 있음을 확인할 수 있었다. 따라서 제안된 새로운 아키텍처는 경박단소의 지문센서시스템을가능하게 하여 휴대용기기에 적용이 가능함을 확인할 수 있었다.

[참고문헌]

- [1] J. W. Lee, D. J. Min, J. Y. Kim, and W. C. Kim, "A 600-dpi Capacitive Fingerprint Sensor Chip and Image-Synthesis Technique", IEEE J. of Solid-state circuits, vol. 34, No.4, pp469-475, April, 1999.
- [2] R. Hashido, A. Suzuki, A. Iwata, T. Okamoto, Y. Satoh, A. Inoue, "A capacitive fingerprint sensor chip using low-temperature poly-Si TFTs on a glass substrate and a novel and unique sensing method", IEEE J. of Solid-state circuits, vol. 38, No. 2, pp274 280, 2003
- [3] H. Morimura, S. Shigematsu and K. Machida, "A High-Resolution Capacitive Fingerprint Sensing Scheme with Charge-Transfer Technique and Automatic Contrast Emphasis", 1999 Symposium on VLSI Circuits Digest of Technical Papers, Feb. 1999. pp157-160.
- [4] D. Inglis et al. "A Robust 1.8V 250usW Direct-Contact 500dpi Fingerprint Sensor", ISSCC Digest of Technical Papers, Feb. 1998. pp284-285.
- [5] M. Tartagni and R. Guerrieri, "A Fingerprint Sensor Based on the Feedback Capacitive Sensing Scheme", IEEE J. of Solid-state circuits, vol. 33, pp133-142, Jan. 1998.
- [6] H. Morimura, S. Shigematsu and K. Machida, "A Novel Sensor Cell Architecture and Sensing Circuit Scheme for Capacitive Fingerprint Sensors", IEEE J. of Solid-state circuits, vol. 35, pp724-731, May. 2000..
- [7] Sung-Ho Kwak, Byung-Yun Choi, Moon-Key Lee, "Design of 32 Bit RISC Core for PDA", Journal of Korea Information Science, Vol. 22, No. 10, pp.2136-2149, 1997.