한국산학기술학회논문지
Vol. 7, No. 6, pp. 1056-1063, 2006

Ir과 Co를 첨가한 니켈모노실리사이드의 고온 안정화 연구

윤기정[1], 송오성[1*]

The Enhancement of Thermal Stability of Nickel Monosilicide by Ir and Co Insertion

Ki-Jeong Yoon[1] and Oh-Sung Song[1*]

요 약 10 ㎚-Ni/1 ㎚-Ir/(poly)Si과 10 ㎚-$Ni_{50}Co_{50}$/(poly)Si 구조의 박막을 열증착기로 준비하고 쾌속열처리기로 40초간 300~1200℃ 온도 범위에서 실리사이드화 시켰다. 이들의 실리사이드 온도에 따른 면저항, 미세구조와 두께, 생성상, 화학조성과 표면조도의 변화를 사점면저항 측정기와 이온빔현미경, X선 회절기, 오제이 분석기, 주사탐침현미경을 써서 확인하였다. Ir과 Co의 혼입에 따라 기존의 700℃에 한정된 NiSi에 비해 단결정, 다결정 실리콘 기판에서의 저저항 안정 구간이 각각 1000℃, 850℃로 향상되었다. 이때의 실리사이드층의 두께도 20~50 ㎚로 나노급 공정에 적합하였다. Ir과 Co의 첨가는 단결정 기판에서의 니켈실리사이드의 고저항 $NiSi_2$로의 변태를 방지하였고, 다결정 기판에서 고온에서의 고저항은 고저항 상의 출현과 실리콘층과의 혼합과 도치현상이 발생한 것이 이유였다. Ir의 첨가는 특히 최종 실리사이드 표면온도를 3 ㎚ 이내로 유지시키는 장점이 있었다. Ir과 Co를 첨가한 니켈실리사이드는 기존의 니켈실리사이드의 열적 안정성을 향상시켰고 나노급 디바이스에 적합한 물성을 가짐을 확인하였다.

Abstract Thermal evaporated 10 ㎚-Ni/1 ㎚-Ir/(or polycrystalline)p-Si(100) and 10 ㎚-$Ni_{50}Co_{50}$/(or polycrystalline)p-Si(100) films were thermally annealed using rapid thermal annealing for 40 sec at 300~1200℃. The annealed bilayer structure developed into Ni(Ir or Co)Si and resulting changes in sheet resistance, microstructure, phase and composition were investigated using a four-point probe, a scanning electron microscopy, a field ion beam, an X-ray diffractometer and an Auger electron spectroscope. The final thickness of Ir- and Co-inserted nickel silicides on single crystal silicon was approximately 20~40 ㎚ and maintained its sheet resistance below 20 Ω/sq. after the silicidation annealing at 1000℃. The ones on polysilicon had thickness of 20~55 ㎚ and remained low resistance up to 850℃. A possible reason for the improved thermal stability of the silicides formed on single crystal silicon substrate is the role of Ir and Co in preventing $NiSi_2$ transformation. Ir and Co also improved thermal stability of silicides formed on polysilicon substrate, but this enhancement was lessened due to the formation of high resistant phases and also a result of silicon mixing during high temperature diffusion. Ir-inserted nickel silicides showed surface roughness below 3 ㎚, which is appropriate for nano process. In conclusion, the proposed Ir- and Co- inserted nickel silicides may be superior over the conventional nickel monosilicides due to improved thermal stability.

Key words : nickel silicide, Ir-inserted, Co-inserted, thermal stability, silicide.

1. 서 론

반도체 소자의 고집적, 고속도화 추세에 따라 반도체 소자의 최소선폭이 100 ㎚ 이하로 줄어들면서 접촉저항을 최소화시키기 위한 실리사이드 물질의 채용이 일반화 되고 있으며, 특히 65 ㎚ 이하의 공정에서는 기존의 실리사이드 보다 더 얇은 50 ㎚ 정도 두께의 고온안정성이 우수한 실리사이드가 요구되고 있다.[1)]

실리사이드는 실리콘과 천이금속이 정량적인 화학비로 결합된 중간상 물질로서, CMOS 소자의 트랜지스터 게이트 상부와 소오스, 드레인 상부에 선택적으로 형성되어, 실리콘 하지층과의 저저항 오믹컨택을

이 논문은 서울시 산학연 협력사업중 신기술연구개발 지원사업의(과제번호 10686) 지원에 의해 수행되었음.
[1]서울시립대학교 신소재공학과
*교신저자: 송오성(songos@uos.ac.kr)

유지시키고 상부 금속 배선층과 실리콘 사이의 확산 방지층으로서의 역할을 담당한다.[2,3,4] 이러한 실리사이드 물질은 살리사이드 공정으로 구현되는데, 살리사이드(self-aligned silicide)는 말 그대로 마스크 없이 게이트 양쪽에 스페이서를 형성시킨 후 기판 전면에 천이금속을 성막시키고 열처리하여 원하는 게이트와 활성화 영역의 상부만 실리사이드화 시키고 잉여의 금속을 제거하는 공정으로 대부분의 최소선폭 0.25 ㎛ 이하의 CMOS공정에 채택되고 있다.[1,5,6] 실제의 트랜지스터는 단결정 실리콘으로 구성된 소오스와 드레인, 그리고 주로 폴리실리콘으로 형성되는 게이트로 구성된다. 실리사이드는 선택적으로 소오스와 드레인, 그리고 게이트의 상부에 형성되므로 실리사이드 공정에 따라 각각 단결정과 폴리실리콘 위에 형성되는 실리사이드의 특성이 확인될 필요가 있다.

이러한 마스크 없이 활성화 영역의 상부와 게이트 상부에 선택적으로 저저항 실리사이드를 형성시키는 살리사이드 공정을 통하여 구현되는 기존의 실리사이드들로는 $TiSi_2$, $CoSi_2$, NiSi 등이 있다. 그러나 $TiSi_2$는 선폭의존성과 고온 응집성으로 나노급 살리사이드 공정에는 매우 부적합하며[7,8], $CoSi_2$는 기본적으로 disilicide이므로 실리사이드화 이후 고온응집성과 부피팽창의 큰 문제와 실리사이드화 반응시 자연 산화막을 제거하기 위한 과도한 크리닝 공정이 필요한 문제가 있었다.[9]

NiSi는 비교적 최근에 개발되어 나노급 공정에 적합하지만 700℃이상에서 고저항의 $NiSi_2$로 변환되어 후속 공정온도를 700℃이하로 한정시켜 살리사이드 공정 이후의 공정 온도가 한정되는 문제가 있었다.[10] 최근에는 이러한 기존 니켈 실리사이드의 문제를 극복하기 위해서 적층 또는 합금 박막으로부터 새로운 원소를 첨가시켜 고저항 상의 출현을 지연시켜 안정화 온도를 높이려는 노력이 계속되고 있다.

Wei 등은[11] 기존 니켈 모노 실리사이드의 열적 안정성을 개선하기 위해 살리사이드 공정을 위한 니켈층에 Zr 박막을 혼입하여 최종 형성된 NiZrSi 층의 면저항이 2Ω 보다 낮게 800℃까지 안정함을 보고하였다.

Doi 등은[12] poly-Si 위에 Pt의 얇은 중간층과 함께 형성된 Ni 실리사이드 막의 열적 안정성을 확인하기 위해서 350℃에서 900℃사이의 실리사이드화 온도를 달리해가며 최종 실리사이드 층의 전기적인 특성을 확인하여 약 800℃까지 고온 안정성을 확인하였다고 보고한 바 있다.

정성희 등[13]은 활성화 영역에 나노급 코발트/니켈 적층구조로부터 제작된 복합형 실리사이드가 1100℃까지 안정함을 보고하였다.

따라서 기존의 실험에서 보고된 바와 같이 열역학적으로도 니켈 외의 새로운 안정한 첨가원소를 넣는 것은 실리사이드의 상변태를 효과적으로 방지한다고 예상된다. 특히 본 연구에서 제안한 코발트와 이리듐은 이들 원소의 실리사이드가 대부분 저저항 실리사이드이므로 니켈실리사이드와 혼합되어도 크게 전기적 특성을 해치지 않는 특징이 기대된다.

본 연구에서는 Sub-0.1 ㎛급 CMOS device에 실리사이드 공정으로 적용될 수 있는 두께 50 ㎚ 이하의 저저항 니켈실리사이드를 안정화시키기 위해서 새로이 적층형 구조로부터 Ir과 합금형 박막구조로부터 Co를 첨가시켜 10 ㎚ 두께의 니켈 박막을 단결정 실리콘과 다결정 실리콘 기판 위에 형성하고 니켈실리사이드를 만들고, 이들을 기존 니켈실리사이드와 열적안정성과 물성을 비교하여 개선 효과를 확인하여 보았다.

2. 실험방법

실험에 사용된 기판은 직경 100 ㎜, 두께 550 ㎛의 p-type(100)를 기본으로 두 가지 기판을 준비하였다. 단결정 실리콘 웨이퍼는 크리닝이 완료된 상태로 소오스와 드레인을 상정한 활성화 영역을 가정하였다. 또한 200 ㎚의 열산화막을 가진 실리콘 기판에 LPCVD를 사용하여 폴리(polycrystalline)실리콘을 기판 전면에 70 ㎚의 두께로 성막하여 poly-Si(70 ㎚)/ SiO_2(200 ㎚)/p-Si(100) 구조의 게이트를 상정한 기판을 준비하였다.

준비된 각 기판에 자연 산화막을 제거하기 위한 HF 크리닝을 실시하고 세 가지 구조의 필름을 열증착기로 성막하였다. 먼저 기준이 되는 니켈실리사이드를 만들기 위해 10 ㎚ 두께의 니켈금속을 단결정, 다결정 실리콘 기판 전면에 증착하였다. 그림 1과 같이 Ir이 혼입된 니켈실리사이드를 만들기 위해 Ni(10 ㎚)/Ir(1 ㎚)//(poly)Si 구조를 제작하였다. 또한 Co가 혼입된 니켈실리사이드를 위해서 $Ni_{50}Co_{50}$ 합금 소오스를 써서 $Ni_{50}Co_{50}$(10 ㎚)//(poly)Si 구조를 제작하였다.

완성된 시편들은 쾌속열처리기(RTA)를 활용하여 300℃~1200℃ 범위에서 40초간 실리사이드를 위한 열처리를 하였다. 열처리가 완료된 시편들은 잉여금속을 제거하기 위해서 80℃에서 30%-황산(H_2SO_4)에 10분 간 담가 잔류 금속을 제거 처리하였다.

살리사이드 공정이 완료된 시편은 각 구조별, 실리사이드 온도별로 사점면저항측정기(four point probe,

Changmin사, CMT-SR1000N)를 사용하여 면저항(R_s)을 측정하였다.

실리사이드의 미세 구조 분석을 위하여 FEI사의 이온빔과 전자빔이 모두 장착된 dual beam-field ion beam (FIB) Nano Lab200 모델을 써서 완성된 실리사이드층의 수직단면구조와 평면적인 미세구조를 확인하였다. 평면적인 미세구조는 고배율로 확대하여 전자현미경 모드로 촬영하였고, 수직단면 미세구조의 확인을 위해서는 Ga이온을 30 kV로 가속시켜 표면전류가 10 pA가 되도록 유지하고 150 ㎚ 깊이를 목표값으로 1.2×1.0 μm^2 면적의 트렌치를 가공하고 가공된 트렌치의 수직단면을 통하여 두께를 판단하였다.

생성된 상을 확인하기 위해서 X-선 회절분석(RIGAKU사, GEIGERFLEX D/MAX-ⅡA)을 이용하였는데, X선 source는 니켈 필터를 통과시켜 얻은 Cu Kα 로 파장은 1.5406 Å이었고, 이 때 필라멘트 전류는 20 ㎃, 가속전압은 30 ㎸이었다. 스캔영역은 JCPDS(Joint Committee Powder Diffraction Standards)카드 상에 나타나있는 니켈실리사이드를 고려하여 2θ 를 20°~80° 범위에서 Ir 첨가 시편은 300, 700, 800, 1000℃에서 40초간 열처리한 시편의 상을 분석하였고, Co가 첨가된 시편은 700, 800, 1000℃에서 40초간 열처리한 시편의 상을 분석하였다. 얻어진 rocking curves에서 JCPDS 카드를 이용하여 상을 확인하였다.

또한, AES(Auger Electron Spectroscopy, Perkin-Elmer사)를 이용하여 각각 준비된 시편을 10 ㎜ × 10 ㎜ 크기로 가공한 후 Si, Ni, Ir, Co의 깊이에 따른 조성변화를 스퍼터링 속도를 유지하면서 표면부로부터 측정하여 온도에 따라 생성된 실리사이드층의 화학조성의 정량분석을 시도하였다.

실리사이드 공정에 따른 표면조도의 변화를 확인하기 위해 주사탐침현미경(Scanning Probe Micro scope: SPM, PSIA CP)을 이용하여 5×5 μm^2 범위를 콘택 모드로 스캔 분석하여 root mean square(rms)를 측정함으로써 정량화 하였다.

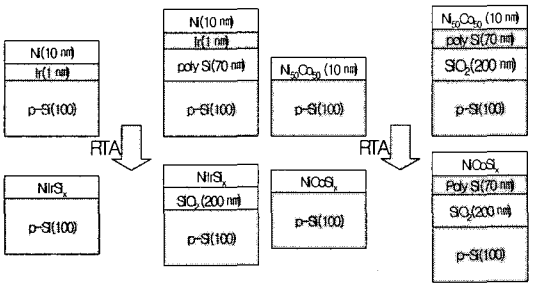
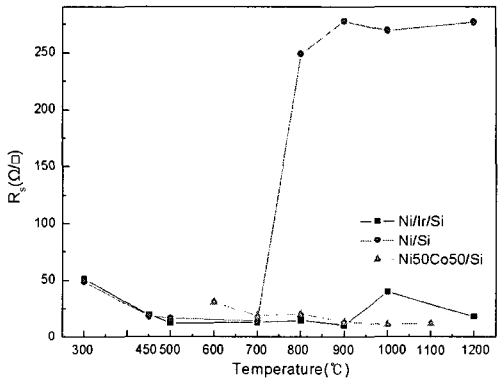
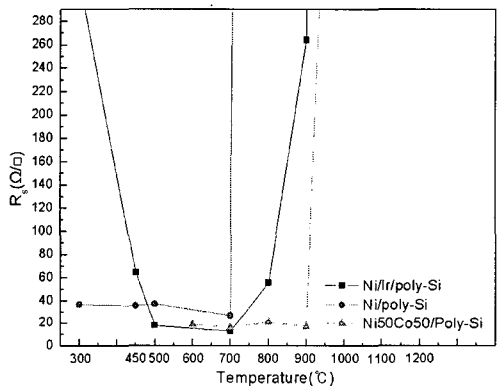


그림 1. 실험 순서 개요도

3. 실험결과 및 토의



(a) Ni/Si, Ni/Ir/Si, NiCo/Si



(b) Ni/poly-Si, Ni/Ir/poly-Si, NiCo/poly-Si

그림 2. Ir과 Co가 혼입된 니켈실리사이드의 온도에 따른 (a) 단결정, (b) 다결정 실리콘 기판에서의 면저항 변화

그림 2 (a), (b)에는 각각 활성화 영역을 가정한 단결정 실리콘과 게이트를 상정한 폴리실리콘 위에 생성된 NiSi와 Ir이 혼입된 Ni(Ir)Si, Co가 첨가된 Ni(Co)Si의 300~1200℃까지의 RTA 온도에 따른 면저항 측정 결과를 나타내었다.

단결정인 (a)의 경우를 보면 10 ㎚의 나노급 Ni 박막으로부터 형성된 니켈실리사이드는 이미 알려진 바와 같이 450℃ 이하에서는 Ni2Si에 의한 고저항이, 450~700℃까지는 NiSi의 15 Ω/sq. 정도의 안정한 저저항이, 800℃이상에서는 $NiSi_2$로 상변태 하면서 급격한 고저항을 보이는 전형적인 니켈실리사이드의 면저항 변화를 보이고 있다.

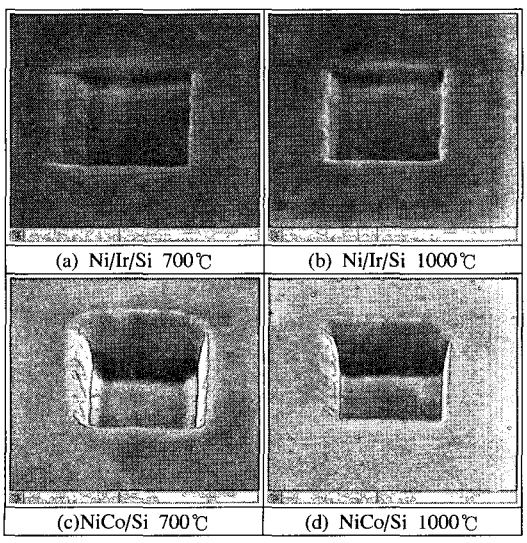
Ir을 혼입한 경우는 아무것도 넣지 않은 NiSi정도의 저저항으로 1200℃까지 안정하여 Ir이 Ni(Ir)Si 형태로 $NiSi_2$로의 상변태를 적극적으로 억제하는 특성이 있음을 알 수 있다. 이는 활성화 영역에서 기존 NiSi

의 700℃에서 한정되었던 고온 안정성을 해결하여 1200℃ 이상으로 획기적으로 향상시킬 수 있음을 의미한다.

한편 Co를 혼입한 경우도 기존 NiSi에 비해서 활성화 영역에서 안정화 온도를 1000℃까지 향상시킬 수 있음을 보이고 있다.

(b)에는 (a)와 마찬가지로 폴리실리콘 기판 위에 형성된 각 실리사이드의 면저항을 나타내었다. 먼저 아무것도 넣지 않은 NiSi/단결정 실리콘과 비교하여 300~700℃ 범위에서 30 Ω/sq. 정도로 면저항이 커지는 특성이 있었다. 폴리실리콘 기판에서는 결정립계를 통한 Ni의 빠른 확산에 의해 $NiSi_2$로의 상변태가 진행되어 급격한 고저항이 나타나기 때문이다.[14] Ir이 혼입된 Ni실리사이드의 경우는 아무것도 넣지 않은 NiSi와 비교하여 상대적으로 저온인 850℃부터 급격히 고저항이 되는 것을 알 수 있다. 한편 Co가 첨가된 경우는 앞서 보인 (a)의 단결정 기판에서와 매우 흡사하지만 900℃ 이후부터 고저항이 발생되고 700~900℃ 범위에서도 저항이 30 Ω/sq. 정도로 단결정에서 보다 커진 경향이 있다. 또한 600℃ 이하에서도 CoSi 형성에 의한 급격한 저항 증가가 보였다.

나노급 NiSi의 형성에 있어서 Ir, Co의 첨가는 단결정 기판이 1000℃ 이상까지 안정화되어 공정구간이 넓어 큰 문제가 없음에 비해서, 폴리실리콘 게이트인 경우 약 150℃ 정도의 저저항 안정화 구간의 향상에 그쳐, 나노 높이를 가진 폴리실리콘 게이트에서의 NiSi의 안정화 온도를 향상시키는 공정개발이 더욱 중요함을 알 수 있었다.



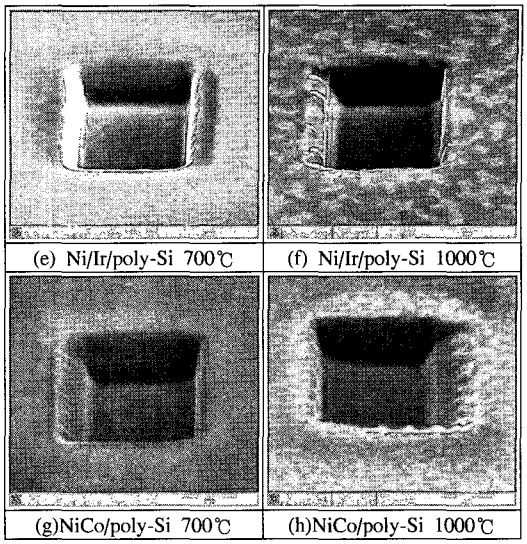


그림 3. 처리온도와 기판에 따른 실리사이드층의 FIB이미지. (a) Ni/Ir/Si 700℃, (b) Ni/Ir/Si 1000℃, (c)NiCo/Si 700℃, (d) NiCo/Si 1000℃, (e) Ni/Ir/poly-Si 700℃, (f) Ni/Ir/poly-Si 1000℃, (g)NiCo/poly-Si 700℃, (h)NiCo/poly-Si 1000℃.

Fig. 3에는 단결정과 다결정 실리콘 기판에 형성시킨 Ir과 Co혼입 시편의 구조를 700℃와 1000℃에서 실리사이드화 처리한 시편들을 Ga 이온으로 트렌치를 가공하고 드러난 수평, 수직 단면의 모습을 보였다. 좀더 자세하게는 그림의 Ni/Ir/Si((a), (b)), NiCo/Si((c), (d)), Ni/Ir/poly-Si((e), (f)), NiCo/poly -Si((g), (h)) 구조를 700℃와 1000℃에서 실리사이드화 처리한 후의 이미지를 나타내었다.

먼저 평면적인 이미지를 보면 저온에서는 전체적으로 큰 차이가 없이 균일한 실리사이드 표면을 보이고 있다. 그러나 (f)와 (h)의 전기저항이 커지는 특성을 가진 폴리실리콘 위에 형성된 실리사이드 층의 이미지를 보면, 다른 균일한 이미지와 달리 Ga 이온 빔에 의해 특정한 상(이미지에서 상대적으로 밝게 보이는 상)이 촬영 중에 더 쉽게 제거되어 낮게 보임을 알 수 있는데 이는 서로 물리적인 특성이 다른 상이 혼합되어 있음을 의미하는 강력한 증거로써, 폴리실리콘 위에 고온으로 실리사이드화 된 경우에는 실리콘과 실리사이드가 혼합 형태로 존재하며 서로 실리콘에 의해 고립된 실리사이드가 효과적으로 전기전도체 역할을 못하여 결국 고저항을 보이는 미세구조를 가지고 있음을 나타내고 있다.

각 그림에서 보이는 트렌치의 한 측면을 기울여서 수직단면을 확인하고 이들의 확대 이미지로부터 정확

한 실리사이드 층의 두께를 확인하였는데, Ir과 Co가 혼입된 경우의 대략의 최종 실리사이드의 두께는 약 50 ㎚와 20 ㎚ 로 판단되었다. 이러한 나노급 두께는 충분히 최소 선폭 100 ㎚급의 shallow junction transistor에 응용이 가능하다고 판단된다.

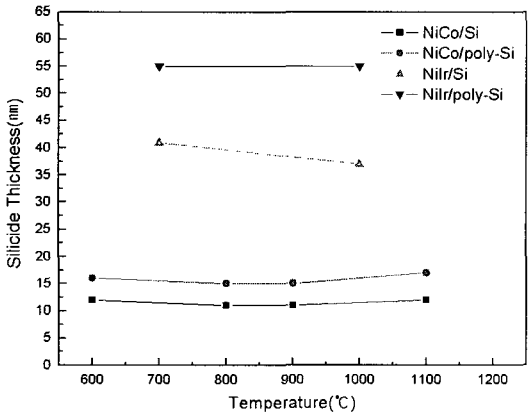
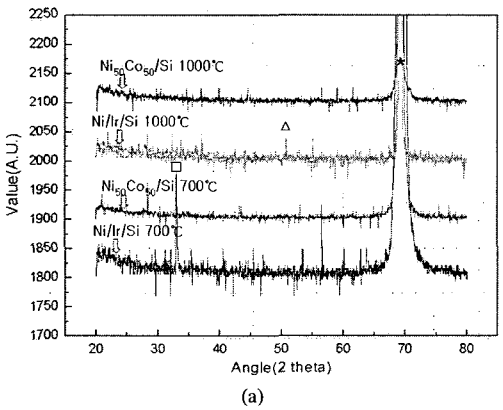
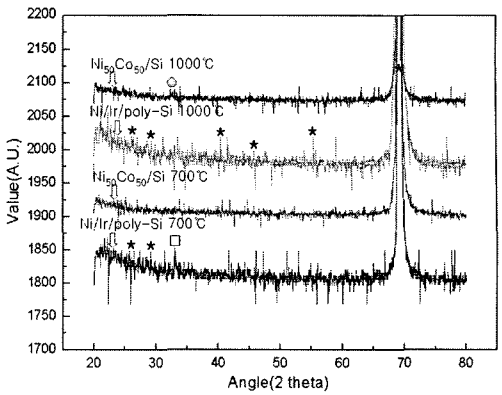


그림 4. 처리온도에 따른 실리사이드 층의 두께 변화

그림 4에는 앞서 보인 그림 3에서 보인 이미지로부터 판단된 기판의 종류와 실리사이드 온도에 따른 각 실리사이드 층의 두께를 확인하여 정리하였다. Ir의 혼입 경우가 Co 혼입 경우보다 약 3.5~4배 정도 더 두꺼운 실리사이드가 형성되었고 폴리실리콘 기판인 경우가 단결정 기판인 경우보다 더 두꺼운 경향이 있었다. Ir이 첨가된 경우에서는 실리콘의 양비가 많은 Ir 실리사이드가 형성이 되어 두께가 더 두꺼운 경향이 있었으나, 통상의 Ni, Co실리사이드가 반응 후에 약 2.5~3.5배의 두께로 형성되는 것을 고려하면 이러한 두께 범위는 나노급 디바이스에 적용하기 용이한 두께라고 판단되었다. 실리사이드 온도에 의한 두께의 의존성은 없다고 판단되었다.



(a)



(b)

그림 5. Ir, Co 혼입 니켈실리사이드의 처리온도에 따른 생성상의 변화. (a) 단결정, (b) 다결정 실리콘 기판

그림 5에는 Ir과 Co의 혼입과 온도에 따른 생성 상의 확인을 위해 단결정과 다결정 기판위에 Ir, Co를 첨가한 니켈실리사이드를 각각 700℃와 1000℃에서 처리한 시편을 2θ =20° ~80° 에서 조사한 XRD 회절 피크를 비교하였다.

(a)의 Ni/(Ir)/Si 경우에는 모두 70° 의 Si peak(* 표시)를 제외하고, 700℃과 1000℃에서 각각 Ir_3Si(□ 표시), $IrSi_3$상(△ 표시)이 나타났다. Kurt 등[15]에 의하면 이러한 복잡한 Ir실리사이드는 Ir_3Si_5를 비롯하여 모두 고온으로 갈수록 저저항을 가지는 특성이 있는 것으로 알려졌다. 700℃의 Ni/Ir/Si 경우에서 NiSi의 특성피크와 Ir_3Si의 특성피크가 같이 나타나는 것은 비교적 저온에서의 Ir첨가 니켈실리사이드는 생성된 상 모두가 저저항을 가진 NiSi와 Ir_3Si의 혼합상으로 존재함을 의미한다. 한편 1000℃의 Ni/Ir/Si으로부터의 실리사이드는 저저항상인 $IrSi_3$가 나타나고 NiSi 피크가 보이지 않는데, 이는 앞서 보인 면저항이 이 조건에서 저저항임을 고려하여, 이 온도에서는 NiSi에 Ir이 고용되어 Ni(Ir)Si형태의 실리사이드와 $IrSi_3$가 혼합되어 존재함을 의미한다.[16] Co가 포함된 니켈실리사이드의 경우에는 저온과 고온에서 모두 $(NiCo)Si_2$로 추정되는 혼합상이 보이고 있다.

(b)의 다결정 위에 생성되는 실리사이드의 경우에는 Ir이 혼입된 경우는 (a)의 단결정 실리콘기판인 경우와 달리, 저온인 700℃에서 NiSi 특성피크가 보이지 않고 Ir_3Si의 특성피크가 보이고 있다.

따라서 다결정 실리콘기판을 가진 경우는 결정립계를 따라 빠른 확산이 발생, Ir이 NiSi에 고용된 형태의 Ni(Ir)Si와 Ir_3Si가 공동으로 혼재하면서 저저항을 보이게 된다고 판단된다. 반면에 1000℃에서는 이미

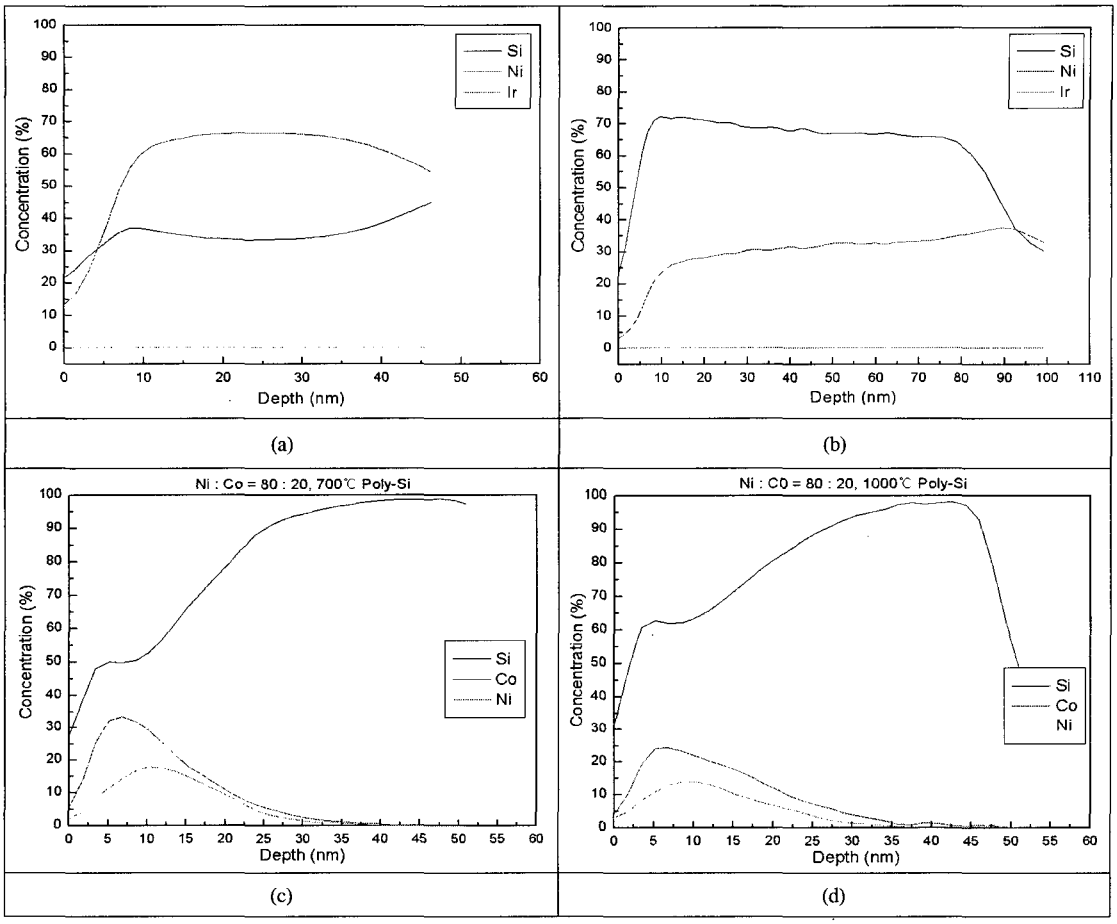


그림 6. 오제이 두께 분석에 의한 다결정 기판 위에 생성된 Ir, Co 혼입 니켈실리사이드의 두께에 따른 각 성분의 조성 변화. (a) Ni/Ir/poly-Si 700℃, (b) Ni/Ir/poly-Si 1000℃, (c) NiCo/poly-Si 700℃, (d) NiCo/poly-Si 1000℃.

Ir이 첨가되지 않은 경우와 단결정기판에서 보여진 $NiSi_2$와 Ir_3Si가 보이지 않고 있는데 이는 대부분의 Ir이 빠른 결정립계 확산을 통하여 $Ni(Ir)Si_2$ 형태로 고저항인 $NiSi_2$로 고용되어 존재하여 특성피크의 이동을 가져오고 결과적으로 고저항인 면저항을 보이는 것으로 판단되었다.

한편 Co가 혼입된 경우에서는 다결정기판의 경우 고온에서 $Ni_{74}Si_{26}$상(○)이 관찰되고 있어서 이러한 불안정한 고저항상이 고온에서의 고저항의 원인이라고 판단되었다.

그림 6에는 Ni/Ir/poly-Si, NiCo/poly-Si 구조로부터 700℃와 1000℃로 각각 열처리한 니켈실리사이드층의 AES depth profiling 결과물을 나타내었다. 단결정 기판 위의 오제이 두께 분석 결과는 NiSi층이 미세구조에서 확인된 두께와 비슷하게 형성되었음을 보이고 있어서 다결정 기판에서의 실리사이드 조성의 변화를 위주로 나타내었다.

(a)와 (b)에 나타낸 폴리실리콘 기판에 형성된 Ir혼입 니켈실리사이드에서 약 1 ㎚ 두께로 증착된 Ir의 존재는 AES의 분해능 한계로 모두 0으로 표시되어 확인되지 않았다. (a)와 (b)의 700℃와 1000℃에서의 실리사이드는 모두 비슷한 화학양비를 가진 NiSi라고 판단되는 실리사이드가 생성되었음을 보이고 있고, 특히 고온인 1000℃에서는 700℃의 40 ㎚ 보다는 5% 정도 더 두꺼운 약 42 ㎚ 정도의 실리사이드가 생겼음을 나타내고 있다. 이러한 오차는 오제이의 스퍼터링에서 오는 thickness 오차를 고려하면 앞서 보인 FIB에 의한 수직 단면 두께로 확인한 결과와 매우 잘 일치하고 있다.

(c)와 (d)의 Co가 첨가된 경우의 다결정 실리콘 위의 니켈실리사이드의 경우는 니켈, 코발트, 실리콘의 원소가 두께에 따라 명확히 나타나고 있으며 항상 니

켈-과잉상이 코발트보다 하부에 위치하는 특성이 있어 니켈의 상대 확산속도가 더 큼을 의미하고 있다.

(b)와 (d)에서 보이는 고온에서의 실리콘이 표면부에 더 많이 나타나는 현상은 잘 알려진 다결정 기판에서 실리콘의 결정립계를 따라 니켈이 더 빨리 확산하며 하부에 실리사이드를 형성하고 오히려 실리콘이 상부에 위치하게 되는 도치(inversion)현상과 결정립계 주변에 남아 실리사이드와 혼재하는 혼합 (mixing)을 보이고 있으며 이는 앞서 보인 고온에서의 표면 미세구조에서의 혼합상이 존재하는 것과 일치하고 있다.

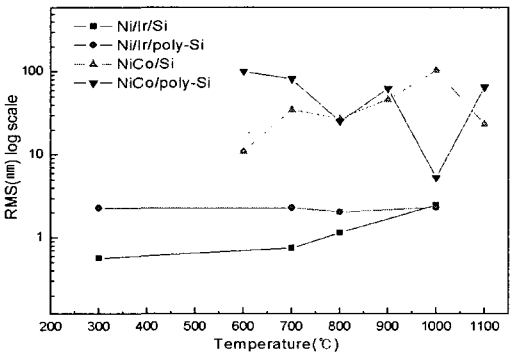


그림 7. Ir, Co 혼입 니켈실리사이드층의 처리 온도에 따른 표면조도 rms의 변화

그림 7에는 실리사이드화 열처리에 따른 표면조도의 변화를 보다 상세하게 알아보기 위해서 SPM을 사용하여 단결정, 다결정 실리콘 기판위에 실리사이드 온도별로 준비된 Ir, Co혼입 니켈실리사이드 시편의 표면조도를 측정한 root mean squre (rms) 값을 나타내었다. 각 시편의 rms 값은 5개의 horizontal line을 설정하여 이들의 평균값으로 결정한 것이다. Ir을 넣은 경우의 표면조도가 3 ㎚이하임에 비하여 Co를 넣은 경우는 100 ㎚정도로 온도별로 크게 변화하는 특징이 있었다. 이는 표면조도가 중요한 나노급 살리사이드 공정에서는 Ir을 넣은 니켈실리사이드가 더 유리할 수 있음을 의미하였다.

4. 결 론

기존의 나노급 NiSi의 열적안정성을 향상시키기 위해서 단결정, 다결정 실리콘 기판에10%-Ir과 50%-Co를 각각 적층과 합금법으로 혼입한 니켈실리사이드를 실리사이드 온도를 1100℃까지 변화시키면서 제조하고 이때의 물성을 확인하였다. Ir과 Co의 혼입은 단결정 기판에서는 모두 1000℃이상 저저항을 유지하였고, 다결정 기판에서는 850℃까지 저저항을 유지하여 기존 니켈모노실리사이드 보다 획기적으로 열적 안정 구간을 향상시킬 수 있었다. 이들의 최종 두께는 20~50 ㎚ 정도로 나노급 CMOS공정에 적합하였고 Ir을 혼입한 경우와 다결정 기판에서 더욱 두꺼워 지는 경향이 있었다. 고온의 폴리실리콘 기판에서 형성된 Ir, Co가 혼입된 니켈실리사이드는 고저항상의 출현과 실리콘상이 실리사이드층의 위에 형성되는 도치현상 때문에 고저항을 보이게 되었다. Ir을 혼입한 경우는 3 ㎚이하의 작은 표면조도를 보여 기존의 NiSi나 Co가 혼입된 니켈실리사이드 보다 Sub-0.1 ㎛급 CMOS device에 실리사이드 공정에 더욱 적합할 수 있었다.

참고문헌

[1] The International Technology RoadMap For Semiconductor, Front End Process, p. 25, SIA, 2003 Edition (2003)

[2] J. Y. Dai, Z. R. Guo, S. F. Tee, C. L. Tay, E. Er and S. Redkar, Appl. Phys. Lett., 78, 3091 (2001).

[3] J. Prokop, C. E. Zybill and S. Veprek, Thin Solid Films, 359, 39 (2000).

[4] C. Detavernier, R. L. Van Meirhaeghe and F. Cardon, J. Appl. Phys., 88, 133 (2000).

[5] J. Chen, J. P. Colinge, D. Flandre, R. Gillon, J. P. Raskin, and D. Vanhoenacker, J. Electrochem. Soc., 7, 144 (1997).

[6] J. J. Sun, J. Y. Tsai, and C. M. Osburn, IEEE Transactions on Electron Devices, 45, 1946 (1998).

[7] Hua. Fang, Mehmet C. Ozturk, E. G. Seebauer and D. E. Batchelor, J. Electrochem. Soc., 146, 4240 (1999).

[8] J. Lutze, G. Scott and M. Manley, IEEE Electron Device Lett., 21, 155 (2000)

[9] J. B. Lasky, J. S. Nakos, O. J. Cain, P. J. Geiss, IEEE Trans. Electron Devices, 38, 262 (1991)

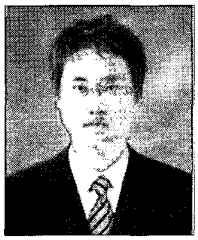
[10] B. A. Julies, D. Knoesen, R. Pretorius, D. Adams, Thin Solids Films, 347, 201 (1999)

[11] Wei Huang, Li-Chun Zhang, Yu-Zhi Gao and Han-Yan Jin, Microelectronic Engineering, 83, 345, (2006)

[12] I. Doi, R. C. Teixeira, R. E. Santos, J. A. Diniz, J. W. Swart, S. G. Santos Filho, Microelectronic Engineering, 82, 485, (2005)

[13] S. H. Cheong, O. S. Song, M. S. Kim, "Property of cobalt nickel silicide by thermal annealing of Co/Ni bilayer on a silicon substrate", Metals and Materials international, Vol. 12, No. 2, pp. 189~192, (2006)
[14] Colgan E. G., Gambino J. P., Hong Q. Z., Materials Science and Engineering, 16, 43, (1996)
[15] R. Kurt, W. Pitscheke, A. Heinrich, H. Griesmann, J. Schumann, and K. Wetzig, 17th International Conference on Thermoelectrics, 249 (1998)
[16] V. M. Ievlev, S. B. Kushchev, I. G. Rudneva, S. A. Soldatenko, Inorganic Materials, 39, 472, (2003)

윤 기 정(Ki-Jeong Yoon) **[준회원]**



- 2006년 2월 : 서울시립대학교 신소재공학과 (공학사)
- 2006년 3월 ~ 현재 : 서울시립대학교 신소재공학과 석사과정

<관심분야>
반도체 재료, 박막 분석

송 오 성(Oh-Sung Song) **[정회원]**

- 1987년 2월 : 서울대학교 금속공학과 (공학사)
- 1989년 2월 : 서울대학교 금속공학과 (공학석사)
- 1994년 5월 : MIT 재료공학과 (공학박사)
- 1997년 9월 ~ 현재 : 서울시립대학교 신소재공학과 부교수

<관심분야>
반도체 재료, 자성 재료